5

Decoders en data selectors

Inhoud

■/■■ reeds gepubliceerd
▒/▒▒ gepland voor de volgende aanvullingen

Deel 5: Decoders en data selectors

5/1.1

Achtergrond-informatie

Inleiding code-omzetting

Een veel gebruikte toepassing van logische poorten in digitale systemen is het gebruik als code-omzetter. De gebruikte codes zijn meestal binair, binair-gecodeerd-decimaal (BCD), octaal, hexadecimaal, of decimaal. In dit hoofdstuk wordt aandacht besteed aan de code-omzetters van binair-naar-decimaal en BCD-naar-decimaal. Hiermee wordt de moeilijk leesbare informatie van digitale systemen, die immers alleen met 'enen' en 'nullen' werken, in een voor de mens beter geschikte vorm gebracht. Bij kleine 'getallen' is vertaling meestal geen probleem, maar als er lange rijen enen en nullen verschijnen is vergissing meer regel dan uitzondering.

Codes

Om de verschillen (en overeenkomsten) tussen de verschillende codes te laten zien, zijn in tabel 5/1.1-1 de overeenkomstige getallen in decimaal, binair, octaal, hexadecimaal en BCD van 0 tot en met 20 naast elkaar gezet.

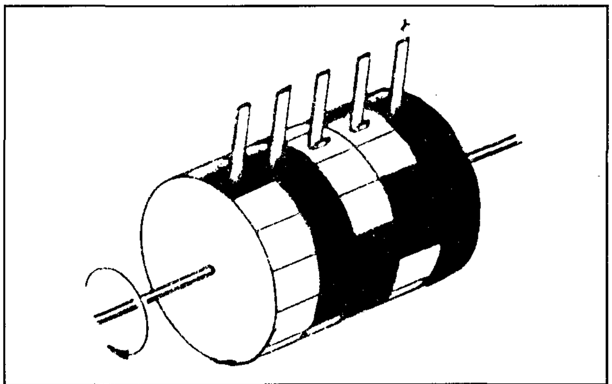
decimaal	binair	octaal	hexadecimaal	BCD
0	0	0	0	0000
1	1	1	1	0001
2	10	10	2	0010
3	11	11	3	0011
4	100	100	4	0100
5	101	101	5	0101
6	110	110	6	0110
7	111	111	7	0111
8	1000	1 000	8	1000
9	1001	1 001	9	1001
10	1010	1 010	A	0001 0000
11	1011	1 011	B	0001 0001
12	1100	1 100	C	0001 0010
13	1101	1 101	D	0001 0011
14	1110	1 110	E	0001 0100
15	1111	1 111	F	0001 0101
16	10000	10 000	10	0001 0110
17	10001	10 001	11	0001 0111
18	10010	10 010	12	0001 1000
19	10011	10 011	13	0001 1001
20	10100	10 100	14	0010 0000

Tabel 5/1.1-1: Vergelijking van enkele veel voorkomende codes.

1.1 Achtergrond-informatie

In dit eenvoudige overzicht is direct al te zien dat er moeilijkheden optreden met onuitspreekbare waarden bij de binaire en octale (groepen van maximaal 3 binaire posities) codes. De hexadecimale code (0 tot en met 15 per karakter) is tot en met 15 (= F) nog wel te volgen, maar twee of meer karakters 'lopen niet meer synchroon' en brengen verwarring. De voor mensen best begrijpelijke code is dan de binair-gecodeerd-decimale (BCD) code. Voor elk karakter worden vier bits gebruikt met de 'waarden' 8, 4, 2, 1 (van links naar rechts).

Een andere code die vooral voor het weergeven van asposities wordt gebruikt, is de zogenaamde 'Gray'-code of spiegelcode. Deze code kan bijvoorbeeld in de vorm van geleidende stripjes op het oppervlak van een roterende cylinder worden geplaatst, zoals in figuur 5/1.1-1 te zien is. De geleidende vlakjes hierin zijn met zwart aangegeven en de niet-geleidende met wit. Elk contact leest nu één bit van de code uit, waarbij twee naast elkaar liggende posities slechts één bit van elkaar verschillen. Ook in tabel 5/1.1-2 is dit te zien. De hier getoonde drum heeft een bereik van 16 plaatsen (0 tot en met 15). De doorlopende geleider aan de rechterzijde (ook hier zwart getekend) is de voedings- of referentielijn die in verbinding staat met de contactvlakjes. De binaire code die ook in tabel 5/1.1-2 is opgenomen, is voor het doorgeven van as-posities minder geschikt omdat bij de overgang van de ene stand naar de andere er soms meer dan één bit tegelijk verandert. De overgang van 0111 naar 1000 kan bijvoorbeeld de ongewenste tussenstanden 1001, 1100, enzovoorts opleveren.



Figuur 5/1.1-1: Voor het decoderen van de stand van de as kan een contacttrommel van de Gray-code worden voorzien.

De Gray-code kan behalve op een trommel ook op zogenaamde Gray-codeschijven worden geplaatst met meer of minder posities per omwenteling. In plaats van geleidende strips worden dan meestal (fotografisch) wel- of niet-doorzichtige vlakjes aangebracht die met behulp van licht (LED's) en lichtgevoelige detectoren (fototransistoren) worden afgetast. Met 10 code-ringen zijn dan bijvoorbeeld 2^{10} (= 1024) posities mogelijk.

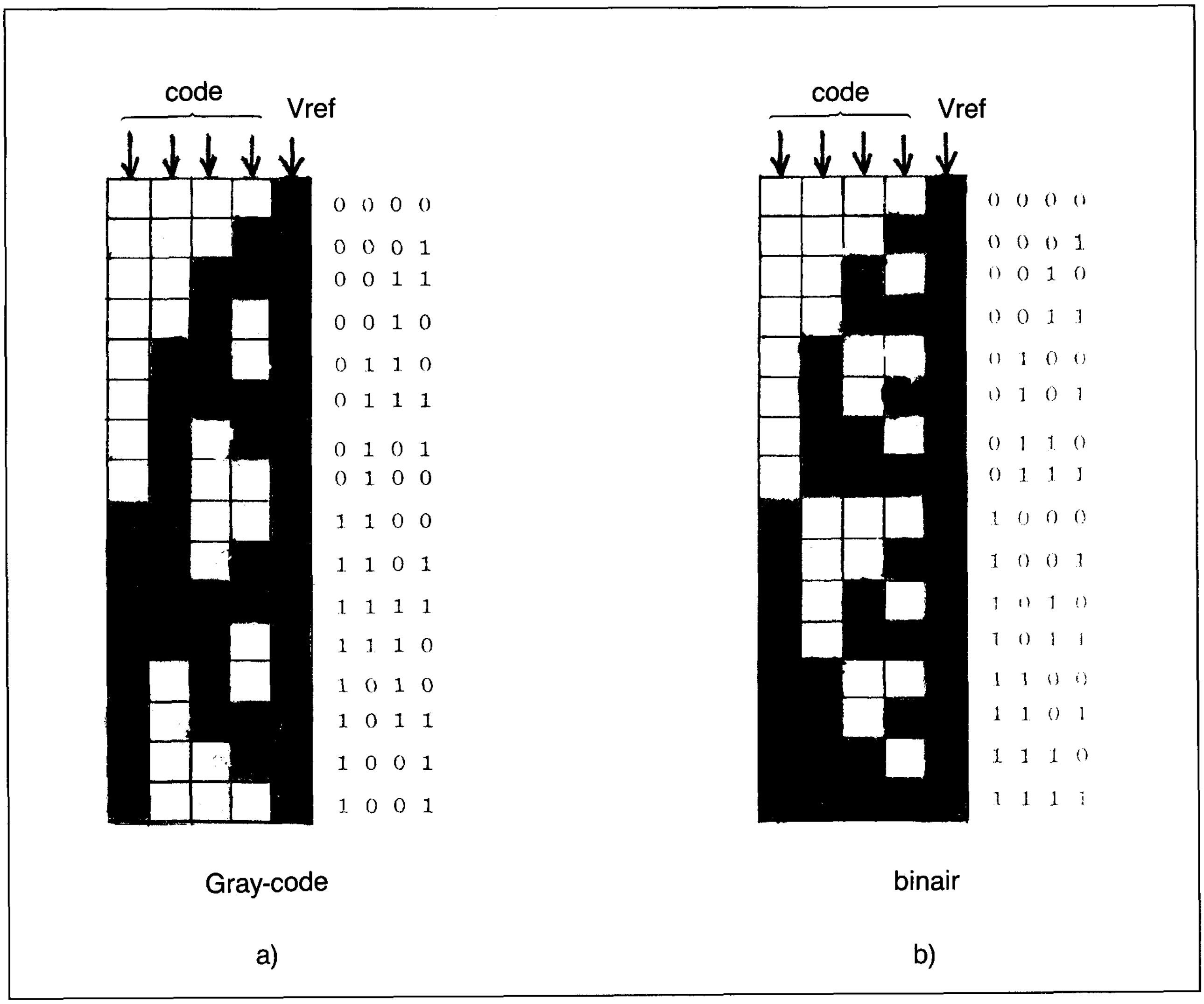
BCD-naar-decimaal decoderen

De belangrijkste reden voor het BCD (of binair) naar decimaal decoderen is het zichtbaar maken van numerieke informatie. Het is bijvoorbeeld bij het frequentie-meten nodig dat de stand van een (meestal meertraps-) teller op een display verschijnt. Bij het meten van een elektrische spanning moet de uitgang van een analoog/digitaal-omzetter worden uitgelezen.

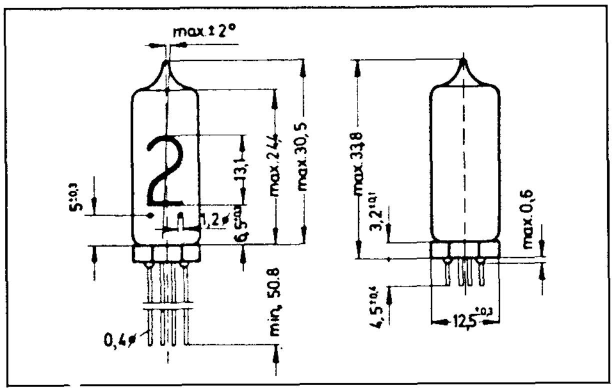
De decimale code wordt voor uitlezen nu niet meer zo vaak gebruikt, omdat deze code eigenlijk alleen geschikt is voor 'Nixie-buisjes' (gasontladings displays). Deze displays hebben één gemeenschappelijke anode, waarop de positieve 'hoog'spanning komt te staan en tien verschillende kathoden in de vorm van cijfers (zie de figuren 5/1.1-2 en 5/1.1-3). Het zal duidelijk zijn dat een TTL-schakeling niet zonder meer op deze displays kan worden aangesloten, maar dat er altijd een hoogspanningstrap moet worden toegepast. Sommige IC's, zoals de 74141 hebben een interne hoogspannings-uitgang.

Waar de decimale code nog wel voor wordt gebruikt is voor het bouwen van een 'sequencer': een schakeling opgebouwd uit een teller en een decoder die afhankelijk van de stand van de teller telkens een andere uitgang 'waar' maakt.

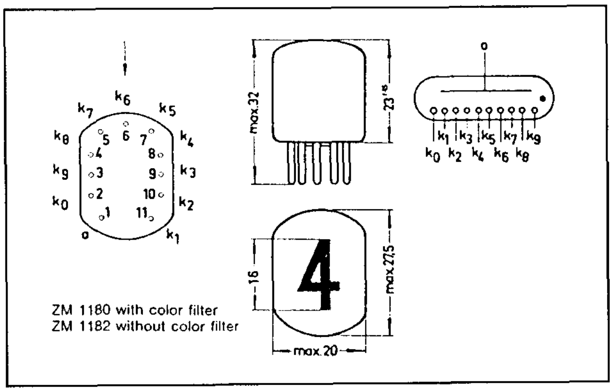
1.1 Achtergrond-informatie



Tabel 5/1.1-2: Contactstrips voor gebruik op een trommel met a) Gray-code en b) binaire code.



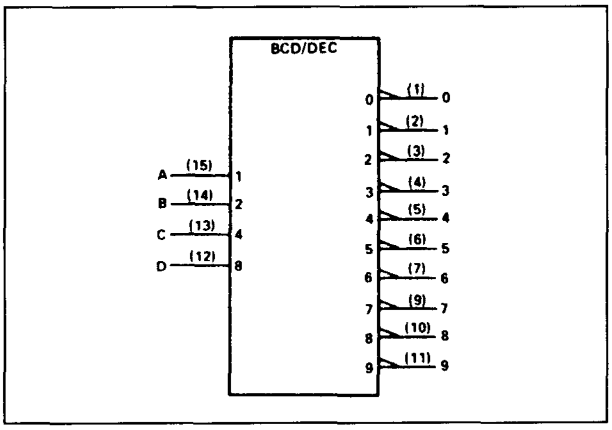
Figuur 5/1.1-2: Een gasontladings display.



Figuur 5/1.1-3: Alternatief gasontladings display.

1.1 Achtergrond-informatie

Aan de hand van de bekende 7442 BCD-naar-decimaal omzetter zal de werking worden verklaard.
In figuur 5/1.1-4 is het logisch symbool en in tabel 5/1.1-3 de waarheidstabel van de 7442 te zien. In het functionele schema (figuur 5/1.1-5) zien we hoe de decodering intern plaatsvindt. De BCD-informatie komt op de ingangen A0, A1, A2 en A3 aan de linkerzijde binnen. Door de onmiddellijke invertering leveren deze 4 ingangssignalen 16 verschillende mogelijkheden op. Tien hiervan worden naar de NAND-poorten aan de rechterzijde gevoerd, waarvan er dus telkens

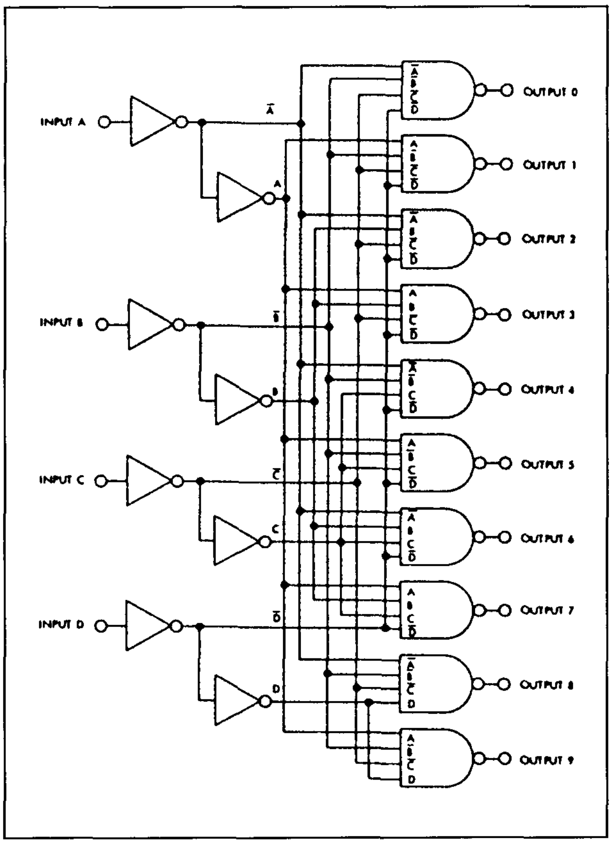


Figuur 5/1.1-4: Logisch symbool van een 7442 BCD-naar-decimaal omzetter.

NO.	'42A, 'LS42 BCD INPUT				DECIMAL OUTPUT									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Tabel 5/1.1-3: Waarheidstabel van de 7442 BCD-naar-decimaal decoder.

slechts één aan de ingangscode voldoet, waardoor zijn uitgang LAAG wordt. Wordt de BCD-ingang van de decoder nu op de uitgang van een BCD-teller (10-teller) aangesloten, dan zal telkens na een klokpuls een volgende uitgang van de decoder LAAG zijn (en alle overige uitgangen HOOG).
In figuur 5/1.1-6 is tenslotte te zien hoe de 74141 is ingericht en hoe de uitgangen van hoogspanningstransistoren zijn voorzien.

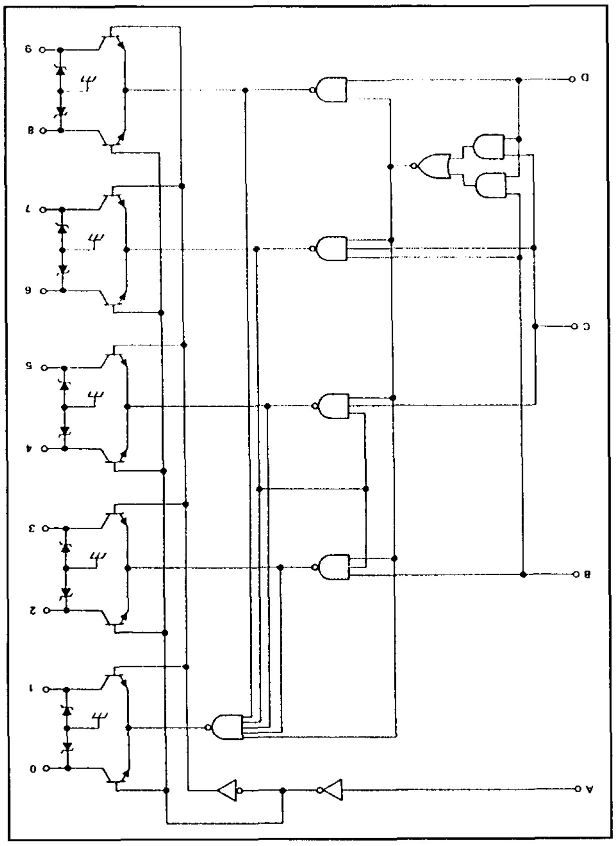


Figuur 5/1.1-5: Functioneel schema (positieve logika) van de 7442.

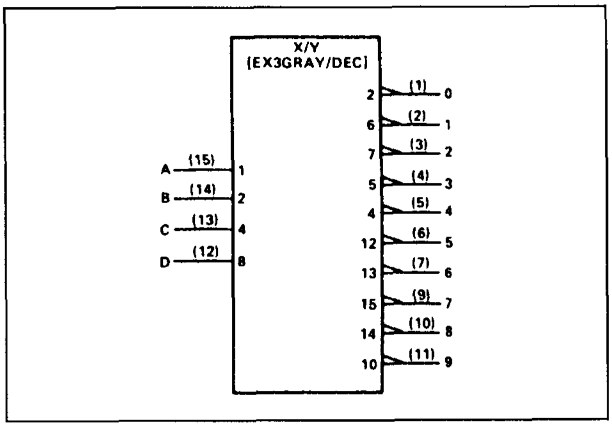
Excess-3-Gray naar decimaal decoderen

In de figuren 5/1.1-7 en 5/1.1-8 zijn het logisch symbool en het functionele schema (positieve logika) van de Excess 3-Gray-naar-decimaal omzetter 7444 te zien. In de bijbehorende waarheidstabel 5/1.1-4 zien we dat telkens slechts één bit van de ingangscode verandert, zodat aan de 'glijdende' code wordt voldaan.

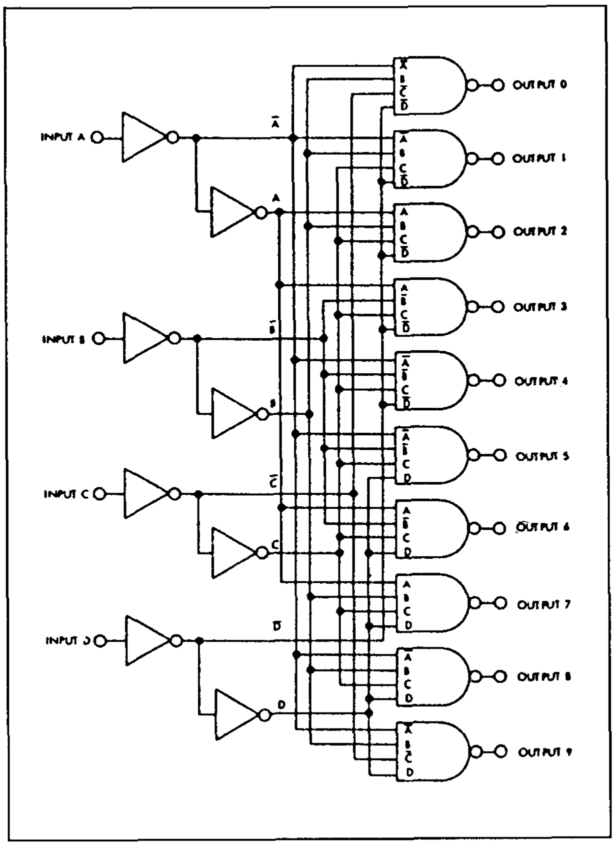
1.1 Achtergrond-informatie



Figuur 5/1.1-6: Functionele opbouw van een 74141 BCD-naar-decimaal decoder met hoogspanningsuitgang.



Figuur 5/1.1-7: Logisch symbool van een 7444 Excess 3-Gray-naar-decimaal omzetter.



Figuur 5/1.1-8: Functionele opbouw van de 7444.

NO.	'44A EXCESS-3-GRAY INPUT				ALL TYPES DECIMAL OUTPUT									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	H	L	L	H	H	H	H	H	H	H	H	H
1	L	H	H	L	H	L	H	H	H	H	H	H	H	H
2	L	H	H	H	H	H	L	H	H	H	H	H	H	H
3	L	H	L	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	H	H	L	L	H	H	H	H	H	L	H	H	H	H
6	H	H	L	H	H	H	H	H	H	H	L	H	H	H
7	H	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	H	H	L	H	H	H	H	H	H	H	H	L	H
9	H	L	H	L	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	L	H	H	H	H	H	H	H	H	H	H
	L	L	L	L	H	H	H	H	H	H	H	H	H	H
	L	L	L	H	H	H	H	H	H	H	H	H	H	H
	L	L	H	H	H	H	H	H	H	H	H	H	H	H

Tabel 5/1.1-4: Waarheidstabel van de 7444 Excess 3-Gray-naar-decimaal decoder.

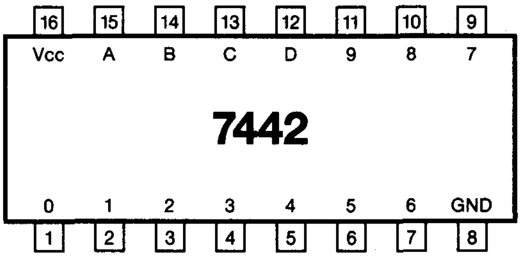
1.1 Achtergrond-informatie

5/1.2

BCD/binair-naar-decimaal omzetters 74xx-serie

7442

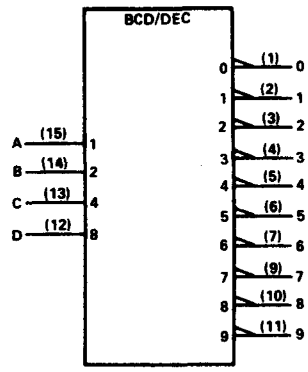
BCD-naar-decimaal omzetter



Figuur 5/1.2-42.

LOGICA	TTL[1]	L[4]	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	28	3			7			0.05[5]	80[5]	mA
Ios	–18 –55	–3 –15			–20 –100			–1.75 +1.75	4	mA
Tplh[2]	10	30			15			200	18	ns
Tphl[2]	14	65			15			200	18	ns
Tplh[3]	17	35			20			200	18	ns
Tphl[3]	17	70			20			200	18	ns

1) 7442A 2) A, B, C of D → output (door 2 logische niveaus)
4) 74L42A 3) A, B, C of D → output (door 3 logische niveaus)
5) µA



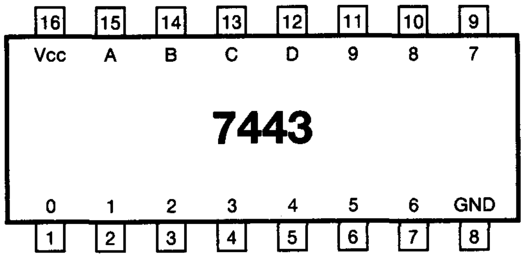
NO.	'42A, 'LS42 BCD INPUT				DECIMAL OUTPUT									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level

1.2 74xx-serie

7443

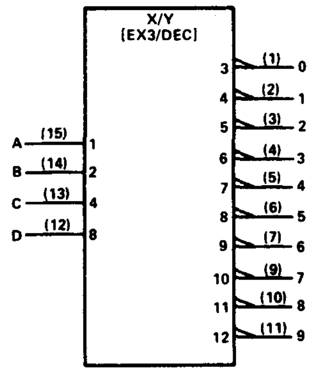
Excess 3-naar-decimaal omzetter



Figuur 5/1.2-43.

LOGICA	TTL[1]	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	28									mA
Ios	−18 −55									mA
Tplh[2]	10									ns
Tphl[2]	14									ns
Tplh[3]	17									ns
Tphl[3]	17									ns

[1] 7433A [2] A, B, C of D → output (door 2 logische niveaus)
[3] A, B, C of D → output (door 3 logische niveaus)

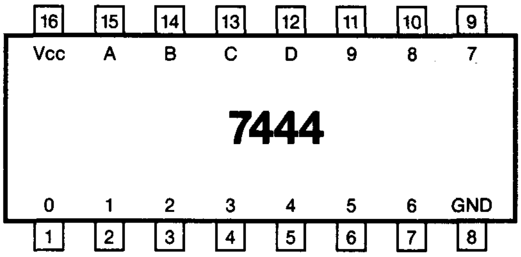


NO.	'43A EXCESS-3-INPUT				ALL TYPES DECIMAL OUTPUT									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	H	H	L	H	H	H	H	H	H	H	H	H
1	L	H	L	L	H	L	H	H	H	H	H	H	H	H
2	L	H	L	H	H	H	L	H	H	H	H	H	H	H
3	L	H	H	L	H	H	H	L	H	H	H	H	H	H
4	L	H	H	H	H	H	H	H	L	H	H	H	H	H
5	H	L	L	L	H	H	H	H	H	L	H	H	H	H
6	H	L	L	H	H	H	H	H	H	H	L	H	H	H
7	H	L	H	L	H	H	H	H	H	H	H	L	H	H
8	H	L	H	H	H	H	H	H	H	H	H	H	L	H
9	H	H	L	L	H	H	H	H	H	H	H	H	H	L
INVALID	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H
	L	L	L	L	H	H	H	H	H	H	H	H	H	H
	L	L	L	H	H	H	H	H	H	H	H	H	H	H
	L	L	H	L	H	H	H	H	H	H	H	H	H	H

1.2 74xx-serie

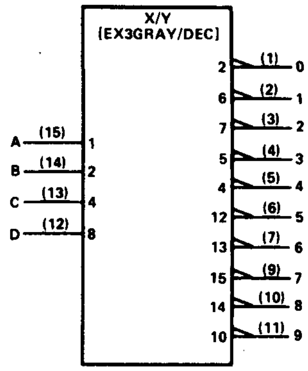
7444

Excess 3 Gray-naar-decimaal omzetter



Figuur 5/1.2-44.

LOGICA	TTL[1]	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	28									mA
Ios	−18 −55									mA
Tplh[2]	10									ns
Tphl[2]	14									ns
Tplh[3]	17									ns
Tphl[3]	17									ns



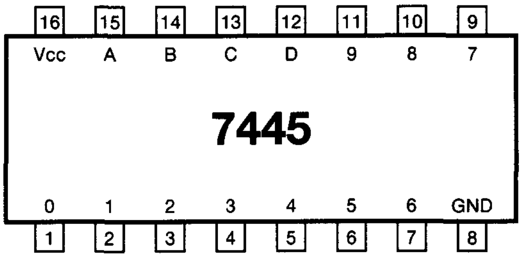
[1] 7444A [2] A, B, C of D → output (door 2 logische niveaus)
[3] A, B, C of D → output (door 3 logische niveaus)

NO.	'44A EXCESS-3-GRAY INPUT				ALL TYPES DECIMAL OUTPUT									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	H	L	L	H	H	H	H	H	H	H	H	H
1	L	H	H	L	H	L	H	H	H	H	H	H	H	H
2	L	H	H	H	H	H	L	H	H	H	H	H	H	H
3	L	H	L	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	H	H	L	L	H	H	H	H	H	L	H	H	H	H
6	H	H	L	H	H	H	H	H	H	H	L	H	H	H
7	H	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	H	H	L	H	H	H	H	H	H	H	H	L	H
9	H	L	H	L	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	L	H	H	H	H	H	H	H	H	H	H
	L	L	L	L	H	H	H	H	H	H	H	H	H	H
	L	L	L	H	H	H	H	H	H	H	H	H	H	H
	L	L	H	H	H	H	H	H	H	H	H	H	H	H

1.2 74xx-serie

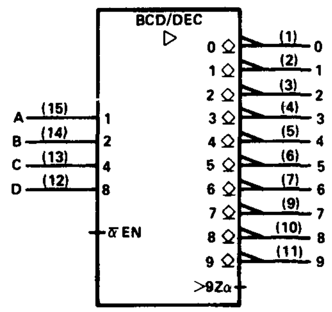
7445

BCD-naar-decimaal omzetter/driver (80 mA sink-stroom voor lampen, relais of MOS)



Figuur 5/1.2-45.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	43									mA
Io(sink)	80									mA
VoH1)	30									V
Tphl2)	50									ns
Tplh3)	50									ns



1) off-state uitgangsspanning 2)A, B, C, D → output

FUNCTION TABLE

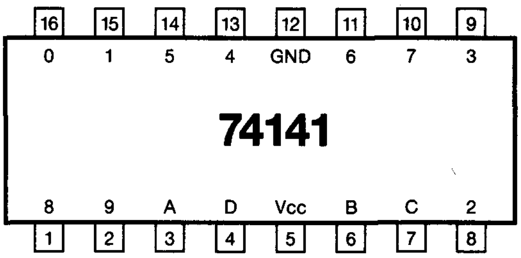
NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (off), L = low level (on)

1.2 74xx-serie

74141

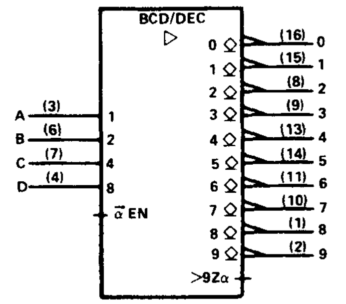
BCD-naar-decimaal omzetter/driver voor gas-gevulde koude-kathode indicatiebuizen (Nixie-buizen)



Figuur 5/1.2-141.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	16									mA
Io(on) 1)	7									mA
Io(off) 2)	50									μA
Vo(off)	60									V

1) Vo(on) = 2.5 V max 2)Vo = 55 V



FUNCTION TABLE

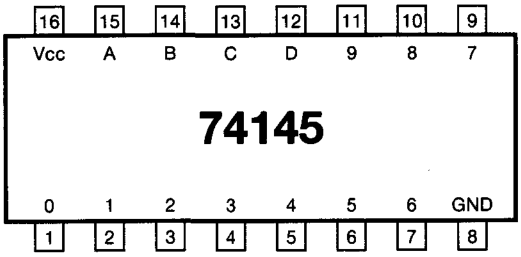
INPUT				OUTPUT
D	C	B	A	ON†
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	L	L	L	8
H	L	L	H	9
H	L	H	L	NONE
H	L	H	H	NONE
H	H	L	L	NONE
H	H	L	H	NONE
H	H	H	L	NONE
H	H	H	H	NONE

H = high level, L = low level
† All other outputs are off

1.2 74xx-serie

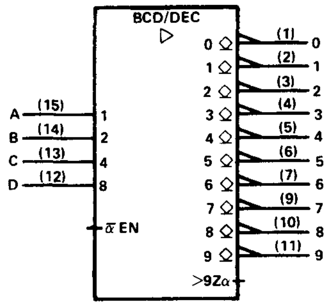
74145

BCD-naar-decimaal omzetter/driver (80 mA sink-stroom voor lampen, relais of MOS)



Figuur 5/1.2-145.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	43				7					mA
Io(sink)	80				80					mA
VoH[1]	15				15					V
Tphl[2]	50				50					ns
Tplh[2]	50				50					ns



[1] off-state uitgangsspanning [2] A, B, C, D → output

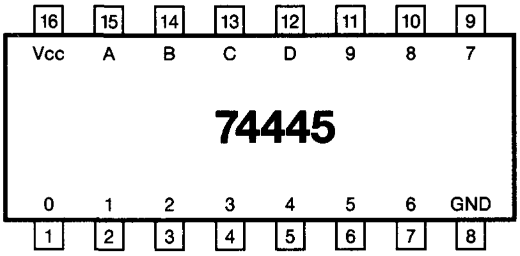
NO.	INPUTS D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (off), L = low level (on)

1.2 74xx-serie

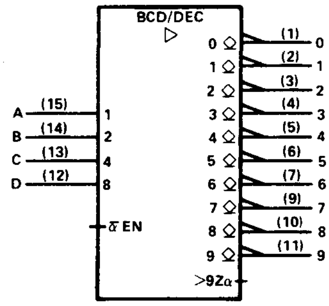
74445

BCD-naar-decimaal omzetter/driver (80 mA sink-stroom voor lampen, relais of MOS)



Figuur 5/1.2-445.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc					7					mA
Io(sink)					80					mA
Vo(off)2)					7					V
Tplh1)					50					ns
Tplh1)					50					ns



1) A, B, C, D → output 0 t/m 9

NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (off), L = low level (on)

1.2 74xx-serie

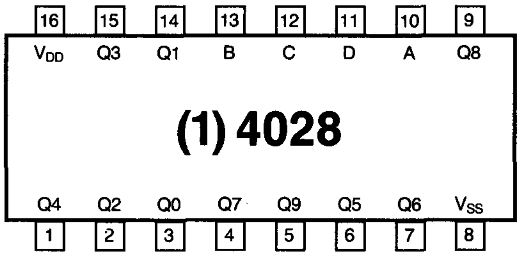
5/1.3

(1)4xxx-serie CMOS

(1) 4028

BCD-naar-decimaal omzetter

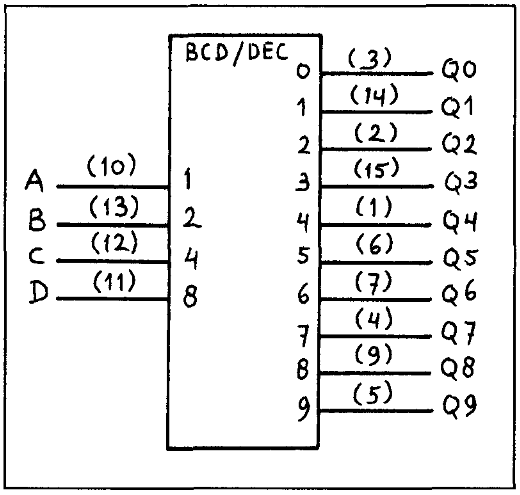
(binair-naar-octaal omzetter als D = laag)



Figuur 5/1.3-28.

TRUTH TABLE

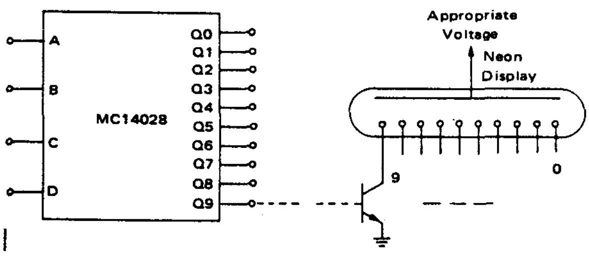
INPUT				OUTPUT									
D	C	B	A	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0



Logisch symbool

o.a. leverbaar: MC 14028 A/B/C
CD 4028 B
HEF 4028 B

toepassingsvoorbeeld:



5/2

Code-omzetters

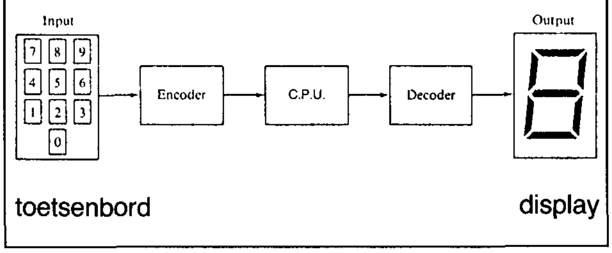
Inhoud

5/2.1

Achtergrond-informatie

Inleiding

In digitale systemen komt het vaak voor dat codes - voor verdere verwerking - in een andere vorm moeten worden omgezet, omdat de gebruikte codes niet voor alle delen van het systeem geschikt zijn. Deel 5/1.1 is bijvoorbeeld gewijd aan de binair-naar-decimaal omzetting (voorgebruik in display's en tijdvolgorde schakelingen (sequencers). Bovendien is daar reeds de GRAY-naar-binair omzetting behandeld.
In dit deel komen eigenlijk alle andere codeerschakelingen (encoders) aan de orde. In principe kan elke digitale code met behulp van logische poorten worden omgezet in een andere. Te denken valt aan het verzenden van informatie via een kleiner aantal datalijnen (bijvoorbeeld 8-bit data via 3 lijnen), het coderen van standen van schakelaars en het omzetten van binaire informatie in de ASCII-code. Dit laatste gebeurt bijvoorbeeld als (hexadecimale) data van een computer door een printer moet worden uitgeprint. Moet zeer veel data worden omgezet dan past men meestal een Read Only Memory (ROM) toe. De adreslijnen van zo'n ROM vormen dan de ingangscode, terwijl de inhouden van de adressen de uitgangscode vormen.
In figuur 5/2.1-1 is het vereenvoudigde blokschema van een zakrekenmachine getekend. Tussen het toetsenbord en de centrale processor bevindt zich een encoder. Deze dient om de informatie (in decimale vorm) van het toetsenbord om te zetten in binaire code om door de centrale procesor te kunnen worden verwerkt. Omdat de uitkomsten van de processor (CPU) ook in binaire code verschijnen, is aan de uitgang van de processor een decoder opgenomen die de binaire code omzet in een voor de display bruikbare vorm (hier de 7-segments code die eigenlijk weer een speciale vorm van de decimale code is).



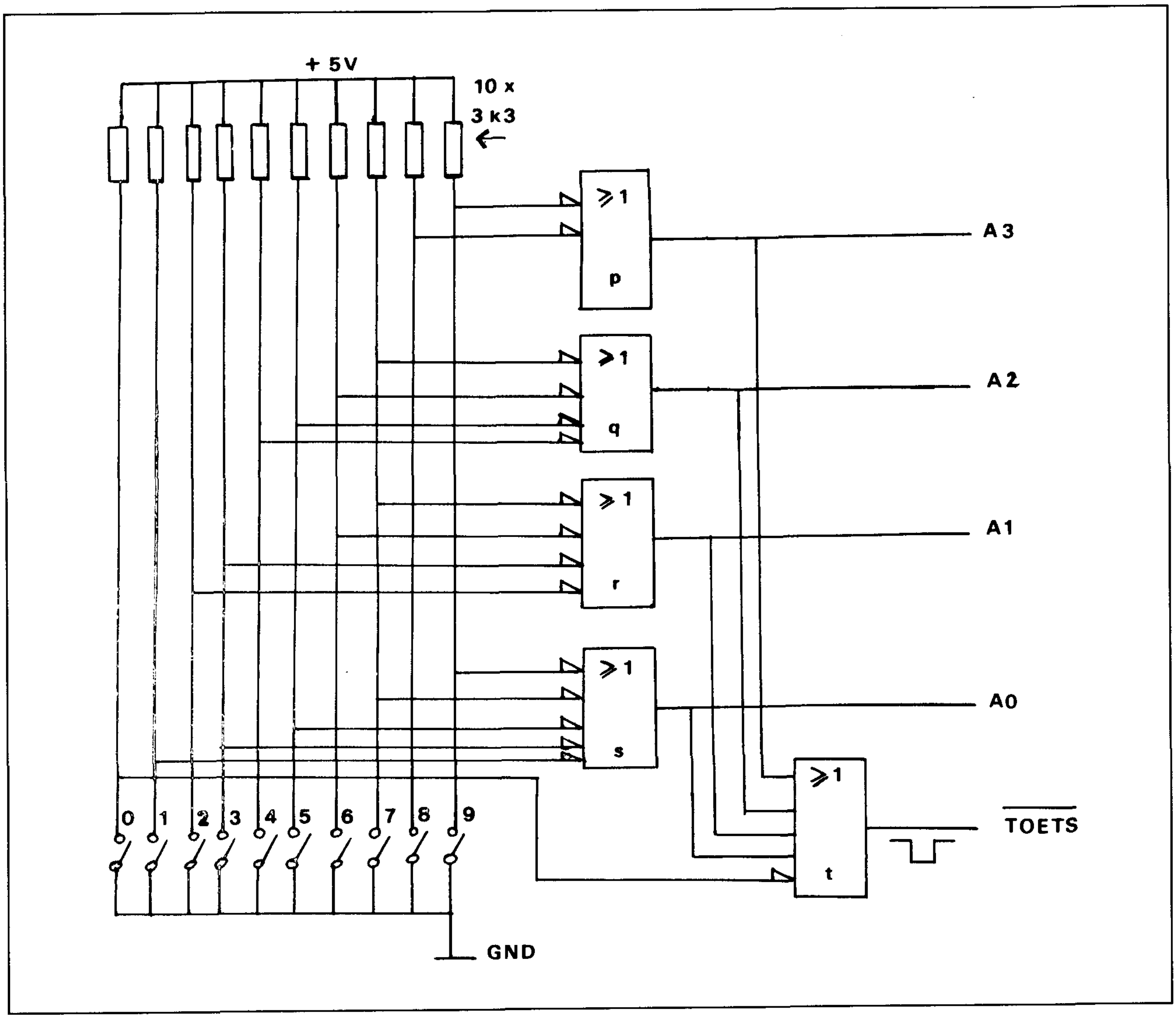
Figuur 5/2.1-1: Vereenvoudigd blokschema van een zakrekenmachine (calculator).

Toetsenbord encoder

In figuur 5/2.1-2 is getekend hoe de informatie van een toetsenbord met behulp van NAND-poorten (door gebruik te maken van negatieve logika hier werkend als NOR-poorten) in binaire vorm kan worden omgezet). Uiteraard zijn er nog vele andere mogelijkheden om hetzelfde te bereiken!

De hier getoonde "keyboard-encoder" kan alleen worden toegepast als elke toets een eigen signaallijn heeft. In plaats van een druktoetsenbord kan in deze schakeling ook een draaischakelaar met 10 standen worden gebruikt (waarbij dan de TOETS-uitgang vervalt).
De signalen van deze lijnen worden omgezet in de binaire code, zodat de binaire code op

2.1 Achtergrond-informatie



Figuur 5/2.1-2: Mogelijke opbouw van een toetsenbord encoder met behulp van NOR-poorten voor negatieve logica (in werkelijkheid NAND).

de lijnen A3 tot en met A0 overeenkomt met het nummer van de ingedrukte toets. Deze schakeling is dus een decimaal-naar-binair omzetter.

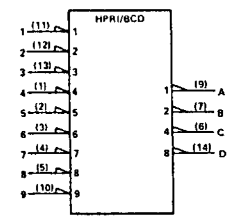
De werking is als volgt. Wordt geen enkele toets ingedrukt, dan zijn alle naar rechts lopende lijnen (de ingangen van de "aktief-LAGE" NOR-poorten p, q, r, s) HOOG, zodat alle uitgangen hiervan LAAG zijn. De vier bovenste ingangen van NOR-poort t zijn dan alle LAAG, dus de TOETS-uitgang is HOOG.

Wordt nu bijvoorbeeld op de toets met het opschrift "5" gedrukt, dan wordt de betreffende lijn met aarde (GND) verbonden. Aangezien deze lijn met twee NOR-poorten (q en s) is verbonden, worden de uitgangen hiervan HOOG, terwijl de andere (p en r) LAAG blijven. Op de uitgangen A3 tot en met A0 staat nu de code 0101. Deze code wordt ook "gezien" door NOR-poort t, zodat de TOETS-uitgang hiervan LAAG wordt. Dit signaal wordt gebruikt om de code op te slaan in een register van de CPU. Bij loslaten van de toets

2.1 Achtergrond-informatie

valt zowel de code op A3 tot en met A0 als het TOETS-signaal weer weg. Toets "0" is een buitenbeentje, omdat de hiermee verbonden lijn alleen naar de NOR-poort gaat en niet naar de andere poorten (de binaire code voor nul is immers 0000). Hoewel de code dus onveranderd 0000 blijft, wordt toch het TOETS-signaal gegeven.
Let op dat het met deze schakeling mogelijk is om de code te verminken door twee of meer toetsen tegelijk in te drukken.

Het zal duidelijk zijn dat keyboard-encoders zo vaak gebruikt worden dat het de moeite loonde hier speciale 10-naar-4 encoders voor te vervaardigen. Een bekend type is de 74147, waarvan figuur 5/2.2-3 het logisch symbool en de waarheidstabel laat zien. Net als in figuur 5/2.1-2 kunnen op de ingangen van de 74147 de signaallijnen van het toetsenbord worden aangesloten, zodat de werking hetzelfde is (wanneer de vier uitgangen worden geïnverteerd).



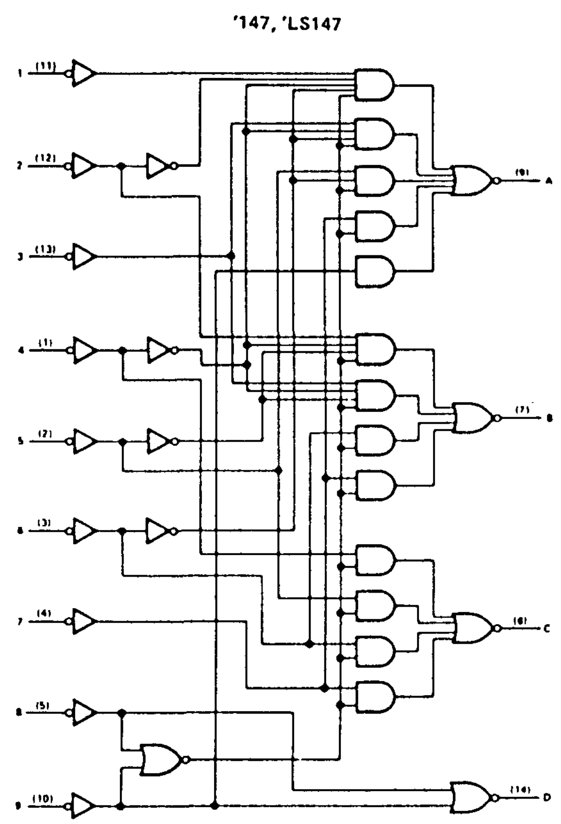
'147, 'LS147
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = high logic level, L = low logic level, X = irrelevant

Figuur 5/2.1-3: Logisch symbool en waarheidstabel van de 10-naar-4 priority encoder 74147.

In figuur 5/2.1-4 is getekend hoe deze geïntegreerde schakeling met logische poorten is opgebouwd (positieve logika). Bij dit IC ontbreekt de TOETS-uitgang. Zoals in de bijbehorende waarheidstabel aan de kruisjes (X) te zien is, wordt alleen "gekeken" naar de hoogste waarde. Wordt bijvoorbeeld tegelijk gedrukt op de toetsen 2 en 8, dan zal binair 8 (1000) aan de uitgang verschijnen en niet een mengsel van 2 en 8. Door dit uitsluiten van lagere waarden wordt deze schakeling een 10-naar-4 "priority" encoder genoemd.

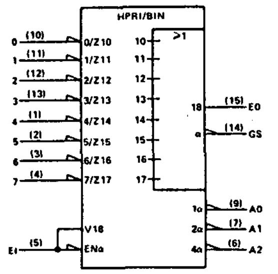


Figuur 5/2.1-4: Functioneel blokschema van de 74147 (positieve logica).

Doordat veel wordt gewerkt met 8-lijnige stelsels, zijn ook een aantal 8-naar-3 priority encoders ontwikkeld: 74138, 74237, 4532, enzovoorts. In figuur 5/2.1-5 zijn bijvoorbeeld het logisch symbool en de waarheidstabel van de 74148 te zien, terwijl figuur 5/2.1-6 de inwendige samenstelling met behulp van poorten (positieve logika) weergeeft. Dit IC zet 8 datalijnen om naar 3-bit binair (octaal). Deze schakeling is bovendien uitgerust met een cascade-ingang (Ei) en een cascade-uitgang Eo. Is Ei = HOOG, dan zijn alle uitgangen (dus ook Eo en Gs) HOOG. Is Ei = LAAG met alle ingangen 0 tot en met 7 = HOOG, dan is Gs = HOOG en Eo = LAAG. Is Ei = LAAG met één of meer van de ingangen 0 tot en met 7 = LAAG, dan is Gs = LAAG en Eo = HOOG. Eo werkt dus als

2.1 Achtergrond-informatie

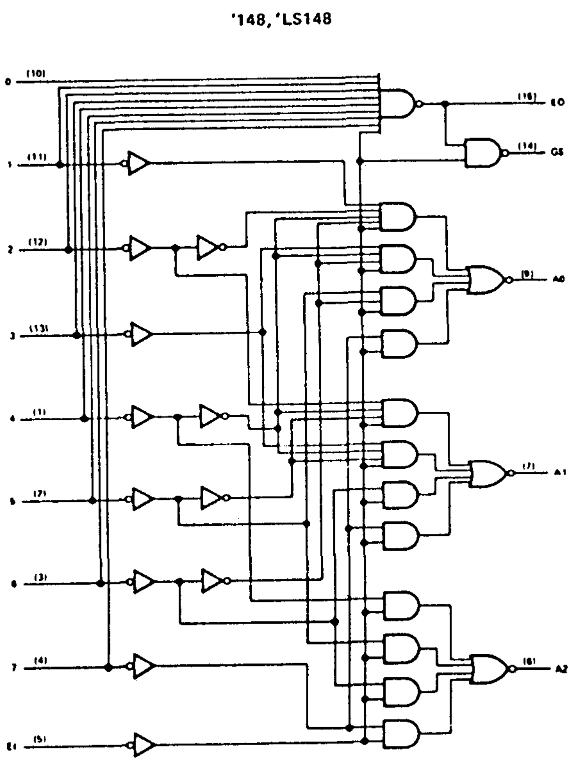
"carry" waardoor meerdere 74138's achter elkaar gezet kunnen worden (cascade) voor uitbreiding van het aantal ingangslijnen.



'148, 'LS148
FUNCTION TABLE

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Figuur 5/2.1-5: Logisch symbool en waarheidstabel van de 8-naar-3 priority encoder 74148.



Figuur 5/2.1-6: Functioneel blokschema van de 74148 (positieve logica).

Opmerking

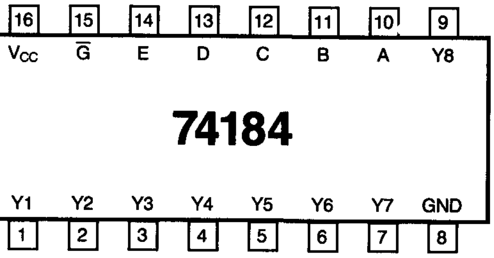
De encoders 74147, 74148, 74348, 40147 en 4532 zijn besproken in deel 5/3.

5/2.2

74xx-serie

74184

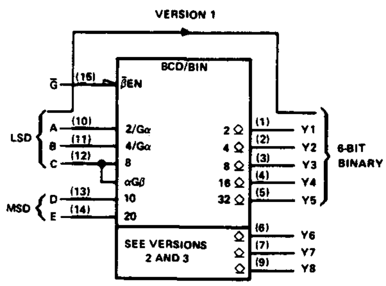
BCD-naar-binair omzetter (6-bits, trapsgewijs uitbreidbaar tot N-bits)



Figuur 5/2.2-184.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H Icc L	50 62									mA
Ios	12									mA
Tplh[1]	19									ns
Tphl[1]	22									ns
Tplh[2]	27									ns
Tphl[2]	23									ns

1) $\overline{G}$ → output 2) binair select → output

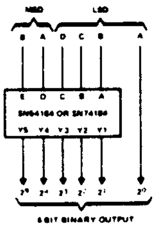


6-bit omzetter
(zie pag. 5/2.2.2)

2.2 74xxx-serie

versie 1

6-BIT CONVERTER



FUNCTION TABLE
BCD-TO-BINARY
CONVERTER

BCD WORDS	INPUTS (See Note A)						OUTPUTS (See Note B)				
	E	D	C	B	A	G	Y5	Y4	Y3	Y2	Y1
0 1	L	L	L	L	L	L	L	L	L	L	L
2 3	L	L	L	L	H	L	L	L	L	L	H
4 5	L	L	L	H	L	L	L	L	L	H	L
6 7	L	L	L	H	H	L	L	L	L	H	H
8 9	L	L	H	L	L	L	L	L	H	L	L
10 11	L	H	L	L	L	L	L	L	H	L	H
12 13	L	H	L	L	H	L	L	L	H	H	L
14 15	L	H	L	H	L	L	L	L	H	H	H
16 17	L	H	L	H	H	L	L	H	L	L	L
18 19	L	H	H	L	L	L	L	H	L	L	H
20 21	H	L	L	L	L	L	L	H	L	H	L
22 23	H	L	L	L	H	L	L	H	L	H	H
24 25	H	L	L	H	L	L	L	H	H	L	L
26 27	H	L	L	H	H	L	L	H	H	L	H
28 29	H	L	H	L	L	L	L	H	H	H	L
30 31	H	H	L	L	L	L	L	H	H	H	H
32 33	H	H	L	L	H	L	H	L	L	L	L
34 35	H	H	L	H	L	L	H	L	L	L	H
36 37	H	H	L	H	H	L	H	L	L	H	L
38 39	H	H	H	L	L	L	H	L	L	H	H
ANY	X	X	X	X	X	H	H	H	H	H	H

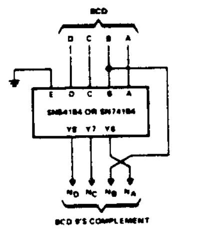
H = high level, L = low level, X = irrelevant

NOTES: A. Input conditions other than those shown produce highs at outputs Y1 through Y5.

B. Outputs Y6, Y7, and Y8 are not used for BCD-to-binary conversion.

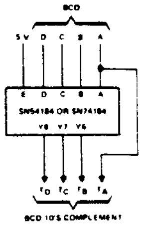
versie 2

BCD 9'S COMPLEMENT CONVERTER



versie 3

BCD 10'S COMPLEMENT CONVERTER



FUNCTION TABLE
BCD 9'S OR BCD 10'S
COMPLEMENT CONVERTER

BCD WORD	INPUTS (See Note C)						OUTPUTS (See Note D)		
	E†	D	C	B	A	G	Y8	Y7	Y6
0	L	L	L	L	L	L	H	L	H
1	L	L	L	L	H	L	H	L	L
2	L	L	L	H	L	L	L	H	H
3	L	L	L	H	H	L	L	H	L
4	L	L	H	L	L	L	L	H	H
5	L	L	H	L	H	L	L	H	L
6	L	L	H	H	L	L	L	L	H
7	L	L	H	H	H	L	L	L	L
8	L	H	L	L	L	L	L	L	H
9	L	H	L	L	H	L	L	L	L
0	H	L	L	L	L	L	L	L	L
1	H	L	L	L	H	L	H	L	L
2	H	L	L	H	L	L	H	L	L
3	H	L	L	H	H	L	L	H	H
4	H	L	H	L	L	L	L	H	H
5	H	L	H	L	H	L	L	H	L
6	H	L	H	H	L	L	L	H	L
7	H	L	H	H	H	L	L	L	H
8	H	H	L	L	L	L	L	L	H
9	H	H	L	L	H	L	L	L	L
ANY	X	X	X	X	X	H	H	H	H

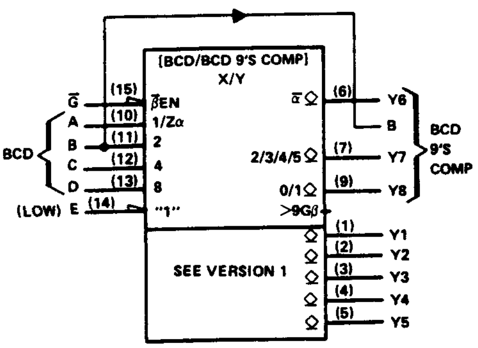
H = high level, L = low level, X = irrelevant

NOTES: C. Input conditions other than those shown produce highs at outputs Y6, Y7, and Y8.

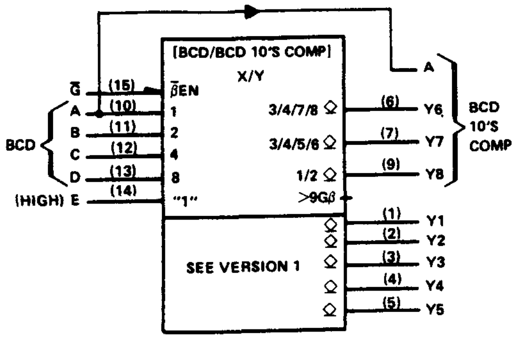
D. Outputs Y1 through Y5 are not used for BCD 9's or BCD 10's complement conversion.

†When these devices are used as complement converters, input E is used as a mode control. With this input low, the BCD 9's complement is generated; when it is high, the BCD 10's complement is generated.

VERSION 2



VERSION 3



In addition to BCD-to-binary conversion, the SN54184 and SN74184 are programmed to generate BCD 9's complement or BCD 10's complement. Again, in each case, one bit of the complement code is logically equal to one of the BCD bits; therefore, these complements can be produced on three lines.

As outputs Y6, Y7, and Y8 are not required in the BCD-to-binary conversion, they are utilized to provide these complement codes as specified in the function table (above, right) when the devices are connected as shown above the function table.

2.2 74xxx-serie

TYPICAL APPLICATION DATA
SN54184, SN74184

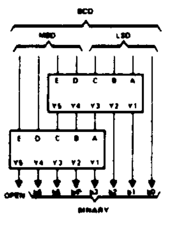


FIGURE 1–BCD-TO-BINARY CONVERTER FOR TWO BCD DECADES

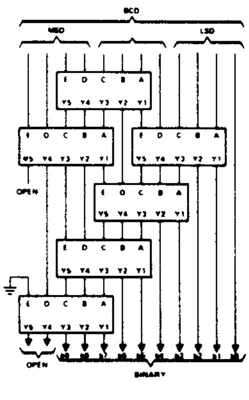


FIGURE 2–BCD-TO-BINARY CONVERTER FOR THREE BCD DECADES

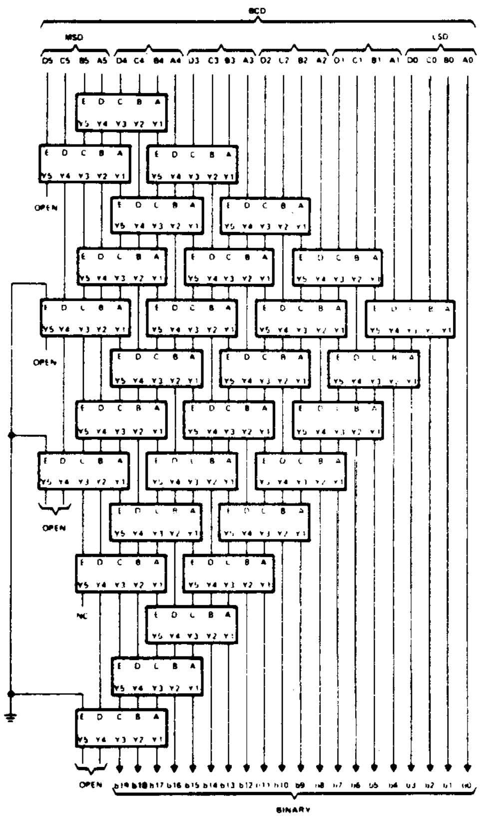


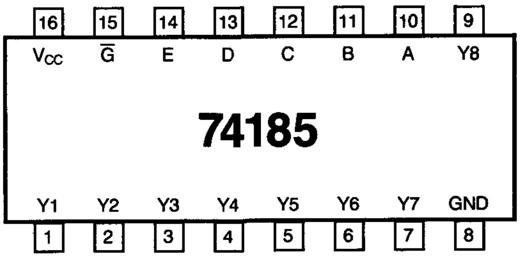
FIGURE 3–BCD-TO-BINARY CONVERTER FOR SIX BCD DECADES

MSD–most significant decade
LSD–least significant decade
Each rectangle represents an SN54184 or SN74184.

2.2 74xxx-serie

74185

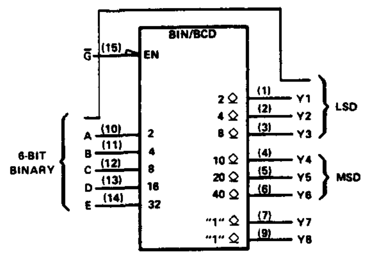
binair-naar-BCD omzetter (6-bits, trapsgewijs uitbreidbaar tot N-bits)



Figuur 5/2.2-185.

LOGICA	TTL³⁾	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc H / L	50 / 62									mA
Ios	12									mA
Tplh¹⁾	19									ns
Tphl¹⁾	22									ns
Tplh²⁾	27									ns
Tphl²⁾	23									ns

1) $\overline{G}$ → output 2) binair select → output 3) 74185 A

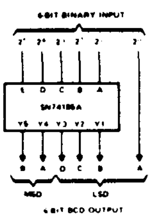


FUNCTION TABLE

BINARY WORDS	INPUTS						OUTPUTS							
	BINARY SELECT					ENABLE								
	E	D	C	B	A	G	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1
0 1	L	L	L	L	L	L	H	H	L	L	L	L	L	L
2 3	L	L	L	L	H	L	H	H	L	L	L	L	L	H
4 5	L	L	L	H	L	L	H	H	L	L	L	L	H	L
6 7	L	L	L	H	H	L	H	H	L	L	L	L	H	H
8 9	L	L	H	L	L	L	H	H	L	L	L	H	L	L
10 11	L	L	H	L	H	L	H	H	L	L	H	L	L	L
12 13	L	L	H	H	L	L	H	H	L	L	H	L	L	H
14 15	L	L	H	H	H	L	H	H	L	L	H	L	H	L
16 17	L	H	L	L	L	L	H	H	L	L	H	L	H	H
18 19	L	H	L	L	H	L	H	H	L	L	H	H	L	L
20 21	L	H	L	H	L	L	H	H	L	H	L	L	L	L
22 23	L	H	L	H	H	L	H	H	L	H	L	L	L	H
24 25	L	H	H	L	L	L	H	H	L	H	L	L	H	L
26 27	L	H	H	L	H	L	H	H	L	H	L	L	H	H
28 29	L	H	H	H	L	L	H	H	L	H	L	H	L	L
30 31	L	H	H	H	H	L	H	H	L	H	H	L	L	L
32 33	H	L	L	L	L	L	H	H	L	H	H	L	L	H
34 35	H	L	L	L	H	L	H	H	L	H	H	L	H	L
36 37	H	L	L	H	L	L	H	H	L	H	H	L	H	H
38 39	H	L	L	H	H	L	H	H	L	H	H	H	L	L
40 41	H	L	H	L	L	L	H	H	H	L	L	L	L	L
42 43	H	L	H	L	H	L	H	H	H	L	L	L	L	H
44 45	H	L	H	H	L	L	H	H	H	L	L	L	H	L
46 47	H	L	H	H	H	L	H	H	H	L	L	L	H	H
48 49	H	H	L	L	L	L	H	H	H	L	L	H	L	L
50 51	H	H	L	L	H	L	H	H	H	L	H	L	L	L
52 53	H	H	L	H	L	L	H	H	H	L	H	L	L	H
54 55	H	H	L	H	H	L	H	H	H	L	H	L	H	L
56 57	H	H	H	L	L	L	H	H	H	L	H	L	H	H
58 59	H	H	H	L	H	L	H	H	H	L	H	H	L	L
60 61	H	H	H	H	L	L	H	H	H	H	L	L	L	L
62 63	H	H	H	H	H	L	H	H	H	H	L	L	L	H
ALL	X	X	X	X	X	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

6-BIT CONVERTER



The function performed by these 6-bit binary-to-BCD converters is analogous to the algorithm:

a. Examine the three most significant bits. If the sum is greater than four, add three and shift left one bit.

b. Examine each BCD decade. If the sum is greater than four, add three and shift left one bit.

c. Repeat step b until the least-significant binary bit is in the least-significant BCD location.

TABLE II

SN54185A, SN74185A

PACKAGE COUNT AND DELAY TIMES FOR BINARY-TO-BCD CONVERSION

INPUT (BITS)	PACKAGES REQUIRED	TOTAL DELAY TIME (ns) TYP	MAX
4 to 6	1	25	40
7 or 8	3	50	80
9	4	75	120
10	6	100	160
11	7	125	200
12	8	125	200
13	10	150	240
14	12	175	280
15	14	175	280
16	16	200	320
17	19	225	360
18	21	225	360
19	24	250	400
20	27	275	440

2.2 74xxx-serie

TYPICAL APPLICATION DATA
SN54185A, SN74185A

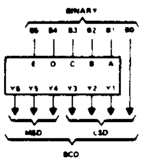


FIGURE 4—6-BIT BINARY-TO-BCD CONVERTER

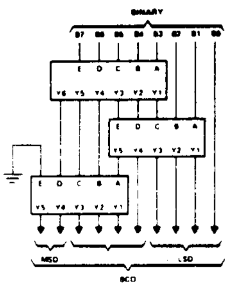


FIGURE 5—8-BIT BINARY-TO-BCD CONVERTER

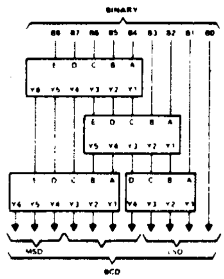


FIGURE 6—9-BIT BINARY-TO-BCD CONVERTER

MSD—Most significant decade
LSD—Least significant decade
NOTES: A. Each rectangle represents an SN54185A or an SN74185A.
B. All unused E inputs are grounded.

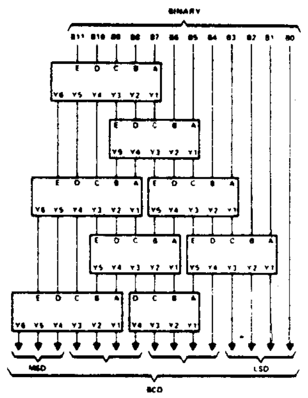


FIGURE 7—12-BIT BINARY-TO-BCD CONVERTER (SEE NOTE B)

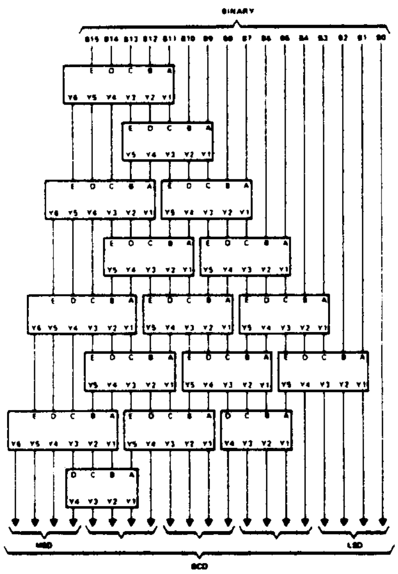
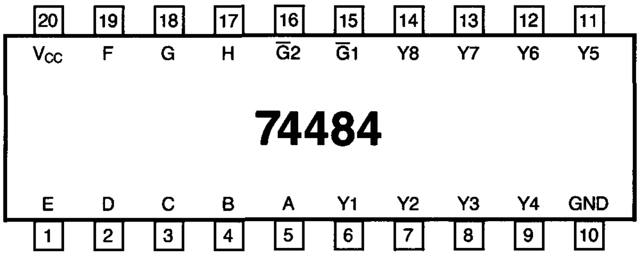


FIGURE 8—16-BIT BINARY-TO-BCD CONVERTER (SEE NOTE B)

2.2 74xxx-serie

74484

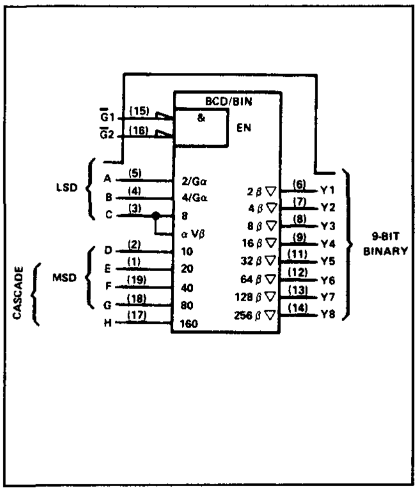
BCD-naar-binair omzetter (9-bits, trapsgewijs uitbreidbaar tot N-bits, 3-state uitgangen)



Figuur 5/2.2-484.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc				105						mA
Ios				−30 −100						mA
Ta (ad)[1]				45						ns
Tpzx[2]				15						ns
Tpxz[3]				10						ns

[1] toegangstijd vanaf adres [2] output enable-tijd [3] output disable-tijd



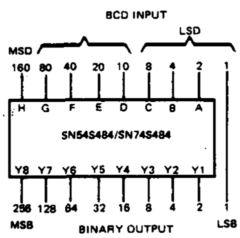
SN54S484/SN74S484 vs SN54184/SN74184

DECADES	PACKAGE COUNT		MAXIMUM SUPPLY CURRENT (A)		TYPICAL ACCESS TIME @ $T_A = 25°C$ (ns)	
	'S484	'184	'S484	'184	'S484	'184
3	3	6	0.41	0.59	117	135
4	5	11	0.72	1.09	180	189
5	8	18	1.18	1.78	270	270
6	12	27	1.75	2.67	342	351
7	16	38	2.37	3.76	405	405
8	21	49	3.14	4.85	495	485
9	27	62	4.02	6.14	567	540

SN54S484, SN74S484
BCD-TO-BINARY CONVERTER
FUNCTION TABLE

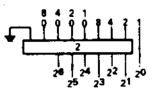
INPUTS								OUTPUTS							
H	G	F	E	D	C	B	A	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1
160	80	40	20	10	8	4	2	256	128	64	32	16	8	4	2
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H
L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	L
L	L	L	L	L	L	H	H	L	L	L	L	L	L	H	H
L	L	L	L	L	H	L	L	L	L	L	L	L	H	L	L
L	L	L	L	L	H	L	H	Invalid BCD code (All outputs are high)							
L	L	L	L	L	H	H	L								
L	L	L	L	L	H	H	H								
L	L	L	L	H	L	L	L	L	L	L	L	L	H	L	H
L	L	L	L	H	L	L	H	L	L	L	L	L	H	H	L
L	L	L	L	H	L	H	L	L	L	L	L	L	H	H	H
H	H	H	H	L	L	H	L	H	L	L	H	H	L	L	L
H	H	H	H	L	L	H	H	H	L	L	H	H	L	L	H
H	H	H	H	L	H	L	L	H	L	L	H	H	L	H	L
H	H	H	H	L	H	L	H								
H	H	H	H	L	H	H	L								
H	H	H	H	L	H	H	H								
H	H	H	H	H	L	L	L	H	L	L	H	H	L	H	H
H	H	H	H	H	L	L	H	H	L	L	H	H	H	L	L
H	H	H	H	H	L	H	L	H	L	L	H	H	H	L	H
H	H	H	H	H	L	H	H	H	L	L	H	H	H	H	L
H	H	H	H	H	H	L	L	H	L	L	H	H	H	H	H
H	H	H	H	H	H	L	H								
H	H	H	H	H	H	H	L								
H	H	H	H	H	H	H	H								
X	X	X	X	X	H	X	H	H	H	H	H	H	H	H	H
X	X	X	X	X	H	H	X	H	H	H	H	H	H	H	H

H = high level L = low level X = irrelevent

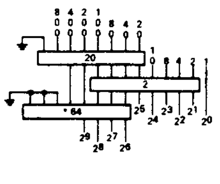


2.2 74xxx-serie

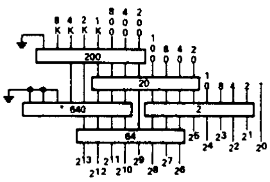
TYPICAL APPLICATION DATA
SN54S484, SN74S484



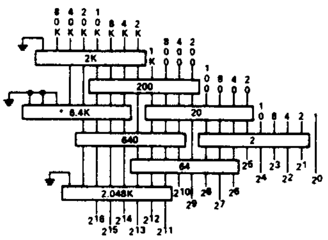
2-DECADE-
BCD-TO-BINARY
CONVERTER



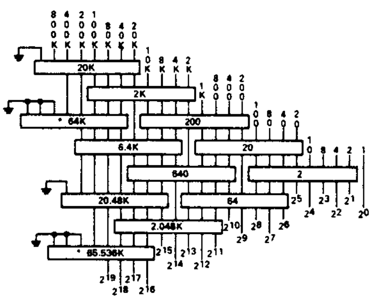
3-DECADE-
BCD-TO-BINARY
CONVERTER



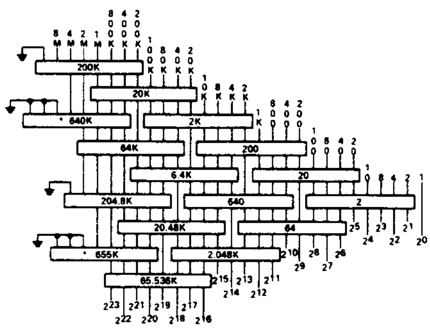
4-DECADE-
BCD-TO-BINARY
CONVERTER



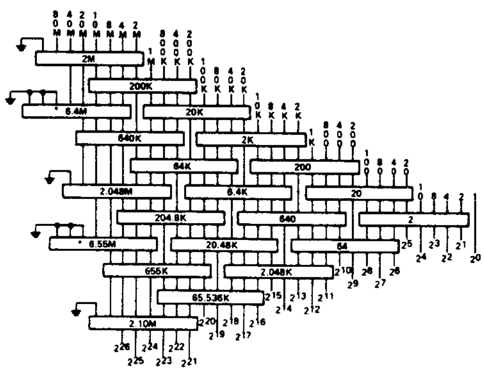
5-DECADE-
BCD-TO-BINARY
CONVERTER



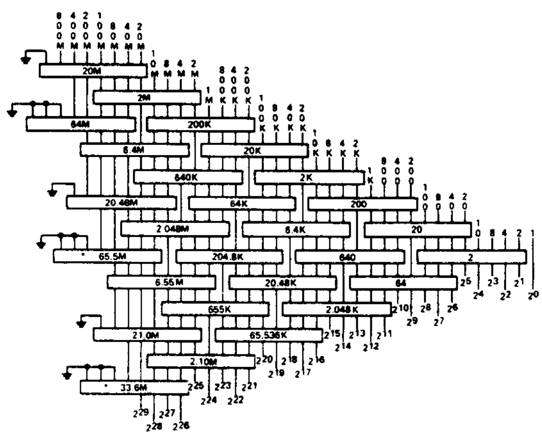
6-DECADE-BCD-TO-BINARY
CONVERTER



7-DECADE-BCD-TO-BINARY
CONVERTER



8-DECADE-BCD-TO-BINARY
CONVERTER



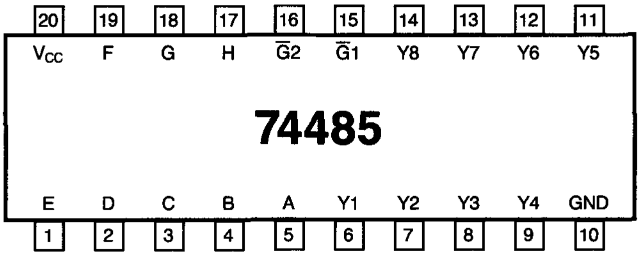
9-DECADE-BCD-TO-BINARY
CONVERTER

*SN54184/SN74184 can be used.
$K = 10^3$, $M = 10^6$

2.2 74xxx-serie

74485

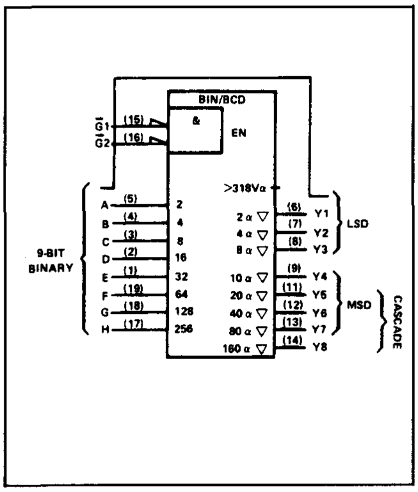
binair-naar-BCD omzetter (9-bits, trapsgewijs uitbreidbaar tot N-bits, 3-state uitgangen)



Figuur 5/2.2-485.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc				105						mA
Ios				−30 −100						mA
Ta (ad)[1]				45						ns
Tpzx[2]				15						ns
Tpxz[3]				10						ns

[1] toegangstijd vanaf adres [2] output enable-tijd [3] output disable-tijd



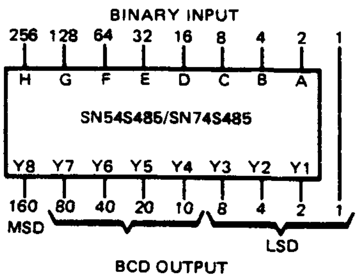
SN54S485/SN74S485 vs SN54185/SN74185

BINARY BITS	PACKAGE COUNT		MAXIMUM SUPPLY CURRENT (A)		TYPICAL ACCESS TIME @ T_A = 25°C (ns)	
	'S485	'185	'S485	'185	'S485	'185
8	2	3	0.25	0.30	72	81
16	8	16	1.12	1.58	252	216
24	19	40	2.67	3.96	459	351
32	33	74	4.78	5.45	612	486

2.2 74xxx-serie

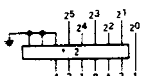
SN54S485, SN74S485
BINARY-TO-BCD CONVERTER
FUNCTION TABLE

INPUTS								OUTPUTS							
H	G	F	E	D	C	B	A	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1
256	128	64	32	16	8	4	2	160	80	40	20	10	8	4	2
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H
L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	L
L	L	L	L	L	L	H	H	L	L	L	L	L	L	H	H
L	L	L	L	L	H	L	L	L	L	L	L	L	H	L	L
L	L	L	L	L	H	L	H	L	L	L	L	H	L	L	L
L	L	L	L	L	H	H	L	L	L	L	L	H	L	L	H
L	L	L	L	L	H	H	H	L	L	L	L	H	L	H	L
L	L	L	L	H	L	L	L	L	L	L	L	H	L	H	H
L	L	L	L	H	L	L	H	L	L	L	L	H	H	L	L
L	L	L	L	H	L	H	L	L	L	L	H	L	L	L	L
H	L	L	L	H	H	H	L	H	H	H	L	L	L	H	L
H	L	L	L	H	H	H	H	H	H	H	L	L	L	H	H
H	L	L	H	L	L	L	L	H	H	H	L	L	H	L	L
H	L	L	H	L	L	L	H	H	H	H	L	H	L	L	L
H	L	L	H	L	L	H	L	H	H	H	L	H	L	L	H
H	L	L	H	L	L	H	H	H	H	H	L	H	L	H	L
H	L	L	H	L	H	L	L	H	H	H	L	H	L	H	H
H	L	L	H	L	H	L	H	H	H	H	L	H	H	L	L
H	L	L	H	L	H	H	L	H	H	H	H	L	L	L	L
H	L	L	H	L	H	H	H	H	H	H	H	L	L	L	H
H	L	L	H	H	L	L	L	H	H	H	H	L	L	H	L
H	L	L	H	H	L	L	H	H	H	H	H	L	L	L	H
H	L	L	H	H	L	H	L	H	H	H	H	L	H	L	L
H	L	L	H	H	L	H	H	H	H	H	H	H	L	L	L
H	L	L	H	H	H	L	L	H	H	H	H	H	L	L	H
H	L	L	H	H	H	L	H	H	H	H	H	H	L	H	L
H	L	L	H	H	H	H	L	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	L
H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	H
			thru												
H	H	H	H	H	H	H	H								

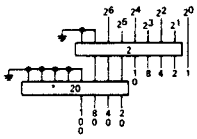


2.2 74xxx-serie

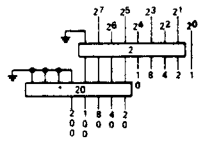
TYPICAL APPLICATION DATA
SN54S485, SN74S485



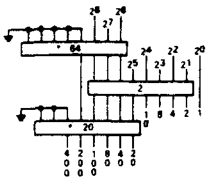
6-BIT-BINARY-TO-BCD CONVERTER



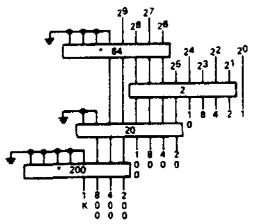
7-BIT-BINARY-TO-BCD CONVERTER



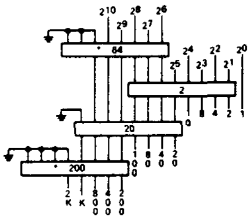
8-BIT-BINARY-TO-BCD CONVERTER



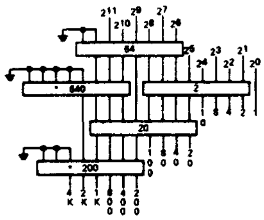
9-BIT-BINARY-TO-BCD CONVERTER



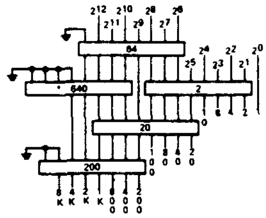
10-BIT-BINARY-TO-BCD CONVERTER



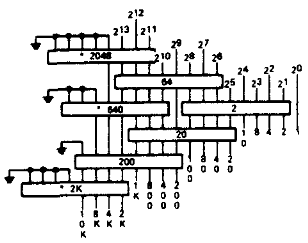
11-BIT-BINARY-TO-BCD CONVERTER



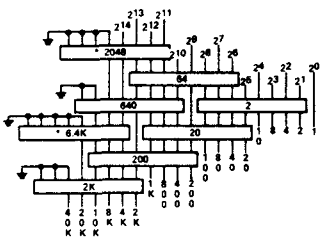
12-BIT-BINARY-TO-BCD CONVERTER



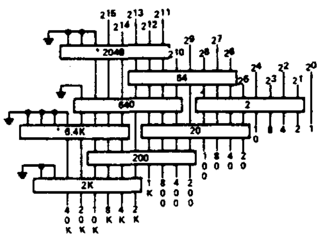
13-BIT-BINARY-TO-BCD CONVERTER



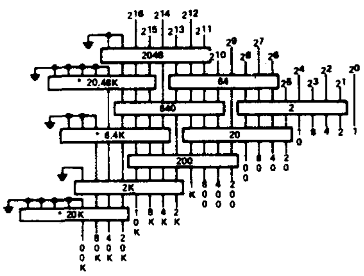
14-BIT-BINARY-TO-BCD CONVERTER



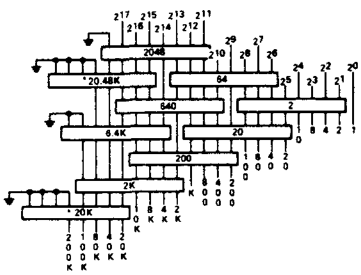
15-BIT-BINARY-TO-BCD CONVERTER



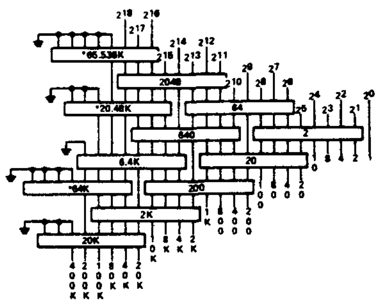
16-BIT-BINARY-TO-BCD CONVERTER



17-BIT-BINARY-TO-BCD CONVERTER



18-BIT-BINARY-TO-BCD CONVERTER

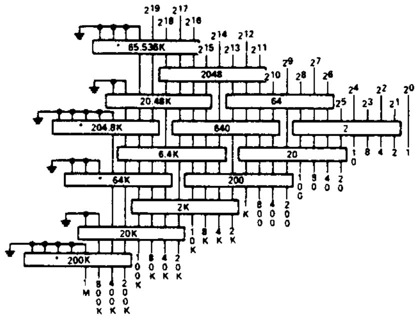


19-BIT-BINARY-TO-BCD CONVERTER

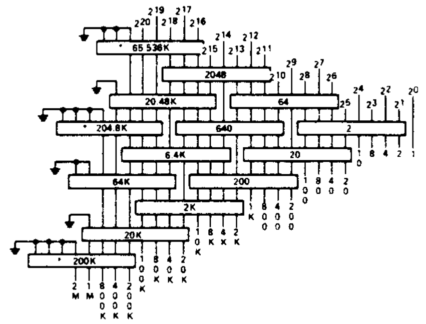
*SN54185/SN74185 can be used.
$K = 10^3$, $M = 10^6$

2.2 74xxx-serie

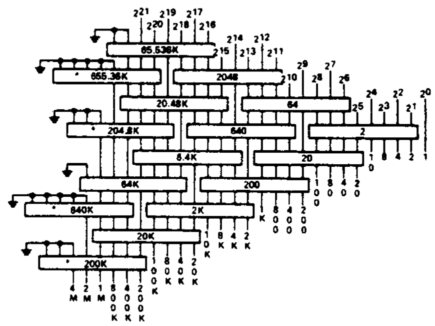
TYPICAL APPLICATION DATA
SN54S485/SN74S485



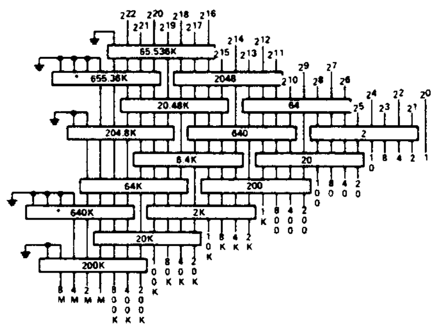
20-BIT-BINARY-TO-BCD CONVERTER



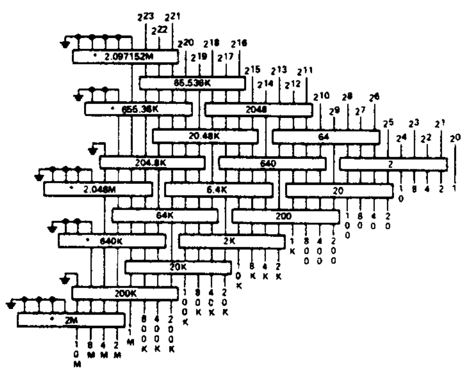
21-BIT-BINARY-TO-BCD CONVERTER



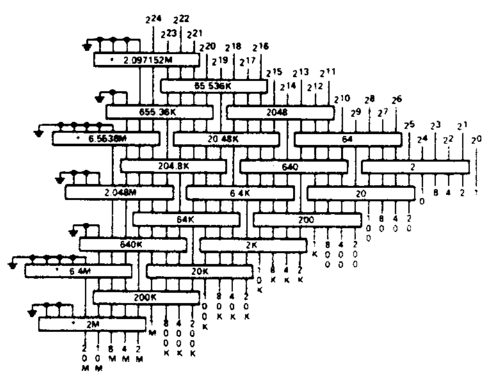
22-BIT-BINARY-TO-BCD CONVERTER



23-BIT-BINARY-TO-BCD CONVERTER



24-BIT-BINARY-TO-BCD CONVERTER

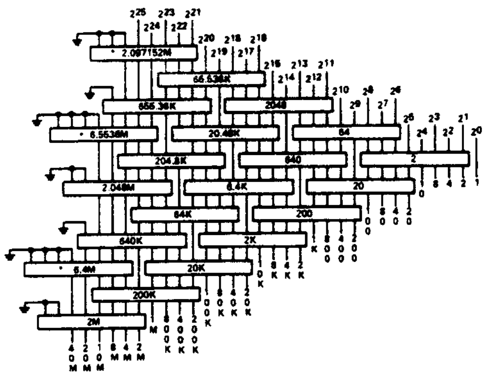


25-BIT-BINARY-TO-BCD CONVERTER

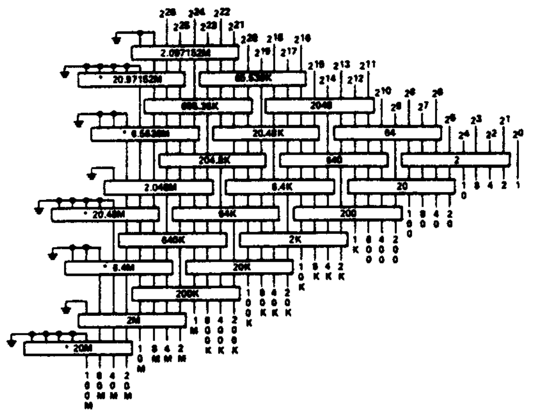
*SN54185/SN74185 can be used.
$K = 10^3$, $M = 10^6$

2.2 74xxx-serie

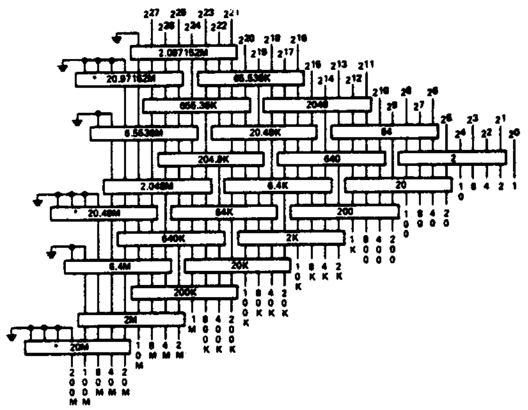
TYPICAL APPLICATION DATA
SN54S485, SN74S485



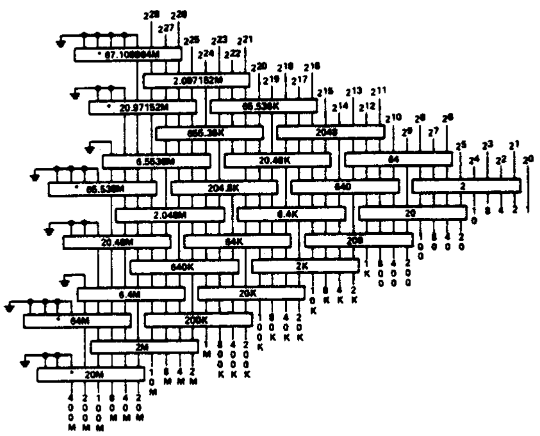
26-BIT-BINARY-TO-BCD CONVERTER



27-BIT-BINARY-TO-BCD CONVERTER



28-BIT-BINARY-TO-BCD CONVERTER

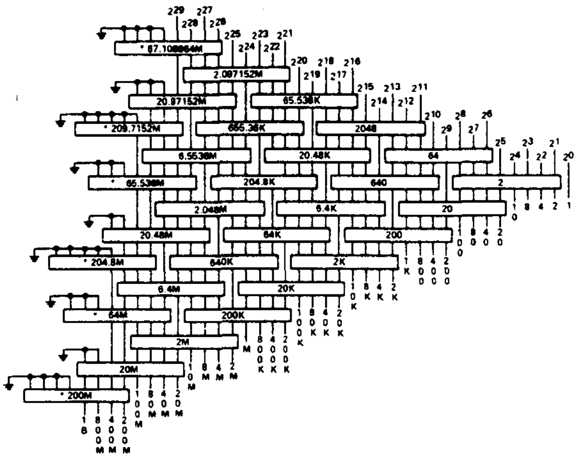


29-BIT-BINARY-TO-BCD CONVERTER

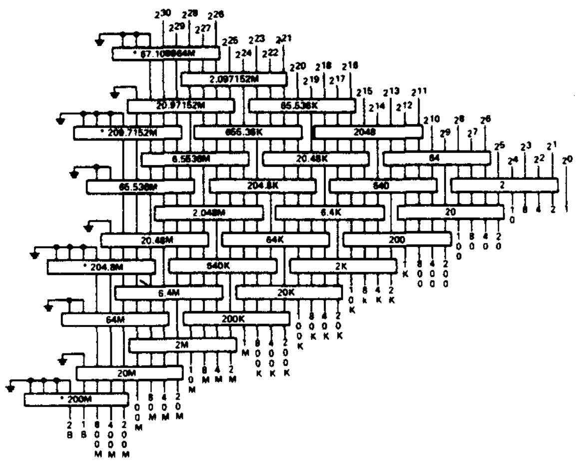
*SN54185/SN74185 can be used.
K = 10^3, M = 10^6

2.2 74xxx-serie

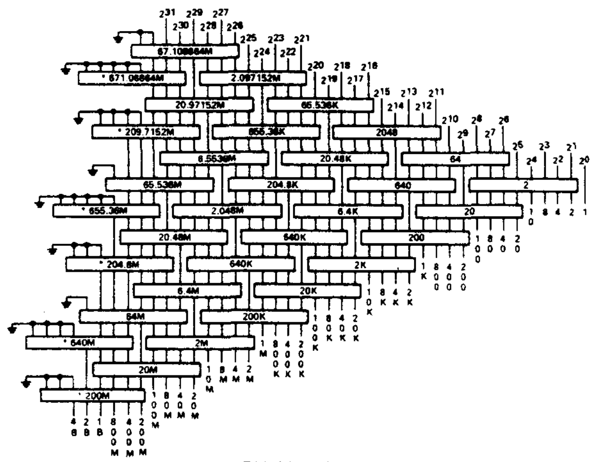
TYPICAL APPLICATION DATA
SN54S485, SN74S485



30-BIT-BINARY-TO-BCD CONVERTER



31-BIT-BINARY-TO-BCD CONVERTER



32-BIT-BINARY-TO-BCD CONVERTER

*SN54185/SN74185 can be used.

$K = 10^3$, $M = 10^6$

2.2 74xxx-serie

5/3

Decoders / digitale demultiplexers

Inhoud

5/3.3 (1) 4xxx-serie CMOS

(aanvulling 14)

(1) 40147	10-naar-4 BCD priority encoder
(1) 4514	4-naar-16 decoder/4-bit latch, aktief HOOG
(1) 4515	4-naar-16 decoder/4-bit latch, aktief LAAG
(1) 4532	8-naar-3 priority encoder
(1) 4555	2 binair naar 1-uit-4 decoders/demultiplexers, aktief HOOG
(1) 4556	2 binair naar 1-uit-4 decoders/demultiplexers, aktief LAAG

5/3.4 10k-serie ECL

(aanvulling 22)

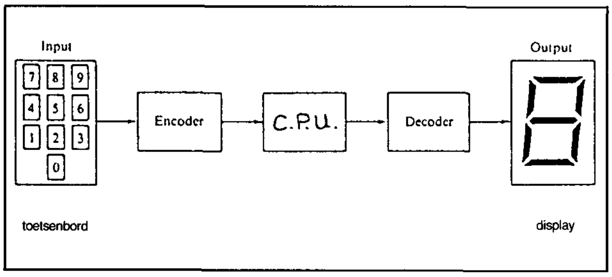
10161	1-uit-8 demultiplexer/decoder (aktief LAAG)
10162	1-uit-8 demultiplexer/decoder (aktief HOOG)
10165	8-naar-3 priority encoder
10171	2 1-uit-4 demultiplexers/decoders (aktief LAAG)
10172	2 1-uit-4 demultiplexers/decoders (aktief HOOG)

5/3.1

Achtergrond-informatie

Inleiding

Een decoder is in feite het tegenovergestelde van een encoder. Met een decoder wordt een binaire code weer ontcijferd in bijvoorbeeld de decimale of de BCD (Binair geCodeerd Decimaal) code. Over het algemeen kan worden gezegd dat een decoder minder ingangslijnen dan uitgangslijnen heeft. De tegenstelling tussen encoder en decoder wordt duidelijk aan de hand van figuur 5/3.1-1.



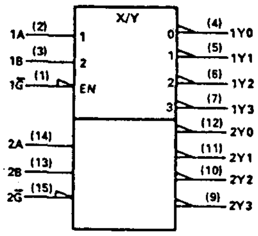
Figuur 5/3.1-1: Principeschema van een zakrekenmachine.

Hier is als voorbeeld een zakrekenmachine genomen. Telkens wanneer op een toets van het keyboard wordt gedrukt, wordt de hiervan afkomstige code ('kruisschakelaars') door de encoder omgezet in binaire vorm om door de centrale processor (CPU) te worden verwerkt. De CPU levert informatie in binaire vorm die, om het resultaat van de bewerking te kunnen aflezen, door een decoder in de voor het display geschikte vorm moet worden omgezet. In deel 5/1 wordt bijvoorbeeld van BCD-naar-decimaal gedecodeerd, terwijl in 5/5 de BCD-naar-7 segment decoders aan bod komen.

In dit deel wordt daarom aandacht besteed aan de 2-naar-4, 3-naar-8 en 4-naar-16 decoders/demultiplexers.

74LS139

Als voorbeeld van een 2-naar-4 decoder wordt de 74LS139 genomen. In figuur 5/3.1-2 zijn het logisch symbool en de waar-



'LS139A, 'S139
(EACH DECODER/DEMULTIPLEXER)
FUNCTION TABLE

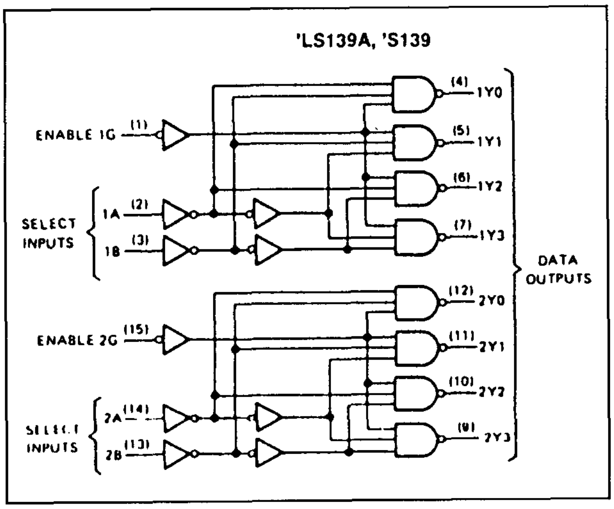
INPUTS			OUTPUTS			
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = high level, L = low level, X = irrelevant

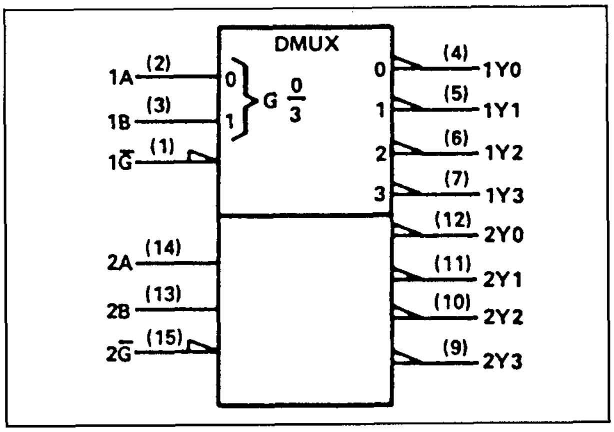
Figuur 5/3.1-2: Logisch symbool en waarheidstabel van een 2-naar-4 lijnen decoder (type 74LS139).

heidstabel te zien. In figuur 5/3.1-3 zien we de interne opbouw van deze schakeling met behulp van poorten (positieve logika). We zien hierin dat wanneer de schakeling is vrijgegeven (Enable-ingang = LAAG), de twee ingangen A en B bepalen welke van de vier uitgangen LAAG wordt. De ingangen A en B zijn dus adreslijnen en de schakeling werkt als 2-naar-4 decoder. Wanneer het signaal op de G-ingang HOOG is zijn alle uitgangen HOOG (ook de geadresseerde uitgang). Met andere woorden, wanneer we het signaal op de G-ingang vervangen door een blokvormig signaal, kunnen we zien dat de toestand op

3.1 Achtergrond-informatie



Figuur 5/3.1-3: Het inwendige van een 74LS139 (positieve logika).

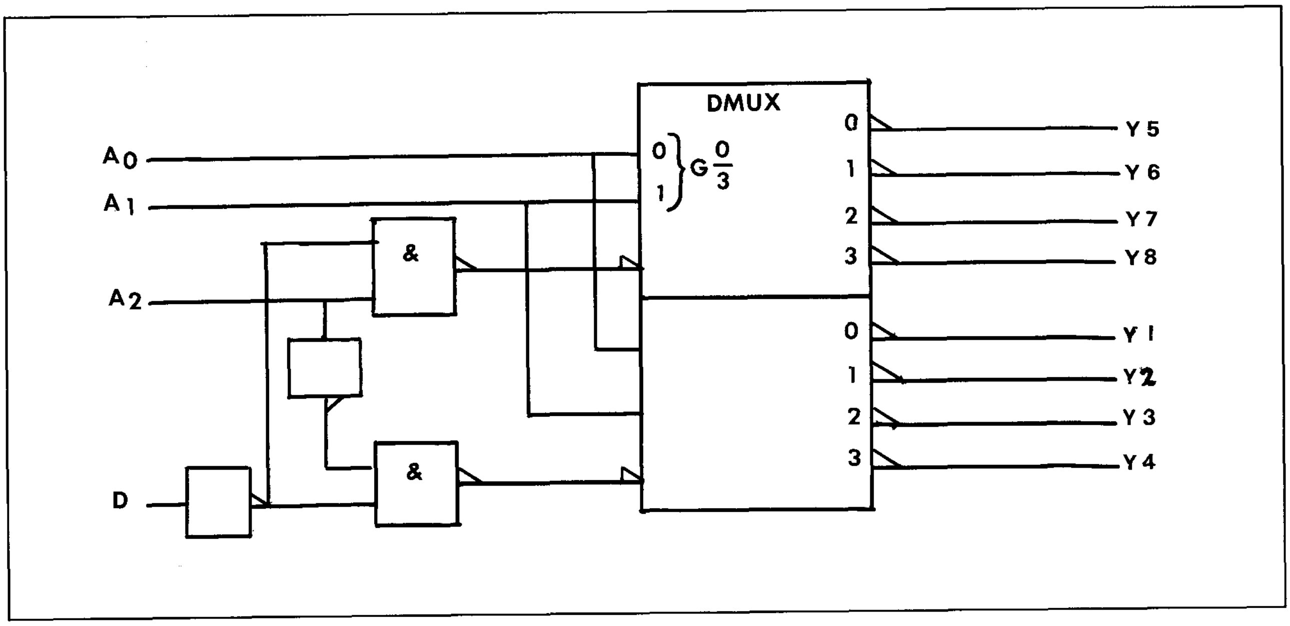


Figuur 5/3.1-4: Alternatief logisch symbool (demultiplexer) van een 74LS139.

de G-ingang wordt doorgegeven naar de aangewezen uitgang.
De 74LS139 kan dus ook werken als '1-naar-4 demultiplexer'. Het logisch symbool daarvan is iets anders dan dat van de decoder (zie figuur 5/3.1-4), terwijl de schakeling en de waarheidstabel dezelfde blijven.

3-naar-8 decoder

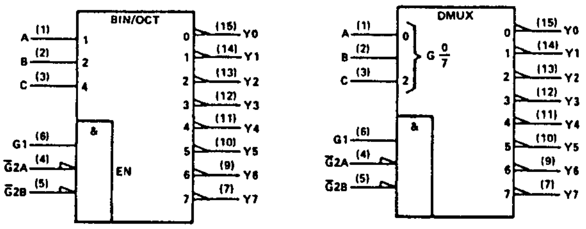
Met behulp van een paar poorten en inverters kan uit een complete 74LS139 (beide helften gebruiken) een 3-naar-8 decoder worden samengesteld, zoals in figuur 5/3.1-5 te zien is. De derde adreslijn (A3) bepaalt of de bovenste of de onderste 74LS139 aktief is, terwijl de data via de D-ingang wordt toegelaten. Deze schakeling kan ook het gemak-



Figuur 5/3.1-5: Met behulp van twee NAND-poorten en twee inverters kan van twee 2-naar-4 decoders een 3-naar-8 decoder worden gebouwd.

3.1 Achtergrond-informatie

kelijkst worden verklaard als op de D-ingang een blokvormig signaal wordt gedacht.
Als voorbeeld van een complete 3-naar-8 decoder/demultiplexer in één IC is in figuur 5/3.1-6 de beide logische symbolen en de bijbehorende waarheidstabel van de 74LS138 opgenomen. Figuur 5/3.1-7 laat zien hoe een en ander inwendig is geregeld (positieve logika).

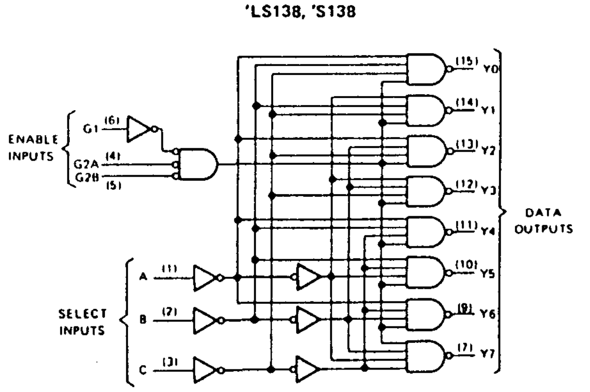


'LS138, 'S138
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B
H = high level, L = low level, X = irrelevent

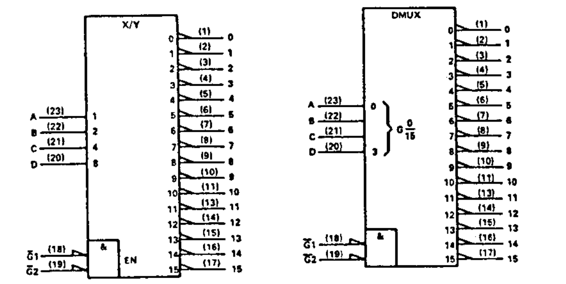
Figuur 5/3.1-6: Beide logische symbolen en de waarheidstabel van de 3-naar-8 decoder/demultiplexer 74LS138.



Figuur 5/3.1-7: Functioneel blokschema (positieve logika) van de 74LS138.

4-naar-16 decoder

Op dezelfde wijze als hierboven bij de 74LS139 werd gedaan kan met twee 74LS138's en wat poorten ook een 4-naar-16 decoder worden samengesteld. Door gebruik te maken van de inwendige NAND-poort en de wel/niet inverterende ingangen bij het Enable-gedeelte kan de uitwendige schakeling zelfs nog wat eenvoudiger uitvallen. Uiteraard wordt de 4-naar-16 lijnen decoder/demultiplexer ook als compleet IC geleverd: in figuur 5/3.1-8 zijn bijvoorbeeld de



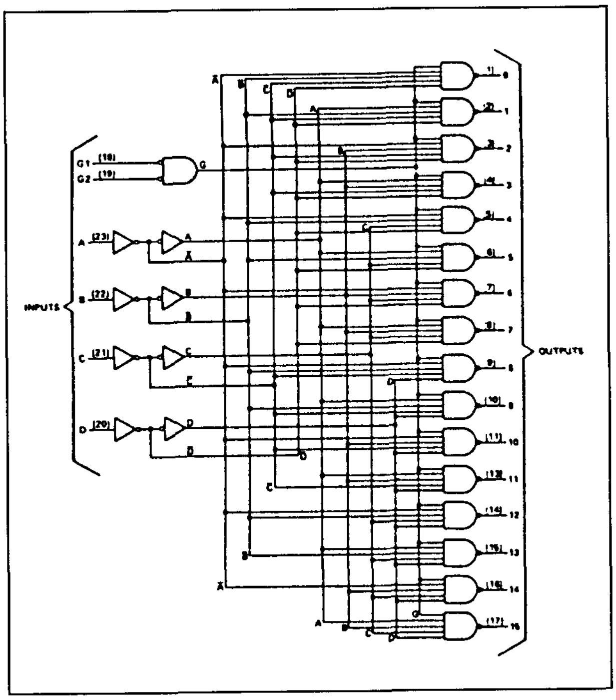
INPUTS						OUTPUTS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

Figuur 5/3.1-8: Logische symbolen en waarheidstabel van de 4-naar-16 decoder/demultiplexer 74154.

logische symbolen en de waarheidstabel van de nog steeds veelgebruikte 74154 te zien. Het functionele blokschema (positieve logika) van deze schakeling ziet U in figuur 5/3.1-9.
Het zal duidelijk zijn dat met twee 74154's en enkele poorten gemakkelijk een 5-naar-32 decoder/demultiplexer kan worden samengesteld.

3.1 Achtergrond-informatie



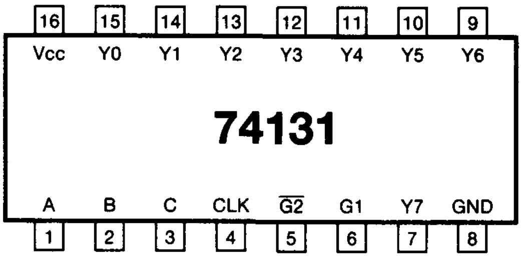
Figuur 5/3.1-9: Functioneel blokschema van de 74154.

5/3.2

74xx-serie TTL en HC

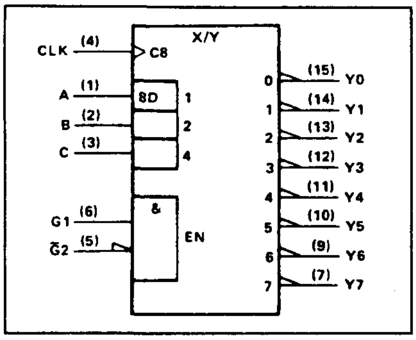
74131

3-naar-8 decoder edge-triggered adres-registers



Figuur 5/3-131.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc						16	5			mA
Ios						–30 –112	–30 –112			mA
Tplh1)						5.4	8 25			ns
Tphl1)						5.3	7 20			ns
Tplh2)						6.2	7 20			ns
Tphl2)						5.6	6 17			ns
Tplh3)						5.4	5 15			ns
Tphl3)						5.3	5 15			ns
fmax							50			MHz



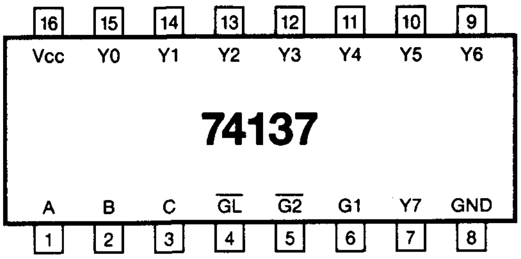
FUNCTION TABLE

INPUTS						OUTPUTS							
CLK	ENABLE		SELECT										
	G1	$\overline{G2}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	L	X	X	X	X	H	H	H	H	H	H	H	H
↑	H	L	L	L	L	L	H	H	H	H	H	H	H
↑	H	L	L	L	H	H	L	H	H	H	H	H	H
↑	H	L	L	H	L	H	H	L	H	H	H	H	H
↑	H	L	L	H	H	H	H	H	L	H	H	H	H
↑	H	L	H	L	L	H	H	H	H	L	H	H	H
↑	H	L	H	L	H	H	H	H	H	H	L	H	H
↑	H	L	H	H	L	H	H	H	H	H	H	L	H
↑	H	L	H	H	H	H	H	H	H	H	H	H	L
L or H	H	L	X	X	X	OUTPUTS CORRESPONDING TO STORED ADDRESS, L, ALL OTHERS, H							

3.2 74xx-serie TTL en HC

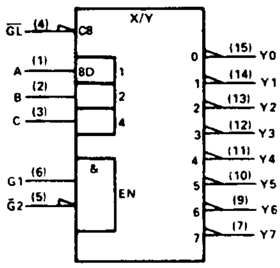
74137

3-naar-8 decoder



Figuur 5/3-137.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc					11		5		80[3]	mA
Ios					–20 –100		–30 –112			mA
Tplh[1]					11		5 20		23	ns
Tphl[1]					25		6 20		23	ns
Tplh[2]					18		7 22		22	ns
Tphl[2]					25		7 20		22	ns



[1] A, B, C, to Y [2] En. $\bar{G}\bar{L}$ to Y [3] μA

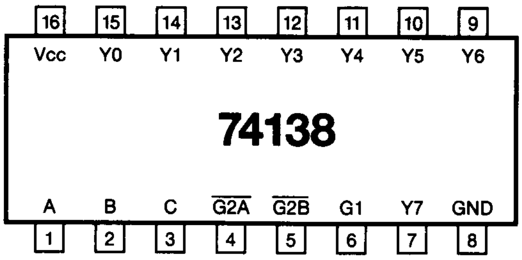
FUNCTION TABLE

INPUTS						OUTPUTS							
ENABLE			SELECT										
$\overline{GL}$	G1	$\overline{G2}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	L	X	X	X	X	H	H	H	H	H	H	H	H
L	H	L	L	L	L	L	H	H	H	H	H	H	H
L	H	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	H	L	H	H	L	H	H	H	H	H
L	H	L	L	H	H	H	H	H	L	H	H	H	H
L	H	L	H	L	L	H	H	H	H	L	H	H	H
L	H	L	H	L	H	H	H	H	H	H	L	H	H
L	H	L	H	H	L	H	H	H	H	H	H	L	H
L	H	L	H	H	H	H	H	H	H	H	H	H	L
H	H	L	X	X	X	Output corresponding to stored address, L; all others, H							

3.2 74xx-serie TTL en HC

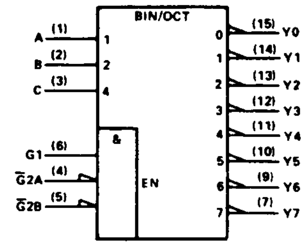
74138

3-naar-8 decoder



Figuur 5/3-138.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc				60	6.3		5		80[3]	mA
Ios				–40 –100	–20 –100		–30 –112			mA
Tplh[1]				7.5	18		6 22		18	ns
Tphl[1]				8	26		6 18		18	ns
Tplh[2]				7	17		4 17		18	ns
Tphl[2]				7	25		5 17		18	ns



[1] Select to any output (max) [2] Enable to any output (max) [3] μA

FUNCTION TABLE

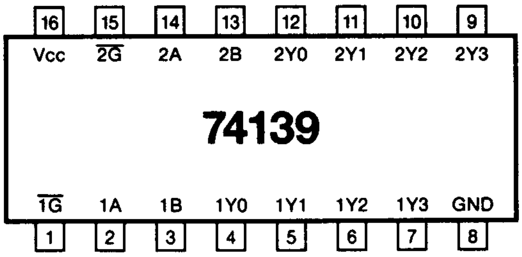
ENABLE INPUTS		SELECT INPUTS			OUTPUTS							
G1	$\overline{G}2$*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*$\overline{G}2 = \overline{G}2A + \overline{G}2B$

3.2 74xx-serie TTL en HC

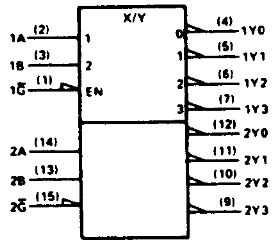
74139

2-naar-4 decoder



Figuur 5/3-139.

LOGICA	TTL	L	F	S	LS[1]	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc				60	6.8				80[1]	mA
Ios				–40 –100	–20 –100					mA
Tplh[2]				7	18				14	ns
Tphl[2]				8	25				14	ns
Tplh[3]				5	16				11	ns
Tphl[3]				6.5	21				11	ns



[1] 74 LS 139 A [2] select to any output (max) [3] Enable to any output [4] μA

FUNCTION TABLE

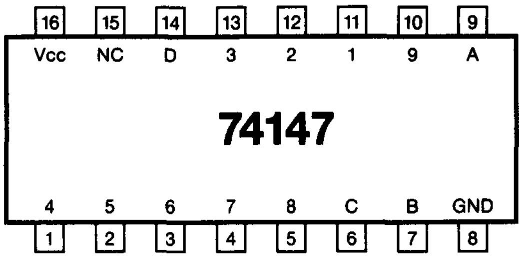
INPUTS			OUTPUTS			
ENABLE	SELECT					
$\bar{G}$	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

3.2 74xx-serie TTL en HC

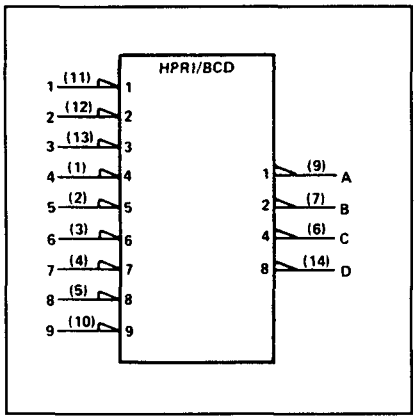
74147

10-naar-4 priority encoder Indien meer dan één lijn actief is wordt alleen de hoogste in rangorde gedecodeerd.

Figuur 5/3-147.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	50				12				80[1]	mA
Ios	-35 -85				-20 -100					mA
Tplh	13				21				25	ns
Tphl	12				15				25	ns



1) μA

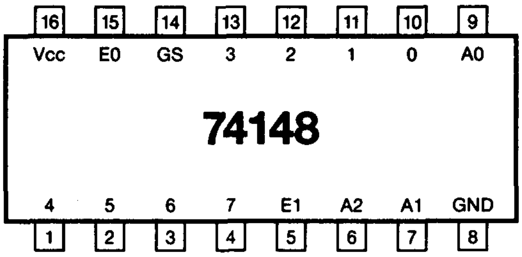
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

3.2 74xx-serie TTL en HC

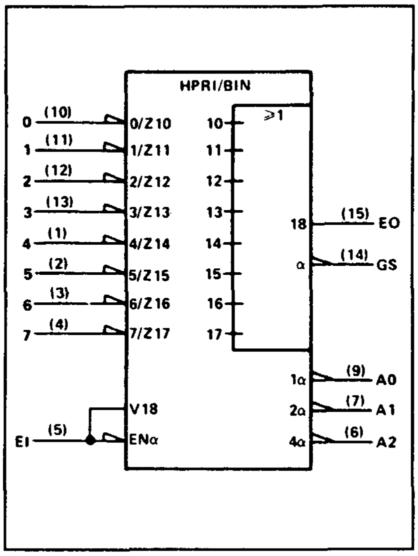
74148

8-naar-3 priority encoder



Figuur 5/3-148.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	40				12				80[3]	mA
Ios	–35 –85				–20 –100					mA
Tplh[1]	13				20				23	ns
Tphl[1]	12				16				23	ns
Tplh[2]	10				16				26	ns
Tphl[2]	10				12				26	ns



[1] 1.7 to A0, A1, A2 [2] EI to A0, A1, A2 [3] μA

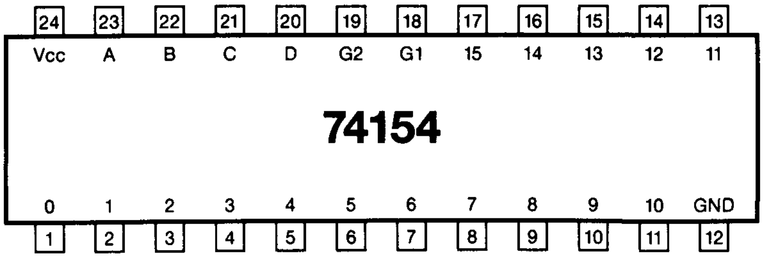
FUNCTION TABLE

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

3.2 74xx-serie TTL en HC

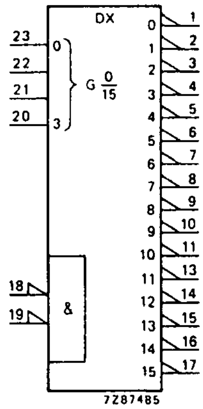
74154

4-naar-16 decoder



Figuur 5/3-154.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	34							0.05[3]		mA
Ios	–8 –57									mA
Tplh[1]	24							265		ns
Tphl[1]	22							275		ns
Tphl[2]	20							265		ns
Tphl[2]	18							275		ns



[1] Ai to output [2] Strobe to output [3] μA

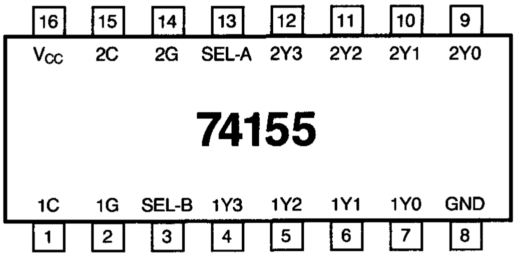
FUNCTION TABLE

INPUTS						OUTPUTS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

3.2 74xx-serie TTL en HC

74155

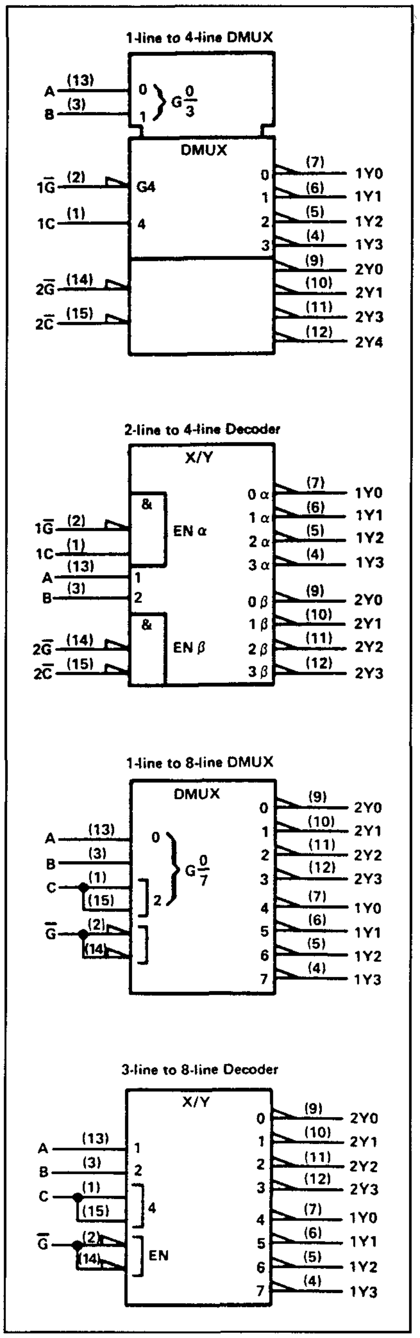
decoder/demultiplexer met totempole uitgangen
2 2-naar 4 of 2 1-naar 4 of 3-naar 8 of 1-naar 8



Figuur 5/3-155.

LOGICA	TTL	L	F	S	LS[1]	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	25				6.1					mA
Ios	−18 −57				−20 −100					mA
Tplh[2]	13				10					ns
Tphl[2]	18				19					ns
Tphl[3]	21				17					ns
Tphl[3]	21				19					ns
Tphl[4]	16				18					ns
Tphl[4]	20				18					ns

[1] 74 LS 155 A
[2] A, B, 2C, 1G, 2G to Y [3] A, B to Y (3 levels) [4] 1C to Y



FUNCTION TABLES
2-LINE-TO-4-LINE DECODER
OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

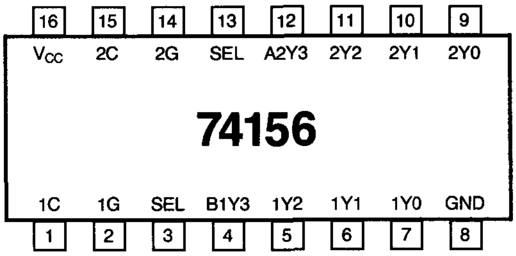
FUNCTION TABLE
3-LINE-TO-8-LINE DECODER
OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT			STROBE OR DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H

3.2 74xx-serie TTL en HC

74156

decoder/demultiplexer met open collector uitgangen 2 2-naar-4 of 2 1-naar-4 of 3-naar-8 of 1-naar-8



Figuur 5/3-156.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	25				6.1					mA
Tplh[1)]	15				25					ns
Tphl[1)]	20				34					ns
Tphl[2)]	23				31					ns
Tphl[2)]	23				34					ns
Tphl[3)]	18				32					ns
Tphl[3)]	22				32					ns

1) A, B, 2C, 1G, 2G to Y 2) A, B, to Y (3 levels) 3) 1C to Y

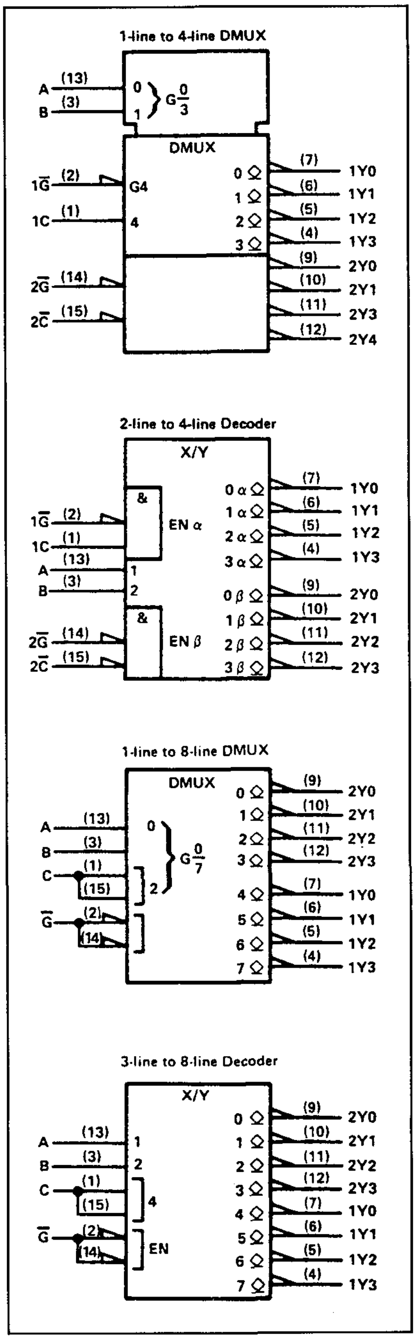
FUNCTION TABLES
2-LINE-TO-4-LINE DECODER
OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B	A	1G	1C	1Y0	1Y1	1Y2	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B	A	2G	2C	2Y0	2Y1	2Y2	2Y3
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

FUNCTION TABLE
3-LINE-TO-8-LINE DECODER
OR 1-LINE-TO-8-LINE DEMULTIPLEXER

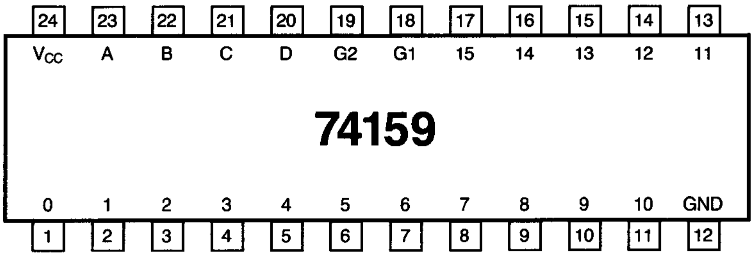
INPUTS				OUTPUTS							
SELECT			STROBE OR DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H



3.2 74xx-serie TTL en HC

74159

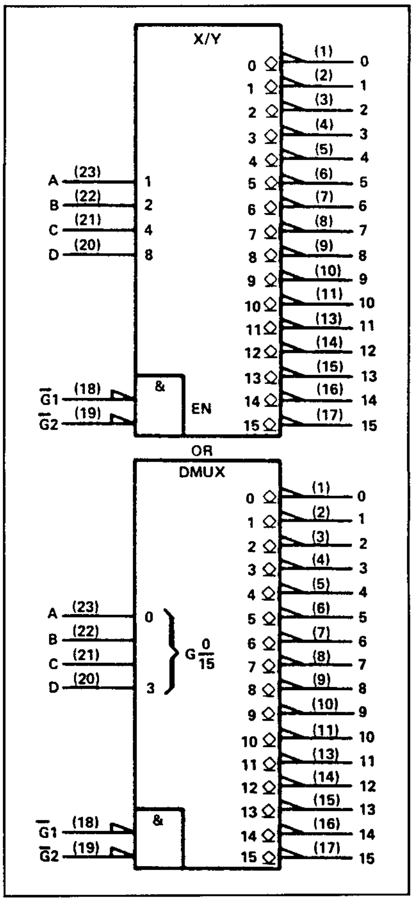
4-naar-16 decoder met open collector uitgangen



Figuur 5/3-159.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	34									mA
Tplh[1)]	23									ns
Tphl[1)]	24									ns
Tphl[2)]	15									ns
Tphl[2)]	22									ns

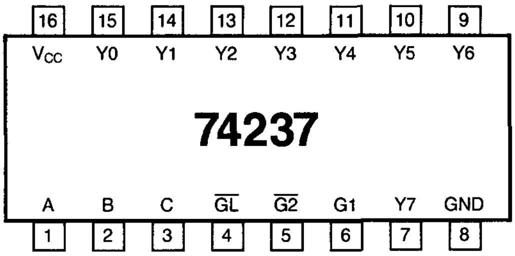
[1)] A, B, C, D to output [2)] Strobe to output



3.2 74xx-serie TTL en HC

74237

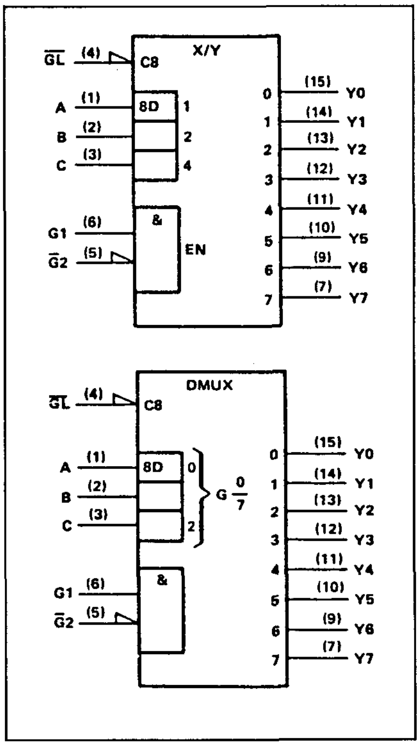
3-naar-8 decoder/demultiplexer met adres latches



Figuur 5/3-237.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc									80[1]	mA
Ios									4	mA
Tphl/Tphl[2]									24	ns
Tplh/Tphl[3]									19	ns
Tplh/Tphl[4]									19	ns
Tplh/Tphl[5]									29	ns

[1] μA [2] A, B, of C → Y [3] $\overline{G2}$ → Y [4] G1 → Y [5] $\overline{GL}$ → Y



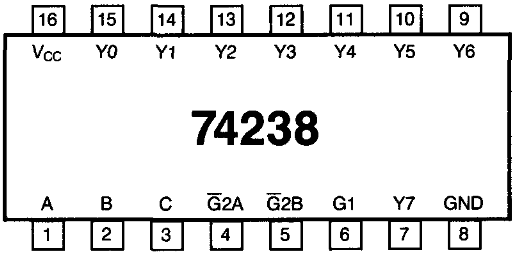
FUNCTION TABLE

INPUTS						OUTPUTS							
ENABLE			SELECT										
$\overline{GL}$	G1	$\overline{G2}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	L	L	L	L	L	L	L	L
X	L	X	X	X	X	L	L	L	L	L	L	L	L
L	H	L	L	L	L	H	L	L	L	L	L	L	L
L	H	L	L	L	H	L	H	L	L	L	L	L	L
L	H	L	L	H	L	L	L	H	L	L	L	L	L
L	H	L	L	H	H	L	L	L	H	L	L	L	L
L	H	L	H	L	L	L	L	L	L	H	L	L	L
L	H	L	H	L	H	L	L	L	L	L	H	L	L
L	H	L	H	H	L	L	L	L	L	L	L	H	L
L	H	L	H	H	H	L	L	L	L	L	L	L	H
H	H	L	X	X	X	Output corresponding to stored address, L; all others, H							

3.2 74xx-serie TTL en HC

74238

3-naar-8 decoder/demultiplexer

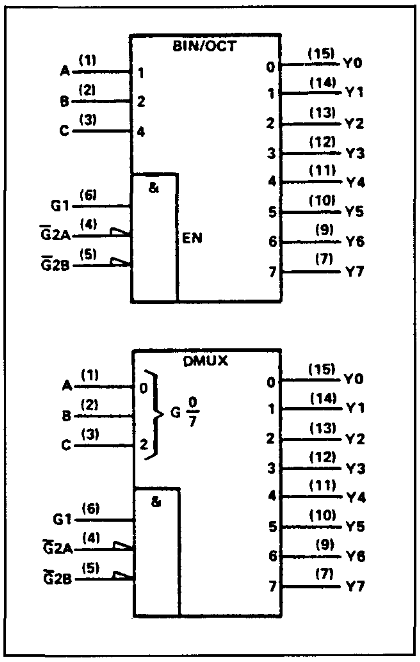


Figuur 5/3-238.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc									80[1]	mA
Ios									4	mA
Tplh/ Tphl[2]									20	ns
Tpzh/ Tpzl[3]									17	ns

[1] μA [2] A, B, of C → Y [3] output enable

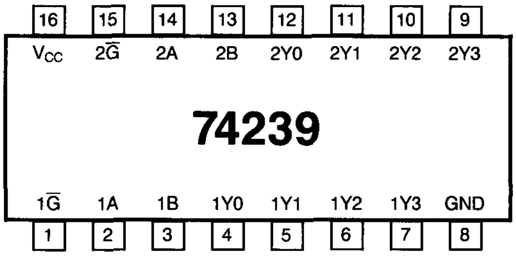
ENABLE INPUTS			SELECT INPUTS			OUTPUTS							
G1	G̅2A	G̅2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	L	L	L	L	L	L	L	L
X	X	H	X	X	X	L	L	L	L	L	L	L	L
L	X	X	X	X	X	L	L	L	L	L	L	L	L
H	L	L	L	L	L	H	L	L	L	L	L	L	L
H	L	L	L	L	H	L	H	L	L	L	L	L	L
H	L	L	L	H	L	L	L	H	L	L	L	L	L
H	L	L	L	H	H	L	L	L	H	L	L	L	L
H	L	L	H	L	L	L	L	L	L	H	L	L	L
H	L	L	H	L	H	L	L	L	L	L	H	L	L
H	L	L	H	H	L	L	L	L	L	L	L	H	L
H	L	L	H	H	H	L	L	L	L	L	L	L	H



3.2 74xx-serie TTL en HC

74239

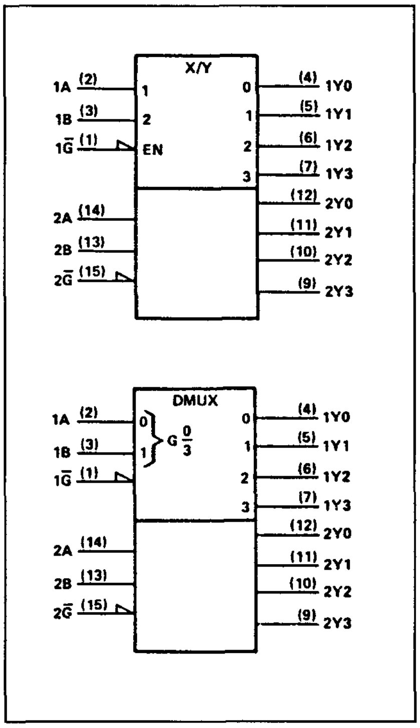
2 2-naar-4 decoders/demultiplexers



Figuur 5/3-239.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									80[1]	mA
Ios									4	mA
Tplh[2]									18	ns
Tphl[2]									18	ns
Tpzl[3]									14	ns
Tpzh[3]									14	ns

1) μA 2) A of B → Y 3) $\overline{G}$ → Y



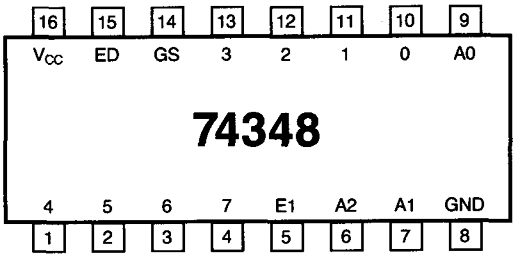
FUNCTION TABLE

INPUTS			OUTPUTS			
ENABLE	SELECT					
$\overline{G}$	B	A	Y0	Y1	Y2	Y3
H	X	X	L	L	L	L
L	L	L	H	L	L	L
L	L	H	L	H	L	L
L	H	L	L	L	H	L
L	H	H	L	L	L	H

3.2 74xx-serie TTL en HC

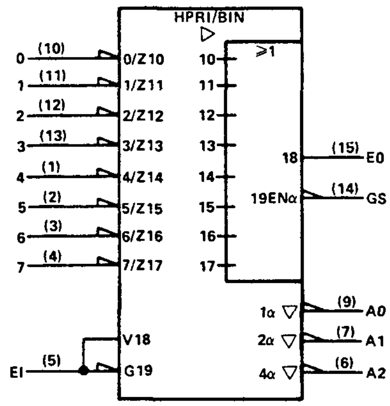
74348

8-naar-3 priority encoder met 3-state uitgangen



Figuur 5/3-348.

LOGICA	TTL	L	F	S	LS[1]	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc					13 12					mA
Ios[2]					-30 -130					mA
Tplh[3]					11					ns
Tphl[3]					20					ns
Tplh/Tphl[4]					23/ 23					ns
Tplh/Tphl[5]					11/ 26					ns
Tplh/Tphl[6]					38/ 9					ns
Tplh/Tphl[7]					11/ 14					ns
Tpzh/Tpzl[8]					25/ 24					ns
Tphz/Tplz[9]					18/ 23					ns



1) 74 LS 348 = TIM 9908
2) A0, A1, A2 outputs
3) input 1 t/m 7 → A0, A1 of A2 (in fase)
4) input 1 t/m 7 → A0, A1 of A2 (uit fase)
5) input 0 t/m 7 → E0
6) input 0 t/m 7 → GS
7) EI → GS (in fase)
8) EI → A0, A1 of A2 (output enable)
9) EI → A0, A1 of A2 (output disable)

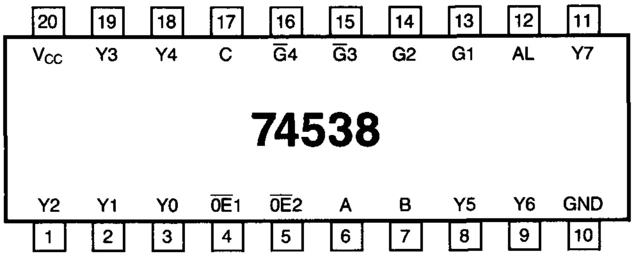
INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	Z	Z	Z	H	H
L	H	H	H	H	H	H	H	H	Z	Z	Z	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = high logic level, L = low logic level, X = irrelevant
Z = high-impedance state

3.2 74xx-serie TTL en HC

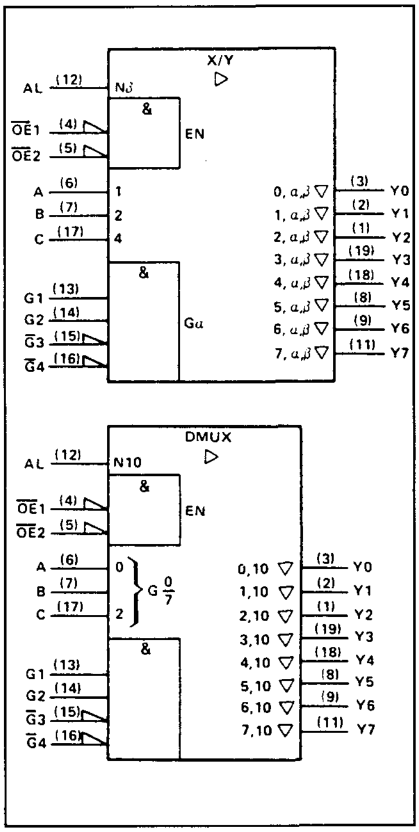
74538

3-naar-8 decoder/demultiplexer met 3-state uitgangen



Figuur 5/3-538.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H / L / D			37				25			mA
Ios			−60 −150				−30 −112			mA
Tplh/Tphl[1)]			11/ 7.5				22			ns
Tplh/Tphl[2)]			8.5/ 6.5				18			ns
Tplh/Tphl[3)]			11/ 10				22			ns
Tplh/Tphl[4)]			11.5/ 11				20			ns
Tpzh[5)]			5.5				10			ns
Tpzl[5)]			9				13			ns
Tphz[6)]			4				8			ns
Tplz[6)]			5				10			ns



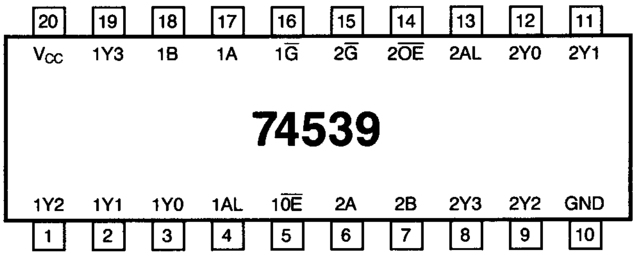
1) A, B of C → Y 2) G1 of G2 → Y 3) $\overline{G}$3 of $\overline{G}$4 → Y
4) AL → Y 5) $\overline{0E}$1 of $\overline{0E}$2 → Y (output enable)
6) $\overline{0E}$1 of $\overline{0E}$2 → Y (output disable)

FUNCTION	INPUTS									OUTPUTS							
	$\overline{OE}$1	$\overline{OE}$2	G1	G2	$\overline{G}$3	$\overline{G}$4	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
High impedance (AL = X)	H	X	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z
	X	H	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z
Disable (AL = X)	L	L	L	X	X	X	X	X	X	All outputs same level as AL							
	L	L	X	L	X	X	X	X	X								
	L	L	X	X	H	X	X	X	X								
	L	L	X	X	X	H	X	X	X								
Active-High Output (AL = L)	L	L	H	H	L	L	L	L	L	H	L	L	L	L	L	L	L
	L	L	H	H	L	L	L	L	H	L	H	L	L	L	L	L	L
	L	L	H	H	L	L	L	H	L	L	L	H	L	L	L	L	L
	L	L	H	H	L	L	L	H	H	L	L	L	H	L	L	L	L
	L	L	H	H	L	L	H	L	L	L	L	L	L	H	L	L	L
	L	L	H	H	L	L	H	L	H	L	L	L	L	L	H	L	L
	L	L	H	H	L	L	H	H	L	L	L	L	L	L	L	H	L
	L	L	H	H	L	L	H	H	H	L	L	L	L	L	L	L	H
Active-Low Output (AL = H)	L	L	H	H	L	L	L	L	L	L	H	H	H	H	H	H	H
	L	L	H	H	L	L	L	L	H	H	L	H	H	H	H	H	H
	L	L	H	H	L	L	L	H	L	H	H	L	H	H	H	H	H
	L	L	H	H	L	L	L	H	H	H	H	H	L	H	H	H	H
	L	L	H	H	L	L	H	L	L	H	H	H	H	L	H	H	H
	L	L	H	H	L	L	H	L	H	H	H	H	H	H	L	H	H
	L	L	H	H	L	L	H	H	L	H	H	H	H	H	H	L	H
	L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	L

3.2 74xx-serie TTL en HC

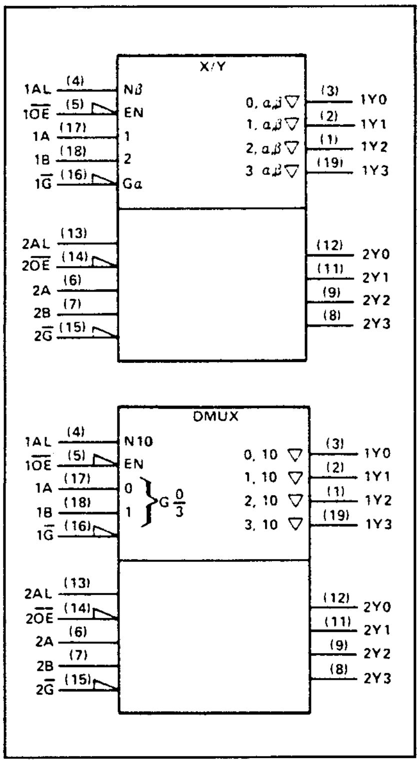
74539

2 2-naar-4 decoders/ demultiplexers met 3-state uitgangen



Figuur 5/3-539.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H L D			40				24			mA
Ios			−60 −150				−30 −112			mA
Tplh/Tphl[1]			14,5/ 9.5				22			ns
Tplh/Tphl[2]			12/ 7.5				18			ns
Tplh/Tphl[3]			14.5/ 11				22			ns
Tpzh[4]			8				10			ns
Tpzl[4]			10				13			ns
Tphz[5]			4.5				8			ns
Tplz[5]			6.5				10			ns



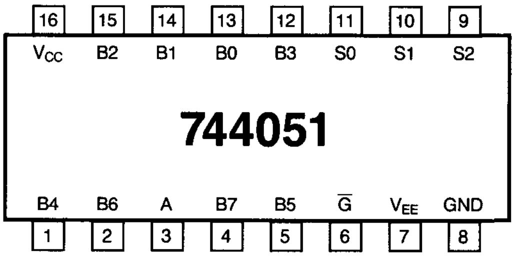
1) A of B → Y 2) $\overline{G}$ → Y 3) AL → Y
4) $\overline{OE}$ → Y (output enable) 5) $\overline{OE}$ → Y (output disable)

FUNCTION	INPUTS				OUTPUTS			
	$\overline{OE}$	$\overline{G}$	B	A	Y_0	Y_1	Y_2	Y_3
High Impedance	H	X	X	X	Z	Z	Z	Z
Disable	L	H	X	X	All outputs same level as AL			
Active-high Output (AL = L)	L	L	L	L	H	L	L	L
	L	L	L	H	L	H	L	L
	L	L	H	L	L	L	H	L
	L	L	H	H	L	L	L	H
Active-low Output (AL = H)	L	L	L	L	L	H	H	H
	L	L	L	H	H	L	H	H
	L	L	H	L	H	H	L	H
	L	L	H	H	H	H	H	L

3.2 74xx-serie TTL en HC

744051

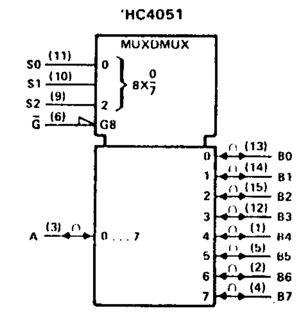
1 8-kanaals analoge multiplexer/ demultiplexer (digitaal bestuurde bilaterale analoge schakelaars)



Figuur 5/3.2-4051.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc									8 [1] 80	mA
V_{CC}									2 6	V
V_{EE}									0 −6	V
R_{ON}									40	Ω
Tpzl/ Tpzh [2]									18	ns
Tphz/ Tplz [3]									28	ns
f_{max}									30	MHz

[1] μA
[2] switch-on vertraging
[3] switch-off vertraging

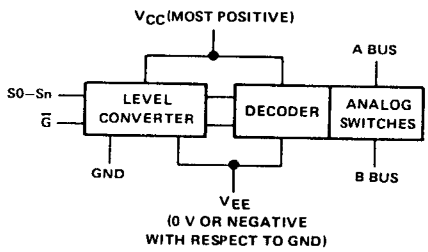


logisch symbool

'HC4051
FUNCTION TABLE

INPUTS				CHANNEL
$\overline{G}$	S2	S1	S0	TURNED ON
H	X	X	X	None
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7

waarheidstabel

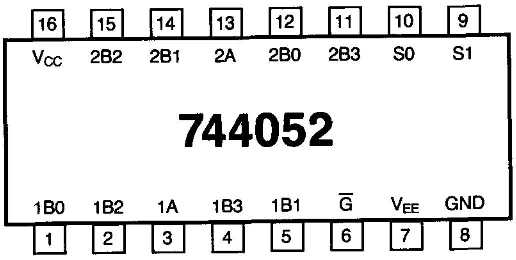


inwendige aansluitingen van de voedingen

3.2 74xx-serie TTL en HC

744052

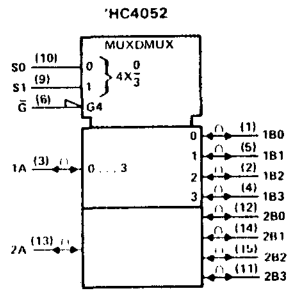
2 4-kanaals analoge multiplexers/ demultiplexers (digitaal bestuurde bilaterale analoge schakelaars)



Figuur 5/3.2-4052.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									8 80	µA
V_{CC}									2 6	V
V_{EE}									0 −6	V
R_{ON}									40	Ω
Tpzl/ Tpzh [1]									18	ns
Tphz/ Tplz [2]									28	ns
f_{max}									30	MHz

1) switch-on vertraging
2) switch-off vertraging

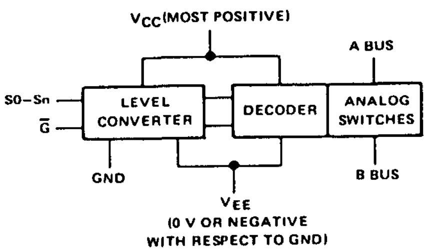


logisch symbool

'HC4052
FUNCTION TABLE
(EACH BILATERAL SWITCH)

INPUTS			CHANNEL
G̅	S1	S0	TURNED ON
H	X	X	None
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3

waarheidstabel

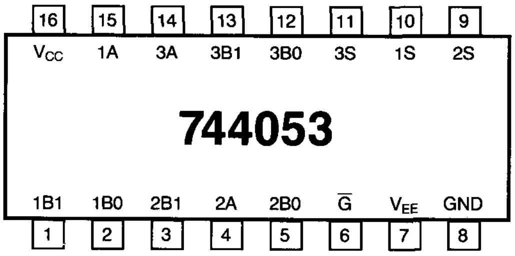


interne aansluitingen van de voedingslijnen

3.2 74xx-serie TTL en HC

744053

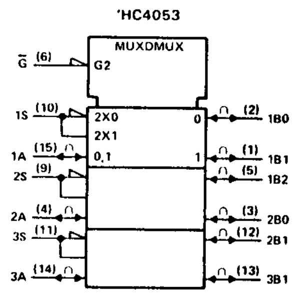
3 2-kanaals analoge multiplexers/ demultiplexers (digitaal bestuurde bilaterale analoge schakelaars)



Figuur 5/3.2-4053.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									8 80	μA
V_{CC}									2 6	V
V_{EE}									0 −6	V
R_{ON}									40	Ω
Tpzh/ Tpzl [1]									18	ns
Tphz/ Tplz [2]									28	ns
f_{max}									30	MHz

[1] switch-on vertraging
[2] switch-off vertraging

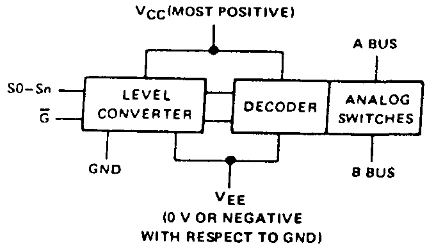


logisch symbool

'HC4053
FUNCTION TABLE
(EACH BILATERAL SWITCH)

INPUTS		CHANNEL
G	S	TURNED ON
H	X	None
L	L	0
L	H	1

waarheidstabel

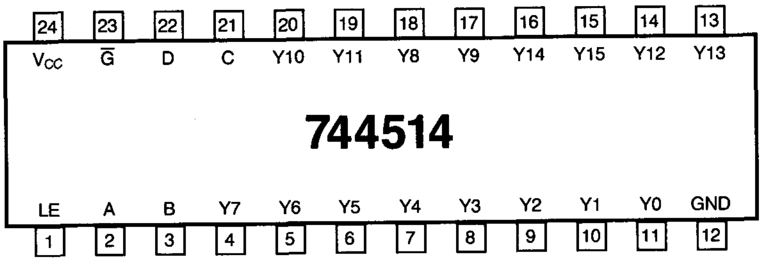


interne aansluitingen van de voedingslijnen

3.2 74xx-serie TTL en HC

744514

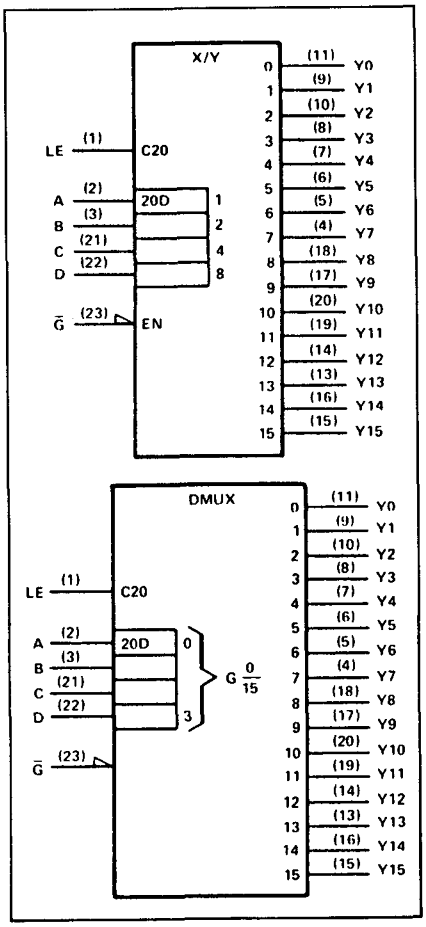
4-naar-16 lijnen decoder/ demultiplexer met adres latches (aktief-HOGE uitgangen)



Figuur 5/3.2-4514.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									8 80	μA
Ios									4	mA
Tplh [1]									27	ns
Tphl [1]									19	ns
Tplh/ Tphl [2]									18	ns
Tphl [3]									18	ns
Tplh [3]									27	ns

1) LE → output
2) data → output
3) inhibit → output



logische symbolen

FUNCTION TABLE

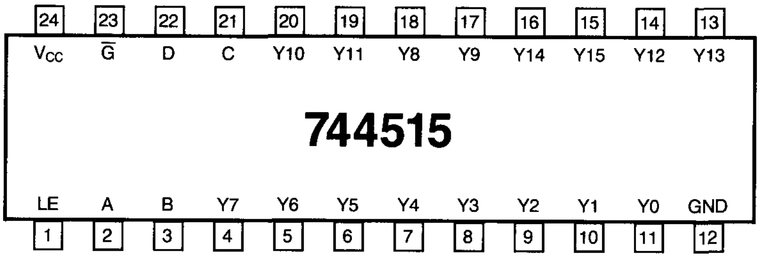
INPUTS						OUTPUT	OUTPUTS
LE	G̅	D	C	B	A	SELECTED	'HC4514
H	L	L	L	L	L	0	
H	L	L	L	L	H	1	
H	L	L	L	H	L	2	
H	L	L	L	H	H	3	
H	L	L	H	L	L	4	
H	L	L	H	L	H	5	Selected
H	L	L	H	H	L	6	Output = H
H	L	L	H	H	H	7	All others = L
H	L	H	L	L	L	8	
H	L	H	L	L	H	9	
H	L	H	L	H	L	10	
H	L	H	L	H	H	11	
H	L	H	H	L	L	12	
H	L	H	H	L	H	13	
H	L	H	H	H	L	14	
H	L	H	H	H	H	15	
X	H	X	X	X	X		All = L
L	L	X	X	X	X	All outputs remain in state existing before LE↑	

waarheidstabel

3.2 74xx-serie TTL en HC

744515

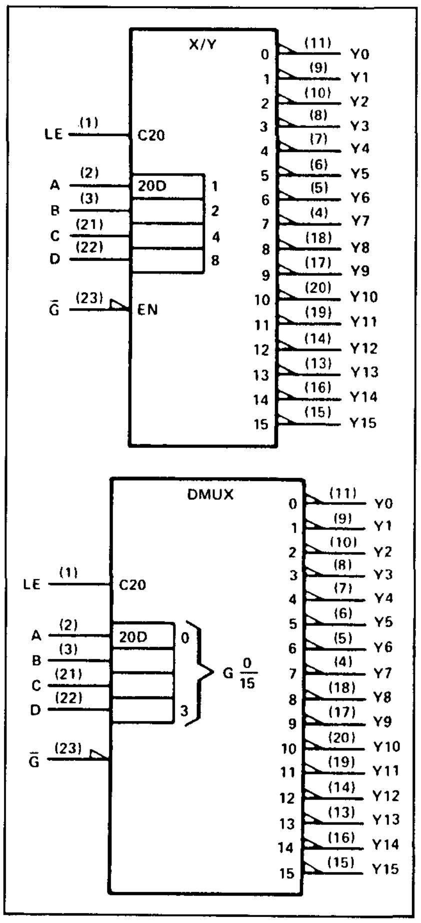
4-naar-16 lijnen decoder/ demultiplexer met adres latches (aktief-LAGE uitgangen)



Figuur 5/3.2-4515.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									8 80	μA
Ios									4	mA
Tplh 1)									27	ns
Tphl 1)									19	ns
Tplh/ Tphl 2)									18	ns
Tphl 3)									18	ns
Tplh 3)									27	ns

1) LE → output
2) data → output
3) inhibit → output



logische symbolen

FUNCTION TABLE

LE	$\bar{G}$	D	C	B	A	OUTPUT SELECTED	OUTPUTS 'HC4515
H	L	L	L	L	L	0	Selected Output = L All others H
H	L	L	L	L	H	1	
H	L	L	L	H	L	2	
H	L	L	L	H	H	3	
H	L	L	H	L	L	4	
H	L	L	H	L	H	5	
H	L	L	H	H	L	6	
H	L	L	H	H	H	7	
H	L	H	L	L	L	8	
H	L	H	L	L	H	9	
H	L	H	L	H	L	10	
H	L	H	L	H	H	11	
H	L	H	H	L	L	12	
H	L	H	H	L	H	13	
H	L	H	H	H	L	14	
H	L	H	H	H	H	15	
X	H	X	X	X	X		All = H
L	L	X	X	X	X	All outputs remain in state existing before LE↑	

waarheidstabel

3.2 74xx-serie TTL en HC

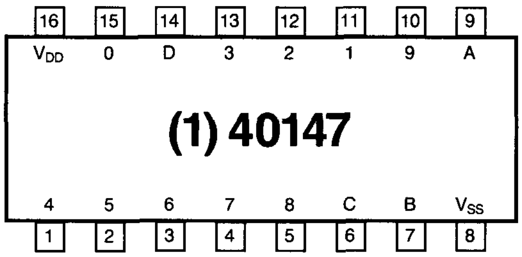
5/3.3

(1)4xxx-serie CMOS

(1) 40147

10-naar-4 BCD priority encoder

(10 data-ingangen (0 t/m 9) worden gecodeerd naar 8-4-2-1 BCD; BCD-adres afhankelijk van ingang met hoogste prioriteit)

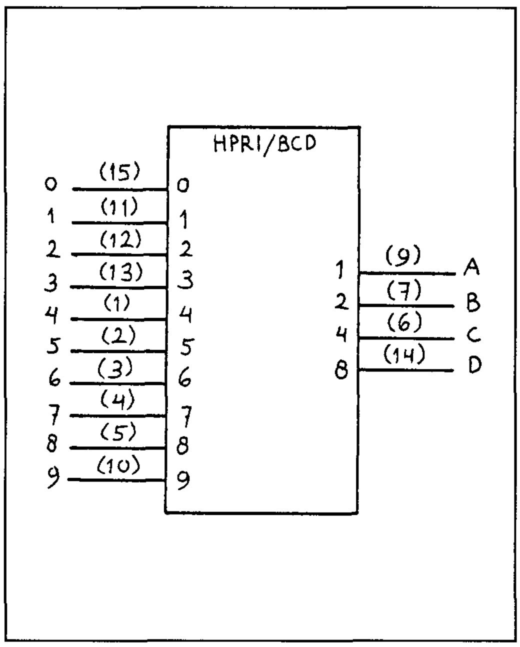


Figuur 5/3.3-147.

TRUTH TABLE (Negative Logic)

INPUTS										OUTPUTS			
0	1	2	3	4	5	6	7	8	9	D	C	B	A
0	0	0	0	0	0	0	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0
X	1	0	0	0	0	0	0	0	0	0	0	0	1
X	X	1	0	0	0	0	0	0	0	0	0	1	0
X	X	X	1	0	0	0	0	0	0	0	0	1	1
X	X	X	X	1	0	0	0	0	0	0	1	0	0
X	X	X	X	X	1	0	0	0	0	0	1	0	1
X	X	X	X	X	X	1	0	0	0	0	1	1	0
X	X	X	X	X	X	X	1	0	0	0	1	1	1
X	X	X	X	X	X	X	X	1	0	1	0	0	0
X	X	X	X	X	X	X	X	X	1	1	0	0	1

0 = High Level 1 = Low Level X = Don't Care



leverbaar: CD 40147 B

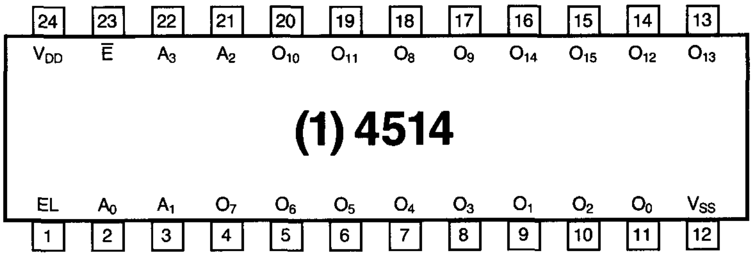
3.3 (1) 4xxx-serie CMOS

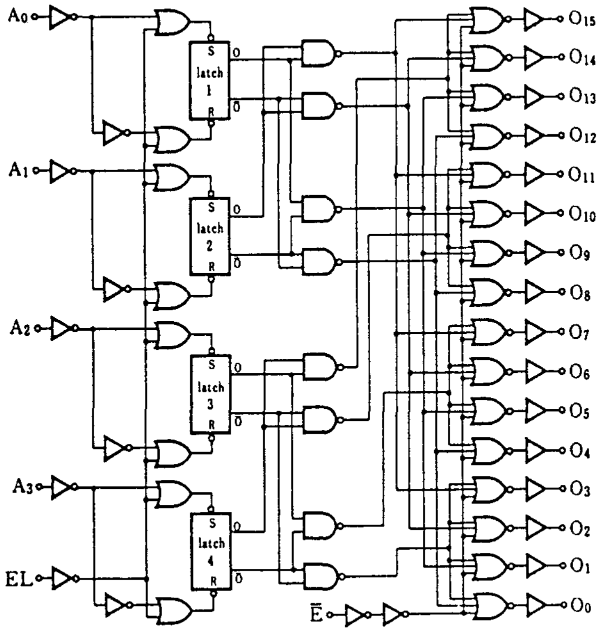
(1) 4514

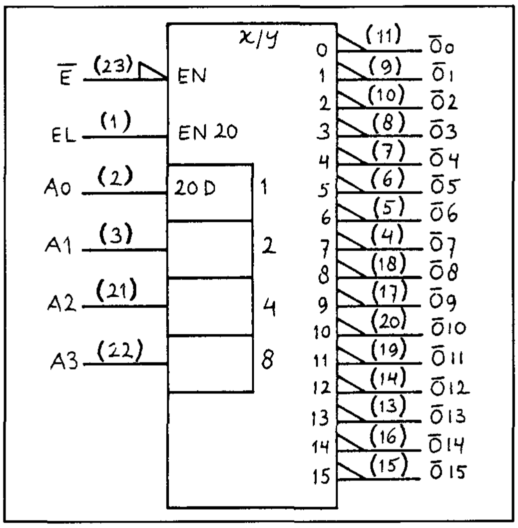
4-bit latch/4-naar-16 decoder

(ingangen met RS-flip flop's; uitgangen aktief HOOG)

Figuur 5/3.3-514.







logisch symbool

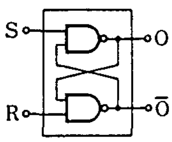
Truth Table

Input					Output															
E	A_0	A_1	A_2	A_3	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7	O_8	O_9	O_{10}	O_{11}	O_{12}	O_{13}	O_{14}	O_{15}
H	×	×	×	×	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
L	H	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L
L	L	H	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L
L	H	H	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L
L	L	L	H	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L
L	H	L	H	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L
L	L	H	H	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L
L	H	H	H	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
L	L	L	L	H	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L
L	H	L	L	H	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L
L	L	H	L	H	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L
L	H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L
L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L
L	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L
L	L	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
L	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H

EL = H; X : don't care

data, aanwezig vlak voor HOOG-naar-LAAG overgang van strobe (EL) wordt vastgehouden

o.a. leverbaar: MC 14514 A/B/C
CD 4514 B
HEF 4514 B



(One latch)

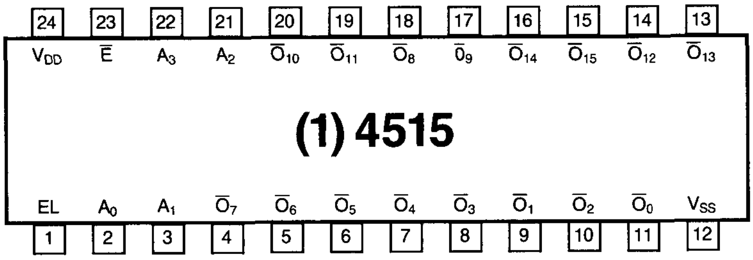
3.3 (1) 4xxx-serie CMOS

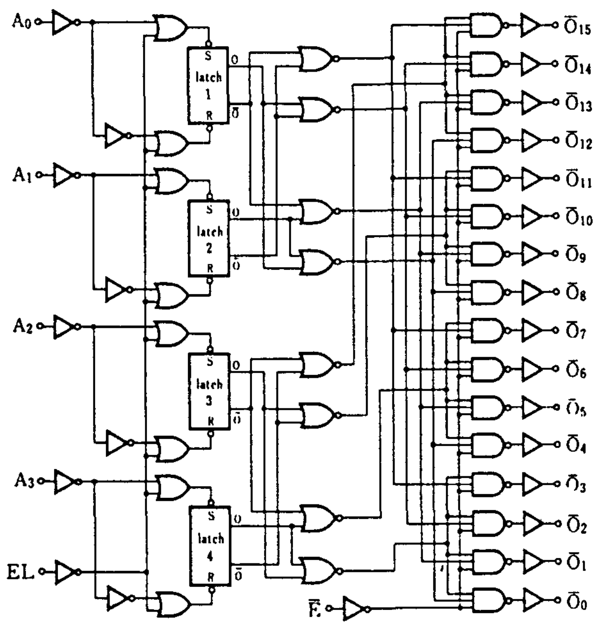
(1) 4515

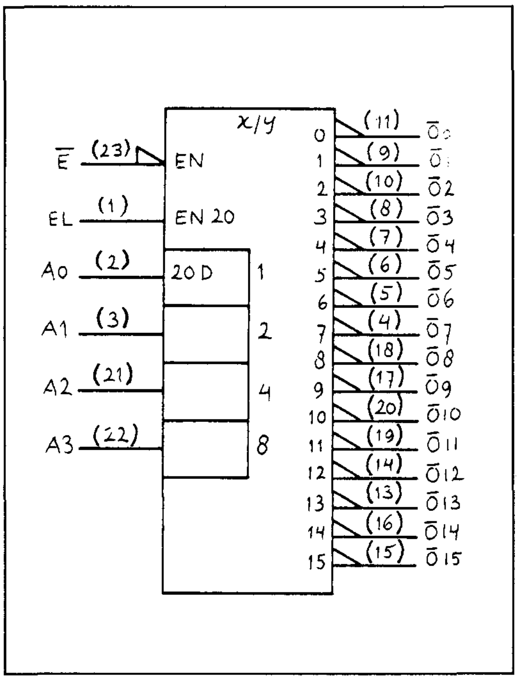
4-bit latch/4-naar-16 decoder

(ingangen met RS-flip flop's; uitgangen aktief LAAG)

Figuur 5/3.3-515.







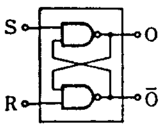
logisch symbool

Truth Table

Input					Output															
E	A_0	A_1	A_2	A_3	$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$	$\bar{O}_4$	$\bar{O}_5$	$\bar{O}_6$	$\bar{O}_7$	$\bar{O}_8$	$\bar{O}_9$	$\bar{O}_{10}$	$\bar{O}_{11}$	$\bar{O}_{12}$	$\bar{O}_{13}$	$\bar{O}_{14}$	$\bar{O}_{15}$
H	×	×	×	×	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	H	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	H	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	H	H	H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

EL = H; X : don't care

o.a. leverbaar: MC 14515 A/B/C
CD 4515 B
HEF 4515 B



(One latch)

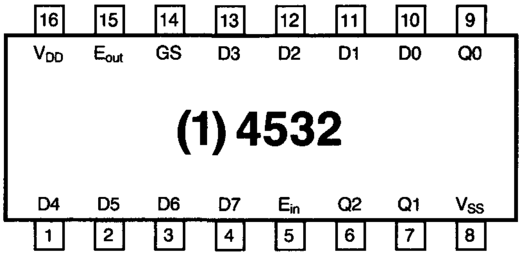
data, aanwezig vlak voor HOOG-naar-LAAG overgang van strobe (EL) wordt vastgehouden

3.3 (1) 4xxx-serie CMOS

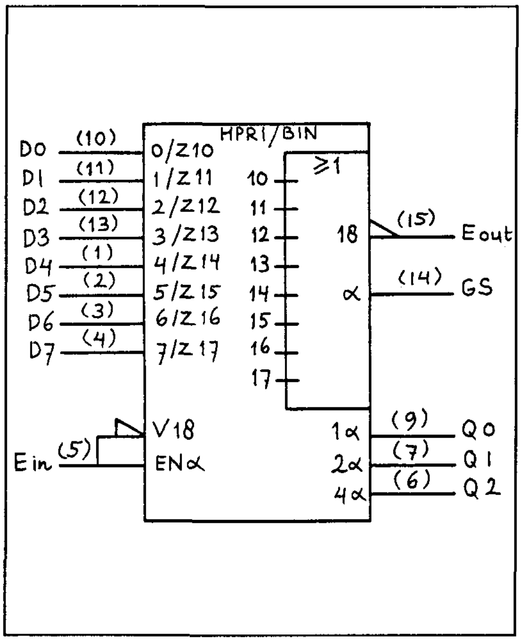
(1) 4532

8-naar-3 priority encoder

ingangen aktief-HOOG; binair adres (Q_0, Q_1, Q_2) afhankelijk van ingang met de hoogste prioriteit; met enable ingang, -uitgang en groep select uitgang



Figuur 5/3.3-532.



o.a. leverbaar: MC 14532 A/B/C
CD 4532 B
HEF 4532 B

TRUTH TABLE

INPUT									OUTPUT				
E_{in}	D7	D6	D5	D4	D3	D2	D1	D0	GS	Q2	Q1	Q0	E_{out}
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	1	0	0
1	0	0	1	X	X	X	X	X	1	1	0	1	0
1	0	0	0	1	X	X	X	X	1	1	0	0	0
1	0	0	0	0	1	X	X	X	1	0	1	1	0
1	0	0	0	0	0	1	X	X	1	0	1	0	0
1	0	0	0	0	0	0	1	X	1	0	0	1	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0

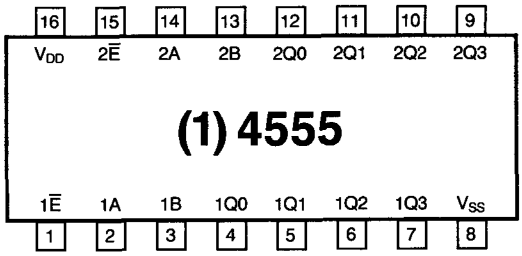
X = Don't Care

3.3 (1) 4xxx-serie CMOS

(1) 4555

2 binair naar 1-uit-4 decoders/demultiplexers

(aktief-HOOG-uit)

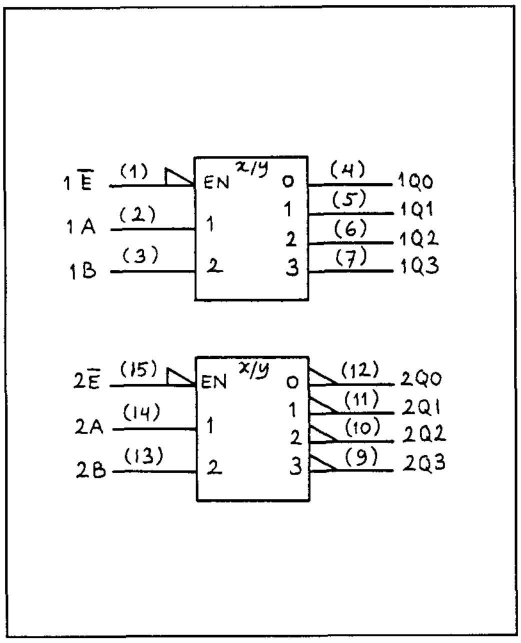


Figuur 5/3.3-555.

TRUTH TABLE

INPUTS			OUTPUTS MC14555			
ENABLE	SELECT					
Ē	B	A	Q3	Q2	Q1	Q0
0	0	0	0	0	0	1
0	0	1	0	0	1	0
0	1	0	0	1	0	0
0	1	1	1	0	0	0
1	X	X	0	0	0	0

X = Don't Care



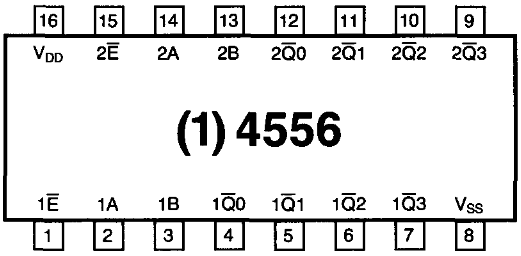
o.a. leverbaar: MC 14555 A/B/C
CD 4555 B
HEF 4555 B

3.3 (1) 4xxx-serie CMOS

(1) 4556

2 binair naar 1-uit-4 decoders/demultiplexers

(aktief-LAAG-uit)

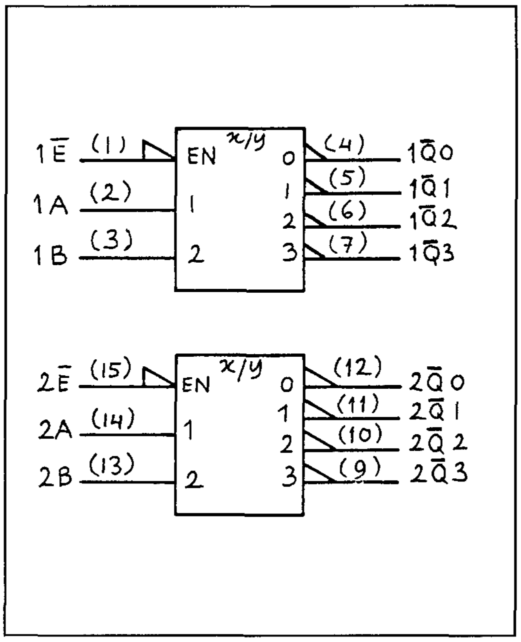


Figuur 5/3.3-556.

TRUTH TABLE

INPUTS			OUTPUTS MC14556			
ENABLE	SELECT					
$\overline{E}$	B	A	Q3	Q2	Q1	Q0
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	X	X	1	1	1	1

X = Don't Care



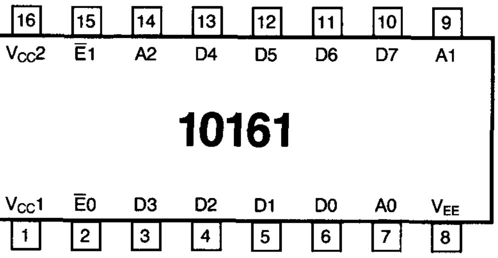
o.a. leverbaar: MC 14556 A/B/C
CD 4556 B
HEF 4556 B

5/3.4

10k-serie ECL

10161

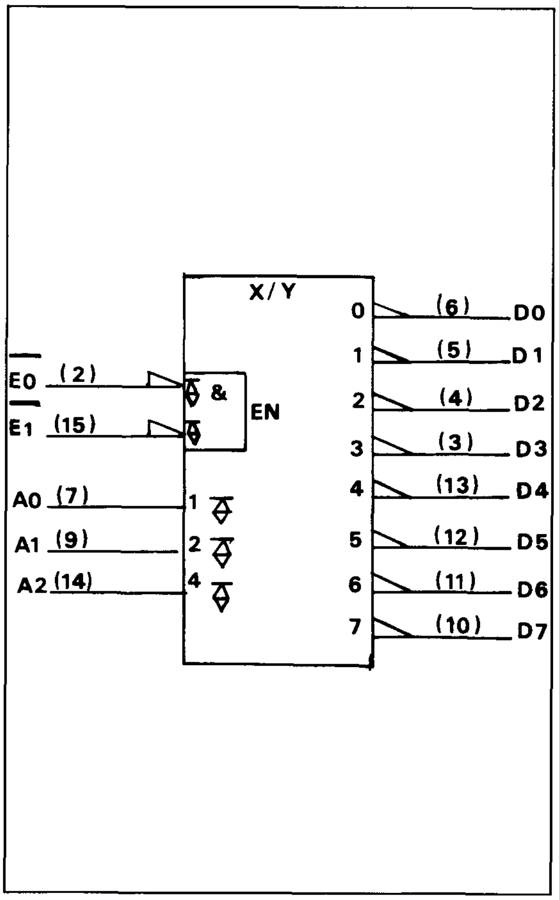
1-uit-8 demultiplexer/decoder (geselecteerde uitgang = LAAG)



Figuur 5/3.4-161.

Parameters bij 25°C

I_E	min typ max	 57 76	mA	Stroom uit voeding (V_{EE} = −5,2 V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 220	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	295	mW/ package	Dissipatie
td	typ typ typ	4.0 4.5 	ns ns ns	Vertragingstijd (adres → uitgang Vertragingstijd (enable → uitgang)
fanout		8	50 Ohm-lijn(en)	
ZIN		50	kOhm pull-down weerstanden	



logisch symbool

3522

3.4 10k-serie ECL

TRUTH TABLE

Enable INPUTS		INPUTS			OUTPUTS							
$\overline{E1}$	$\overline{E0}$	A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
L	L	L	L	L	L	H	H	H	H	H	H	H
L	L	L	L	H	H	L	H	H	H	H	H	H
L	L	L	H	L	H	H	L	H	H	H	H	H
L	L	L	H	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	L	H	H	L
H	L	ø	ø	ø	H	H	H	H	H	H	H	H
L	H	ø	ø	ø	H	H	H	H	H	H	H	H
H	H	ø	ø	ø	H	H	H	H	H	H	H	H

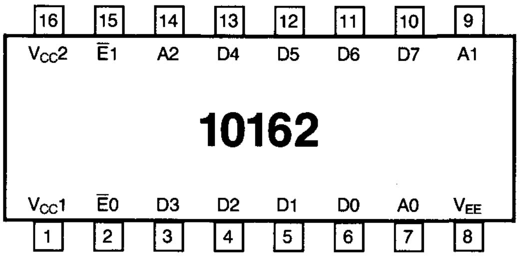
ø = don't care.

waarheidstabel

3.4 10k-serie ECL

10162

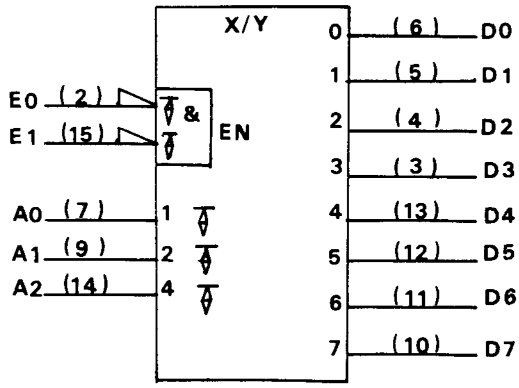
1-uit-8 demultiplexer/decoder (geselecteerde uitgang = HOOG)



Figuur 5/3.4-162.

Parameters bij 25°C

Parameter		Waarde	Eenheid	Omschrijving
I_E	min			Stroom uit voeding
	typ	57	mA	(V_{EE} = –5,2 V)
	max	76		
I_{IL}	min	0.5		Low level
	typ		μA	Ingangsstroom
	max			$V_{IN} = V_{ILmin}$
I_{IH}	min			High level
	typ		μA	Ingangsstroom
	max	220		$V_{IN} = V_{IHmax}$
V_{OL}	min	–1.850		Low level
	typ		V	Uitgangsspanning
	max	–1.650		$V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min	–0.960		High level
	typ		V	Uitgangsspanning
	max	–0.810		$V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min			Threshold Low Level
	typ		V	Uitgangsspanning
	max	–1.630		$V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min	–0.980		Threshold High Level
	typ		V	Uitgangsspanning
	max			$V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	295	mW/ package	Dissipatie
td	typ	4.0	ns	Vertragingstijd (adres → uitgang
	typ	4.5	ns	Vertragingstijd (enable → uitgang)
	typ		ns	
fanout		8	50 Ohm-lijn(en)	
ZIN		50	kOhm pull-down weerstanden	



logisch symbool

3.4 10k-serie ECL

TRUTH TABLE

INPUTS					OUTPUTS							
$\overline{E1}$	$\overline{E0}$	A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
L	L	L	L	L	H	L	L	L	L	L	L	L
L	L	L	L	H	L	H	L	L	L	L	L	L
L	L	L	H	L	L	L	H	L	L	L	L	L
L	L	L	H	H	L	L	L	H	L	L	L	L
L	L	H	L	L	L	L	L	L	H	L	L	L
L	L	H	L	H	L	L	L	L	L	H	L	L
L	L	H	H	L	L	L	L	L	L	L	H	L
L	L	H	H	H	L	L	L	L	L	L	L	H
H	L	ø	ø	ø	L	L	L	L	L	L	L	L
L	H	ø	ø	ø	L	L	L	L	L	L	L	L
H	H	ø	ø	ø	L	L	L	L	L	L	L	L

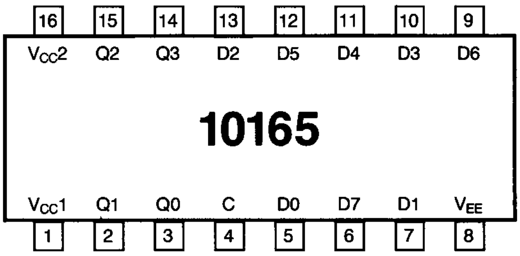
ø = don't care

waarheidstabel

3.4 10k-serie ECL

10165

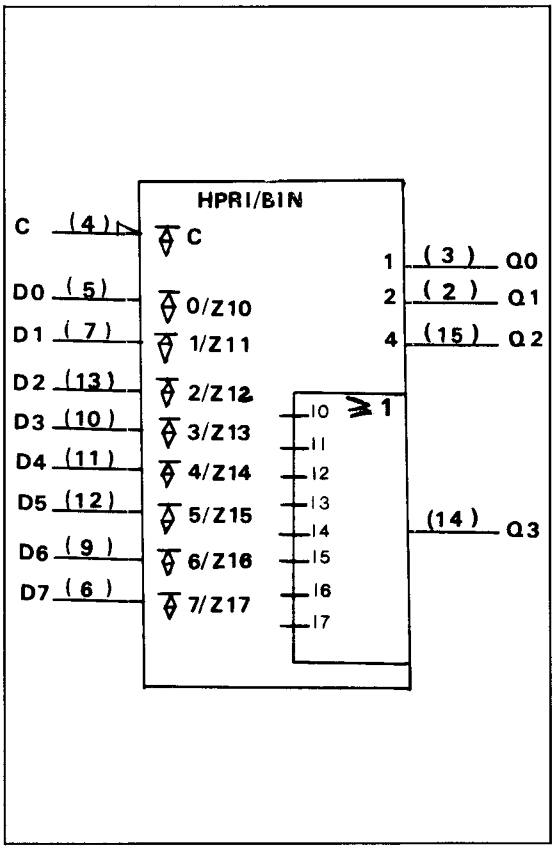
8-naar-3 priority encoder met D-type latches



Figuur 5/3.4-165.

Parameters bij 25°C

I_E	min typ max	 105 131	mA	Stroom uit voeding ($V_{EE} = -5{,}2$ V)
I_{IL}	min typ max	0.5	µA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 245	µA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	545	mW/ package	Dissipatie
td	typ typ typ	7.0	ns ns ns	Vertragingstijd
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

3.4 10k-serie ECL

TRUTH TABLE

DATA INPUTS								OUTPUTS			
D0	D1	D2	D3	D4	D5	D6	D7	Q3	Q2	Q1	Q0
H	ø	ø	ø	ø	ø	ø	ø	H	L	L	L
L	H	ø	ø	ø	ø	ø	ø	H	L	L	H
L	L	H	ø	ø	ø	ø	ø	H	L	H	L
L	L	L	H	ø	ø	ø	ø	H	L	H	H
L	L	L	L	H	ø	ø	ø	H	H	L	L
L	L	L	L	L	H	ø	ø	H	H	L	H
L	L	L	L	L	L	H	ø	H	H	H	L
L	L	L	L	L	L	L	H	H	H	H	H
L	L	L	L	L	L	L	L	L	L	L	L

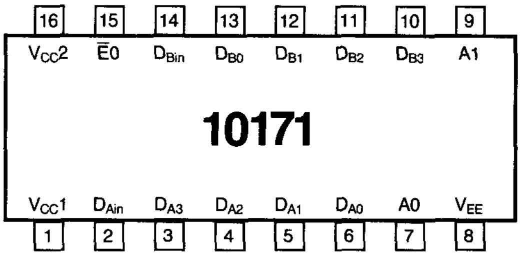
ø = don't care
P_D = 545mW typ/pkg (no load)
t_{pd} = 7.0ns typ (data to output)

waarheidstabel

3.4 10k-serie ECL

10171

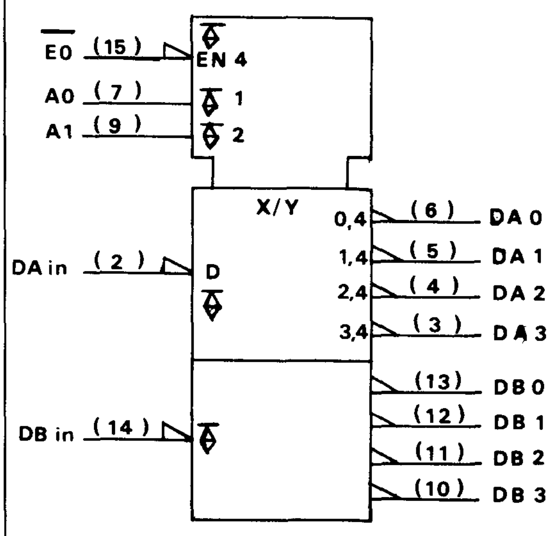
2 1-uit-4 demultiplexers/decoders (geselecteerde uitgang = LAAG)



Figuur 5/3.4-171.

Parameters bij 25°C

I_E	min typ max	 60 75	mA	Stroom uit voeding (V_{EE} = −5,2 V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 220	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	310	mW/ package	Dissipatie
td	typ typ typ	4.0 4.5 4.5	ns ns ns	Vertragingstijd (adres → uitgang Vertragingstijd (enable → uitgang) Vertragingstijd (data → uitgang)
fanout ZIN		8 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

3.4 10k-serie ECL

TRUTH TABLE

INPUTS				OUTPUTS			
$\overline{EO}$	A1	A0	DAIN	DA0	DA1	DA2	DA3
L	L	L	L	L	H	H	H
L	L	L	H	H	H	H	H
L	L	H	L	H	L	H	H
L	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H
L	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L
L	H	H	H	H	H	H	H
H	ø	ø	ø	H	H	H	H

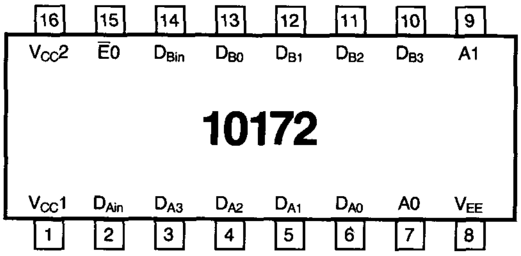
DB is similar. ø = don't care

waarheidstabel
A-gedeelte
(B-gedeelte
identiek)

3.4 10k-serie ECL

10172

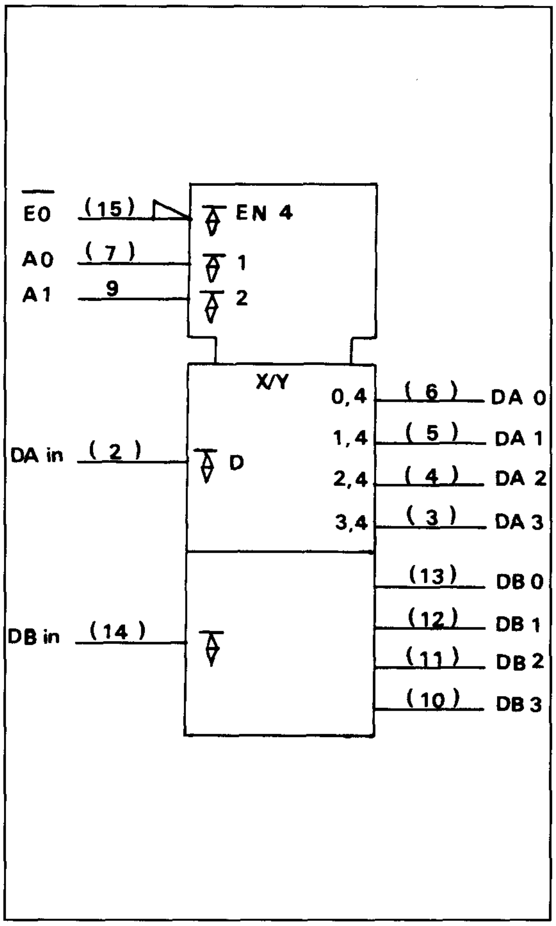
2 1-uit-4 demultiplexers/decoders (geselecteerde uitgang = HOOG)



Figuur 5/3.4-172.

Parameters bij 25°C

I_E	min typ max	 60 77	mA	Stroom uit voeding ($V_{EE} = -5{,}2$ V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 220	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	310	mW/ package	Dissipatie
td	typ	4.0	ns	Vertragingstijd (adres → uitgang
	typ	4.5	ns	Vertragingstijd (enable → uitgang)
	typ	4.5	ns	Vertragingstijd (data → uitgang)
fanout		8	50 Ohm-lijn(en)	
ZIN		50	kOhm pull-down weerstanden	



logisch symbool

3.4 10k-serie ECL

TRUTH TABLE

INPUTS				OUTPUTS			
$\overline{EO}$	A1	A0	DA IN	DA0	DA1	DA2	DA3
L	L	L	H	H	L	L	L
L	L	L	L	L	L	L	L
L	L	H	H	L	H	L	L
L	L	H	L	L	L	L	L
L	H	L	H	L	L	H	L
L	H	L	L	L	L	L	L
L	H	H	H	L	L	L	H
L	H	H	L	L	L	L	L
H	ø	ø	ø	L	L	L	L

DB is similar. ø = don't care

waarheidstabel
A-gedeelte
(B-gedeelte
identiek)

5/4

Data selectors / digitale multiplexers

Inhoud

5/4.3 (1)4xxx-serie CMOS

(aanvulling 16)

(1)4016	4-voudige analoge schakelaar/multiplexer
(1)4019	4 x 2-naar-1 data selectors/multiplexers
(1)4051	8-kanaals analoge multiplexer/demultiplexer
(1)4052	2 x 4-kanaals analoge multiplexers/demultiplexers
(1)4053	3 x 2-kanaals analoge multiplexers/demultiplexers
(1)4066	4-voudige analoge schakelaar/multiplexer
(1)4067	16-kanaals analoge multiplexer/demultiplexer
(1)4097	differentiële 8-kanaals analoge multiplexer/demultiplexer
(1)40257	4 x 2-naar-1 data selectors/multiplexers, met 3-state uitgangen
(1)4512	8-kanaals data selector/multiplexer met 3-state uitgang
(1)4519	4 x 2-naar-1 multiplexers/data selectors of 4 bit AND/OR selector of 4 EXNOR-poorten
(1)4529	2 x 4-naar-1 analoge data selectors/multiplexers met 3-state uitgangen
(1)4539	2 x 4-naar-1 data selectors/multiplexers
(1)4551	4 x 2-kanaals analoge multiplexers/demultiplexers

5/4.4 10k-serie ECL

(aanvulling 22)

10158	4 x 2-naar-1 multiplexers met open-emitter uitgangen
10159	4 x 2-naar-1 multiplexers met inverterende open-emitter uitgangen en enable-ingang
10164	8-naar-1 multiplexer met enable voor output bussing
10173	4 x 2-naar-1 multiplexers met latch en open-emitter uitgangen
10174	2 x 4-naar-1 multiplexers met enable voor output bussing

5/4.5 74AC(T)xx en 74AHC(T)xx series

(aanvulling 86)

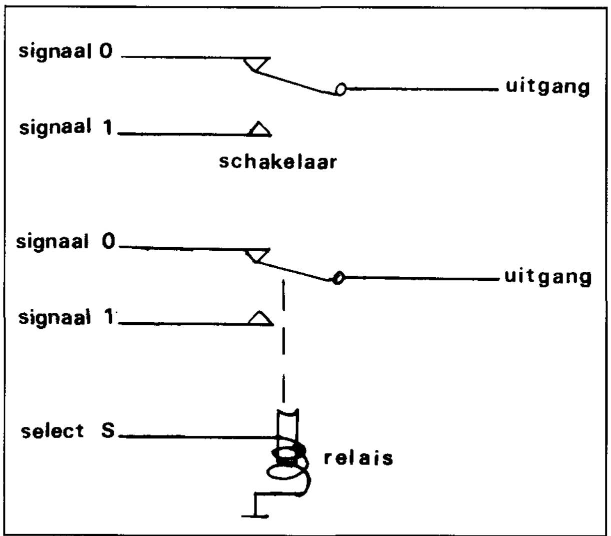
74AHC(T)157	4 x 2-naar-l dataselector/multiplexer, niet-inverterend
74AHC(T)158	4 x 2-naar-1 dataselector/multiplexer, inverterend
74AC(T)251	8-input multiplexer, 3-state
74AHC(T)257	4 x 2-naar-1 dataselector/multiplexer, niet-inverterend, 3-state
74AHC(T)258	4 x 2-naar-1 dataselector/multiplexer, inverterend, 3-state
74AC(T)11157	4 x 2-naar-1 dataselector/multiplexer
74AC(T)11158	4 x 2-naar-1 dataselector/multiplexer (inverterend)
74AC(T)11251	8-input multiplexer, 3-state
74AC(T)11257	4 x 2-naar-1 dataselector/multiplexer, 3-state
74AC(T)11258	4 x 2-naar-1 dataselector/multiplexer (inverterend)

5/4.1

Achtergrond-informatie

Inleiding

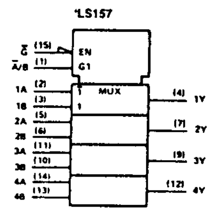
Voor de verwerking van digitale signalen wordt vaak gebruik gemaakt van data-selectors (ook wel multiplexers genoemd). De eenvoudigste vorm is een 2-standen keuzeschakelaar die in figuur 5/4.1-1 is getekend.



Figuur 5/4.1-1: Mechanische 2-naar-1 keuzeschakelaar en elektrisch bediende 2-naar-1 keuzeschakelaar (relais). Als S HOOG is loopt er stroom door de spoel en wordt de ijzeren kern naar binnen gezogen, waardoor het contact omgaat van 0 naar 1.

Wordt inplaats van de schakelaar een contact van een relais gebruikt, dan kan de keuze elektrisch worden uitgevoerd met een stuursignaal S. Wanneer S = HOOG is, loopt er stroom door de bekrachtigingsspoel van het relais. In dit geval is het contact gesloten en wordt het signaal 1 met de uitgang verbonden. Is S = LAAG, dan loopt er geen stroom door de spoel en verschijnt het signaal 0 op de uitgang.

Deze schakeling is natuurlijk ook als IC leverbaar. In figuur 5/4.1-2 zijn bijvoorbeeld het logisch symbool en de waarheidstabel van de 74157, een TTL "quadruple 2-naar-1 lijn data-selector" te zien. Zoals de naam al aangeeft, is de basisschakeling in 4-voud uitgevoerd. Deze schakeling is bovendien voorzien van een "strobe-ingang".
Is STROBE = HOOG, dan is de uitgang Y van elk kanaal LAAG, ongeacht het signaal op de ingangen A of B. Is STROBE = LAAG, dan wordt het ingangssignaal van A doorgegeven als SELECT = LAAG is (of dat van B als SELECT = HOOG is).



FUNCTION TABLE

INPUTS				OUTPUT Y
STROBE	SELECT	A	B	'157 'LS157,'S157
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

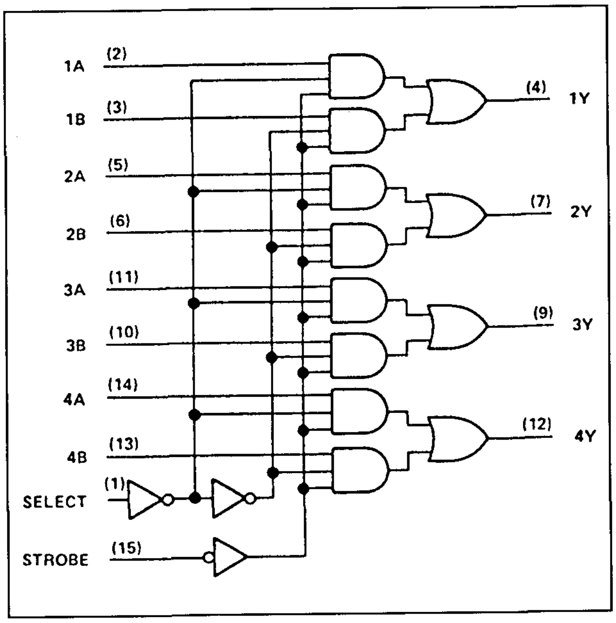
H = high level, L = low level, X = irrelevant

Figuur 5/4.1-2: Geïntegreerde schakeling van een 74LS157 (viervoudige) 2-naar-1 keuzeschakelaar met bijbehorende waarheidstabel.

In figuur 5/4.1-3 is te zien hoe deze schakeling is opgebouwd uit normale poortschakelingen (positieve logika). De SELECT-ingang en de STROBE-ingang zijn beide van een in-

4.1 Achtergrond-informatie

verter voorzien om ervoor te zorgen dat de belasting door deze lijnen niet te groot wordt. Wanneer nu bijvoorbeeld op de SELECT-lijn naar rechts wordt gekeken, wordt slechts een poort "gezien" inplaats van 5. De SELECT-ingang heeft een "fan-in van 1". De STROBE-ingang zou zijn besturende lijn zelfs nog zwaarder belasten (met 8 poorten) als de inverter er niet was.

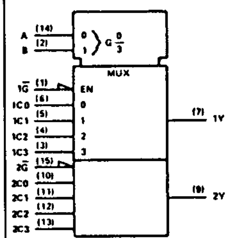


Figuur 5/4.1-3: Het functionele blokschema van de 74LS157 (positieve logica).

Grotere data-selectoren

In plaats van bovenstaande 2-standen schakelaar kan natuurlijk ook een meerstanden schakelaar worden gebruikt. In figuur 5/4.1-4 is als voorbeeld een (elektrisch bediende) 4-standen schakelaar gekozen. De signaalingangen zijn D0, D1, D2 en D3. Met de select-signalen S0 en S1 kan worden gekozen welk signaal op de Y-uitgang verschijnt. Verder is de schakeling nog voorzien van een strobe-ingang PO, die LAAG moet zijn om de signalen door te kunnen geven. Is PO = HOOG, dan is Y = LAAG, ongeacht de ingangssignalen (zie waarheidstabel).

In figuur 5/4.1-5 is dezelfde schakeling te zien, maar dan volledig uitgevoerd als TTL-IC, namelijk de 74153 "dual 4-naar-1 data selector/multiplexer". Van deze dubbel uitgevoerde schakeling kijken we in dit geval alleen naar het bovenste gedeelte. De signaalingangen zijn nu C0, C1, C2 en C3. De strobe-ingang is G (Enable) en de lijnen A en B maken uit welke signaalingang met de uitgang Y wordt doorverbonden. Als bijvoorbeeld A = HOOG en B = LAAG (binaire waarde 01 = decimaal 1) dan wordt ingang C1 met de uitgang verbonden. De bijbehorende waarheidstabel is dan ook identiek aan die in figuur 5/4.1-4.

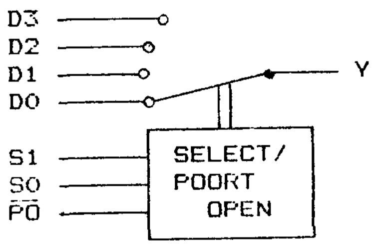


FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.
H = high level, L = low level, X = irrelevant

Figuur 5/4.1-5: Elektronisch equivalent van de vierstanden schakelaar: de 74LS153 met waarheidstabel.

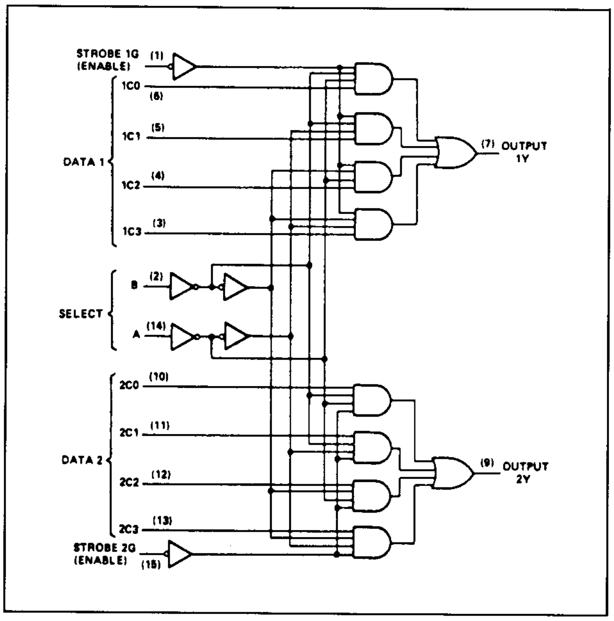


D3	D2	D1	D0	$\overline{PO}$	S1	S0	Y
d3	d2	d1	d0	1	x	x	0
d3	d2	d1	d0	0	0	0	d0
d3	d2	d1	d0	0	0	1	d1
d3	d2	d1	d0	0	1	0	d2
d3	d2	d1	d0	0	1	1	d3

Figuur 5/4.1-4: Elektrisch bediende vierstanden schakelaar met bijbehorende waarheidstabel.

4.1 Achtergrond-informatie

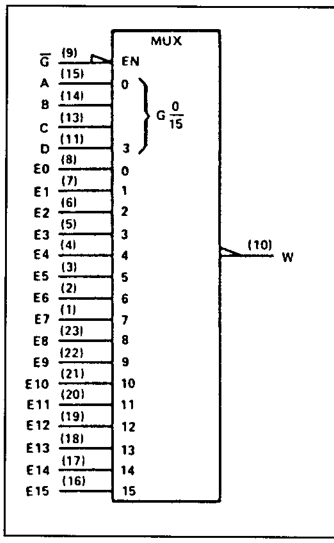
Ter verduidelijking is in figuur 5/4.1-6 het functionele blokschema van deze schakeling te zien. De inverters aan de A en B ingangen zorgen ervoor dat de belasting van deze sturende lijnen niet te groot wordt ("fan-in" nu 1 in plaats van 5).



Figuur 5/4.1-6: Functioneel blokschema (inwendige opbouw) van de 74LS153.

In figuur 5/4.1-7 is een voorbeeld van een nog grotere data-selector/multiplexer te zien, namelijk de 16-naar-1 (of 1-uit-16) dataselector 74150. Om 16 ingangen te kunnen aanwijzen is deze schakeling voorzien van 4 selectlijnen (A, B, C en D). G is weer de STROBE (Enable) ingang. Omdat W een inverterende uitgang is zullen de signalen op de ingangen E0 tot en met E15 van teken veranderd zijn alszij op de uitgang aankomen. Is bijvoorbeeld ingang E5 gekozen (A = C = HOOG, B = D = LAAG: binaire waarde 0101, decimaal 5) en is het signaal op E5 = HOOG, dan zal op W een LAAG signaal verschijnen (als G = LAAG).

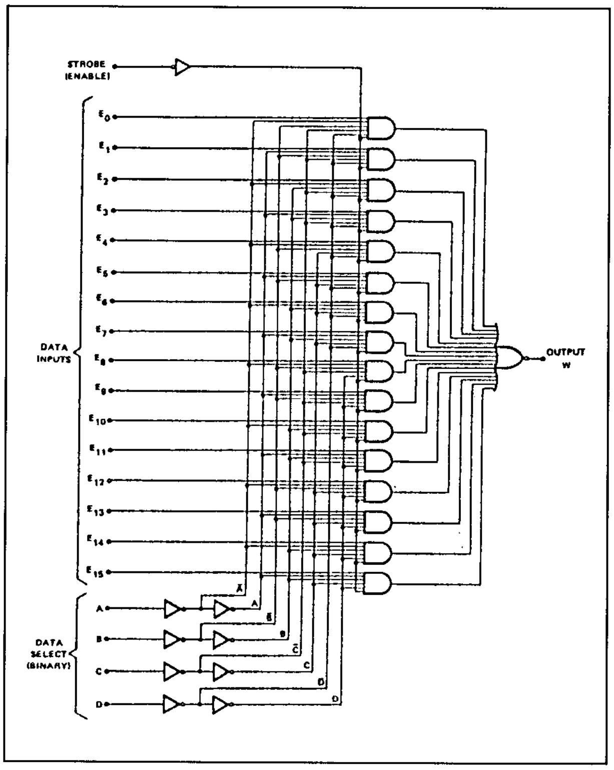
In figuur 5/4.1-8 is tenslotte weer het functionele blokschema van deze geïntegreerde schakeling getekend.



FUNCTION TABLE

INPUTS					OUTPUT
SELECT				STROBE	
D	C	B	A	S	W
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

Figuur 5/4.1-7: Logisch symbool en waarheidstabel van een 16-naar-1 data-selector/multiplexer, de 74150.



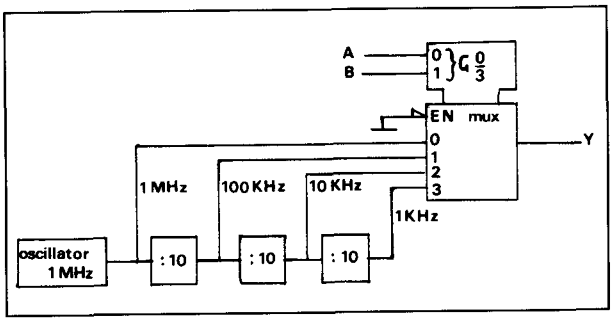
Figuur 5/4.1-8: Inwendige organisatie (positieve logica) van de 74150.

Toepassingen

In figuur 5/4.1-9 wordt een multiplexer gebruikt als schakelaar waarmee uit verschil-

4.1 Achtergrond-informatie

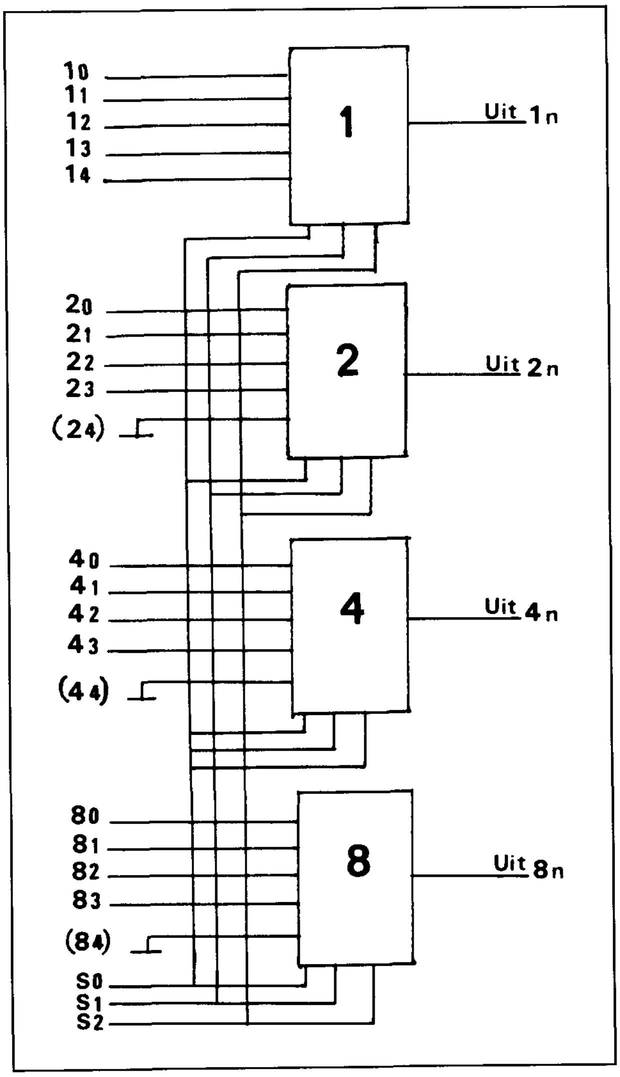
lende klokfrequenties kan worden gekozen. Deze schakeling wordt bijvoorbeeld toegepast in frequentiemeters om de tijdbasis in te stellen (in dit geval op 1 MHz, 100 kHz, 10 kHz of 1 kHz).



Figuur 5/4.1-9: Toepassing van een data-selector/multiplexer als tijdbasis kiezer, bijvoorbeeld in een frequentiemeter.

Een andere toepassing is bijvoorbeeld het uitlezen van een digitale multimeter door een (micro)computer. Stel dat de multimeter 4,5 cijfers aangeeft (waarmee een maximale meetwaarde van 19999 wordt bedoeld). De meter heeft dan een uitgangsplug waarop de BCD-informatie van deze cijfers tegelijk beschikbaar is. Meestal wordt het laagste cijfer (eenheden) gegeven in de vorm 8_0, 4_0, 2_0, 1_0. De tientallen zijn dan 8_1, 4_1, 2_1, 1_1. Het hoogstecijfer kan 0 of 1 zijn en heeft dus de aanduiding 1_4, waarbij de op 2, 4 en 8 ingevulde waarde altijd LAAG is.

In figuur 5/4.1-10 is te zien dat de cijfers van de plug door middel van een viervoudige data-selector kunnen worden afgetast en in serie aan de processor geleverd (die dan met S0, S1 en S2 voor de juiste aftastvolgorde moet zorgen). De ingangen 2_4, 4_4 en 8_4 zijn op GND-potentiaal gebracht om de goede code te verkrijgen. Hoewel in deze schakeling met elke multiplexer slechts 5 waarden worden afgetast, zijn toch multiplexers met 8 ingangen nodig (3 stuurlijnen). De 3 niet gebruikte ingangen mogen door de processor niet worden geadresseerd.



Figuur 5/4.1-10: Vier data-selectors/multiplexers toegepast om parallelle informatie van de communicatieplug van een multimeter cijfer voor cijfer naar een processor te kunnen sturen.

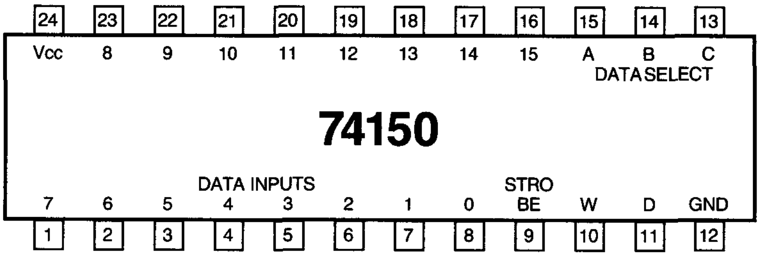
5/4.2

74xx-serie TTL en HC

74150

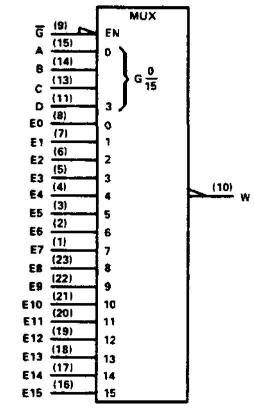
1 uit 16 data selector/multiplexer

Figuur 5/4-150



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	40							0.05[4]		mA
Ios	− 18 − 5.5									mA
Tplh[1]	8.5							250		ns
Tphl[1]	13							250		ns
Tplh[2]	23							290		ns
Tphl[2]	22							120		ns
Tplh[3]	15.5							120		ns
Tphl[3]	21							120		ns

1) $E_0 E_{15}$ to W 2) A,B,C,D to W 3) Strobe to W 4) µA

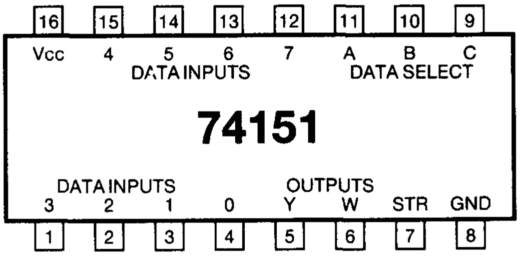


INPUTS					OUTPUT
SELECT				STROBE	W
D	C	B	A	S	
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

4 74xx-serie TTL en HC

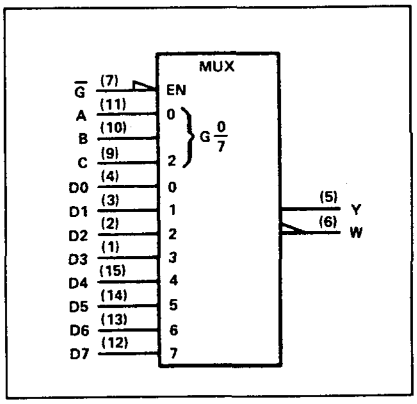
74151

1 uit 8 data selector/ multiplexer



Figuur 5/4-151.

LOGICA	TTL1)	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	29		21	45	6	18.6	7.5	0.058)	808)	mA
Ios	–18 –55		–60 –150	–40 –100	–20 –100	–30 –112	–30 –112			mA
Tplh2)	25		4.5 8.0	12	27	4.5 14.5	4 18	240	30	ns
Tphl2)	25		3.2 6.1	12	18	4.5 15	8 24	240	30	ns
Tplh3)	17		4.5 13	10	14	4 12	7 24		30	ns
Tphl3)	19		5.0 9.0	9	20	4 12	7 23		30	ns
Tplh4)	21		3.4 6.1	11	26	4.5 14	4 18	240	15	ns
Tphl4)	22		4.5 8.5	12	20	3 11	4 19	240	15	ns
Tplh5)	14		5.0 9.5	9	15	1.5 6	5 19		15	ns
Tphl5)	15		3.8 7.0	8.5	18	3 10	5 23		15	ns
Tplh6)	13		3.0 5.7	8	20	3 10.5	3 10	170	23	ns
Tphl6)	18		2.0 4.0	8	16	3 11	5 15	170	23	ns
Tplh7)	8		4.0 9.5	4.5	13	2 6.5	3 15	200	23	ns
Tphl7)	8		3.7 6.5	4.5	12	1 4.5	4 15	200	23	ns



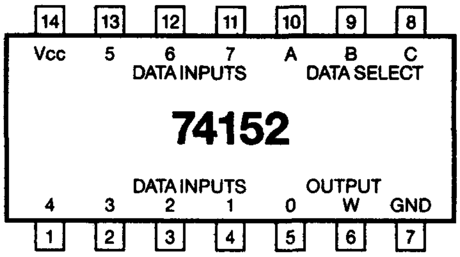
1) 74151A 2) A,B,C to Y 3) A,B,C to W 4) Strobe to Y 5) Strobe to W
6) Do - D7 to Y 7) Do - D7 to W 8) μA

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	S		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

4 74xx-serie TTL en HC

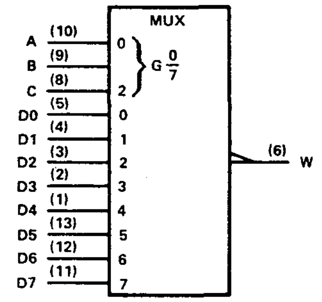
74152

1 uit 8 data selector/ multiplexer



Figuur 5/4-152.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc									80[3]	mA
Tplh[1]									18	ns
Tphl[1]									18	ns
Tplh[2]									14	ns
Tphl[2]									14	ns



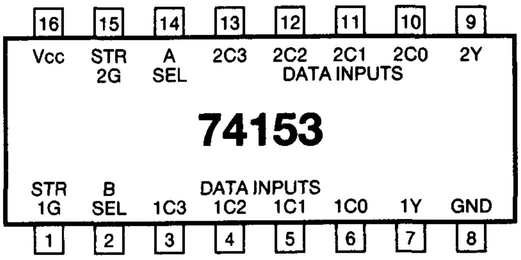
[1] A,B,C to W [2] Any D to W [3] μA

SELECT INPUTS			OUTPUT W
C	B	A	
L	L	L	$\overline{D0}$
L	L	H	$\overline{D1}$
L	H	L	$\overline{D2}$
L	H	H	$\overline{D3}$
H	L	L	$\overline{D4}$
H	L	H	$\overline{D5}$
H	H	L	$\overline{D6}$
H	H	H	$\overline{D7}$

4 74xx-serie TTL en HC

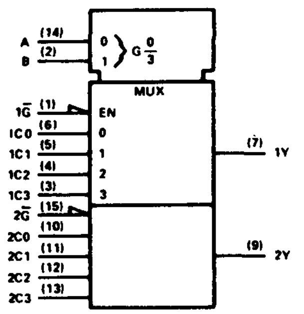
74153

2 4 naar 1 data selectors/ multiplexers



Figuur 5/4-153.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H L	36		20	45	6.2	16 21	7.5		80[4]	mA
Ios	−18 −57		−60 −150	−40 −100	−20 −100	−30 −112	−30 −112			mA
Tplh[1]	12		5.3	6	10	2 7	3 10		17	ns
Tphl[1]	15		5.1	6	17	2 8	4 15		17	ns
Tplh[2]	22		8.1	11.5	19	3 12.5	5 21		21	ns
Tphl[2]	22		7.0	12	25	3 11	5 21		21	ns
Tplh[3]	19		7.1	10	16	3 11.5	5 18		11	ns
Tphl[3]	15		5.7	9	21	2 9	5 18		11	ns



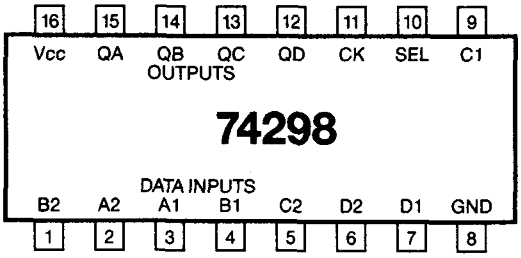
[1] Data to Y [2] Select to Y [3] Strobe to Y [4] μA

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

4 74xx-serie TTL en HC

74298

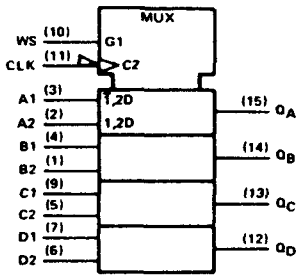
4 multiplexers met elk 2 ingangen en opslag



Figuur 5/4-298.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H / L	39		36		13	21 / 22			80[1]	mA
Ios	−18 / −57		−60 / −150		−20 / −100	−30 / −112				mA
Tplh	18		3.5		18	2 / 9			15	ns
Tphl	21		3.5		21	1 / 11			15	ns
fmax			105			100			33	MHz

[1] μA



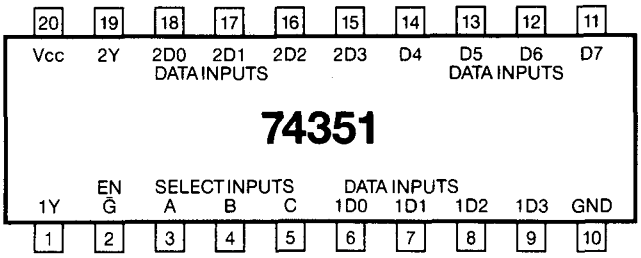
INPUTS		OUTPUTS			
WORD SELECT	CLOCK	Q_A	Q_B	Q_C	Q_D
L	↓	a1	b1	c1	d1
H	↓	a2	b2	c2	d2
X	H	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

8-9-10-11-12

4 74xx-serie TTL en HC

74351

2 8 naar 1 data selectors/ multiplexers met 3-state uitgangen en 4 gemeenschappelijke ingangen

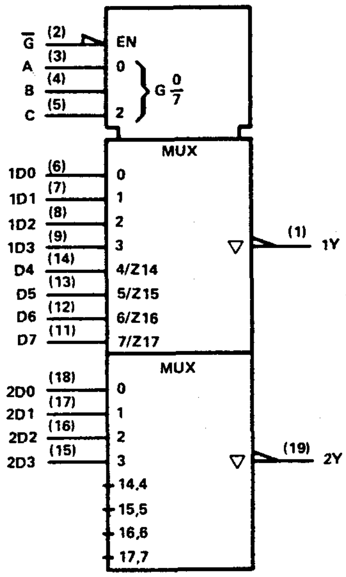


Figuur 5/4-351.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	44									mA
Ios	–18 –55									mA
Tplh[1]	20									ns
Tphl[1]	20									ns
Tplh[2]	10									ns
Tphl[2]	10									ns

[1] Select to Y [2] Data to Y

INPUTS				OUTPUTS	
ENABLE	SELECT				
$\overline{G}$	C	B	A	1Y	2Y
H	X	X	X	Z	Z
L	L	L	L	$\overline{1D0}$	$\overline{2D0}$
L	L	L	H	$\overline{1D1}$	$\overline{2D1}$
L	L	H	L	$\overline{1D2}$	$\overline{2D2}$
L	L	H	H	$\overline{1D3}$	$\overline{2D3}$
L	H	L	L	$\overline{D4}$	$\overline{D4}$
L	H	L	H	$\overline{D5}$	$\overline{D5}$
L	H	H	L	$\overline{D6}$	$\overline{D6}$
L	H	H	H	$\overline{D7}$	$\overline{D7}$

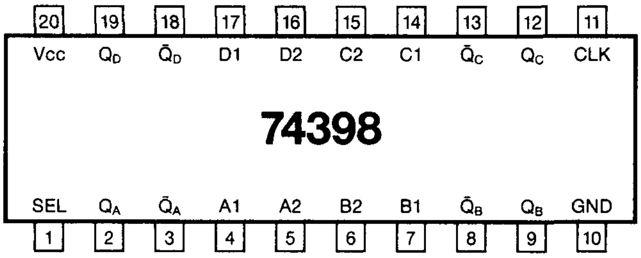


weg blz 15-16-
17-18-19-20

4 74xx-serie TTL en HC

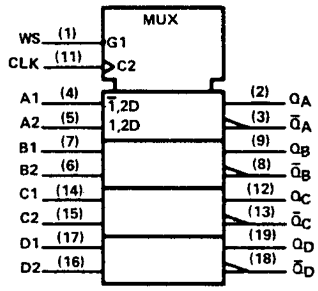
74398

4 2 naar 1 multiplexers met opslag en complementaire uitgangen



Figuur 5/4-398.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc			25		7.3					mA
Ios			–60 –150		–20 –100					mA
Tplh			6.0		18					ns
Tphl			8.5		21					ns
f max			140							MHz

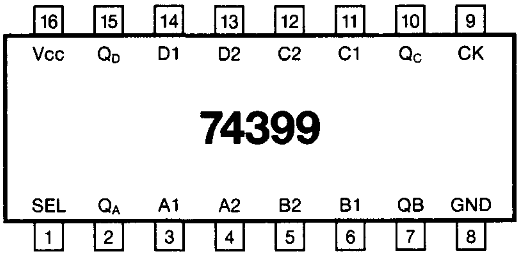


INPUTS		OUTPUTS			
WORD SELECT	CLOCK	Q_A	Q_B	Q_C	Q_D
L	↑	a1	b1	c1	d1
H	↑	a2	b2	c2	d2
X	L	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

4 74xx-serie TTL en HC

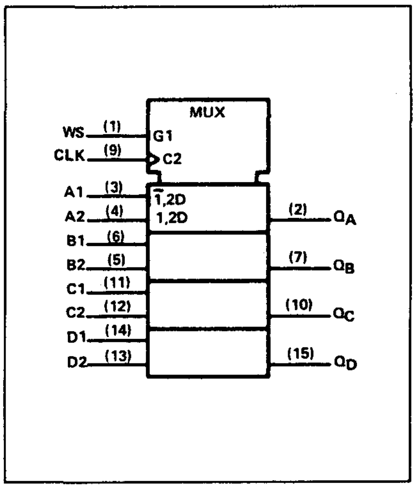
74399

4 2 naar 1 multiplexers met opslag



Figuur 5/4-399.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc			22		7.3					mA
Ios			–60 –150		–20 –100					mA
Tplh			6.0		18					ns
Tphl			8.5		21					ns
f max			140							MHz



INPUTS		OUTPUTS			
WORD SELECT	CLOCK	Q_A	Q_B	Q_C	Q_D
L	↑	a1	b1	c1	d1
H	↑	a2	b2	c2	d2
X	L	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

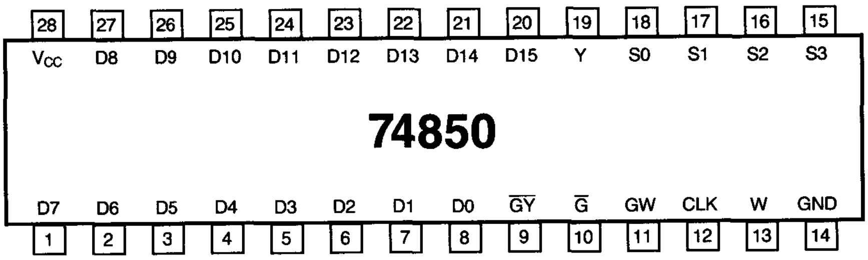
ver. 23-24-25-26.

4 74xx-serie TTL en HC

74850

16-naar-1 selector/ multiplexer met 3-state uitgangen en geklokte selects

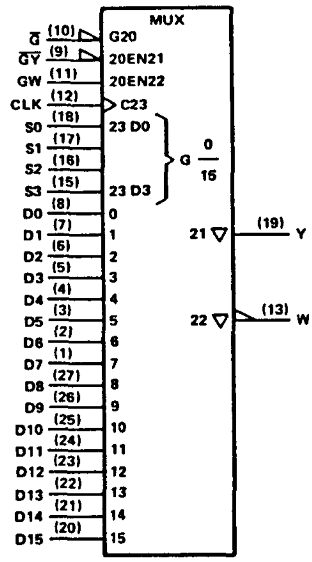
Figuur 5/4.2-850.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H/L D						50 52				mA
Ios						−30 −112				mA
Tpd[1]						5/ 7				ns
Tpd[2]						5/ 3.5				ns
Tpd[3]						10.5/ 12				ns
Tpd[4]						10/ 9				ns
Ten/ Tdis[5]						5/5 6/5.5				ns
Ten/ Tdis[6]						5/5 11/5.5				ns
Ten/ Tdis[7]						5/5 6/5.5				ns
Ten/ Tdis[8]						6/3.5 11/7.5				ns

Tpd = Tplh of Tphl
Ten = Tpzh of Zpzl
Tdis = Tphz of Tplz

1) D → Y
2) D → W
3) CLK → Y
4) CLK → W
5) $\overline{G}$ → Y
6) $\overline{G}$ → W
7) $\overline{GY}$ → Y
8) $\overline{GW}$ → W



INPUT SELECTION TABLE

SELECT INPUTS				'AS850	INPUT
S3	S2	S1	S0	CLK	SELECTED
L	L	L	L	↑	D0
L	L	L	H	↑	D1
L	L	H	L	↑	D2
L	L	H	H	↑	D3
L	H	L	L	↑	D4
L	H	L	H	↑	D5
L	H	H	L	↑	D6
L	H	H	H	↑	D7
H	L	L	L	↑	D8
H	L	L	H	↑	D9
H	L	H	L	↑	D10
H	L	H	H	↑	D11
H	H	L	L	↑	D12
H	H	L	H	↑	D13
H	H	H	L	↑	D14
H	H	H	H	↑	D15
X	X	X	X	H or L	Dn

Dn = the input selected before the most-recent low-to-high transition of CLK or SC.

OUTPUT FUNCTION TABLE

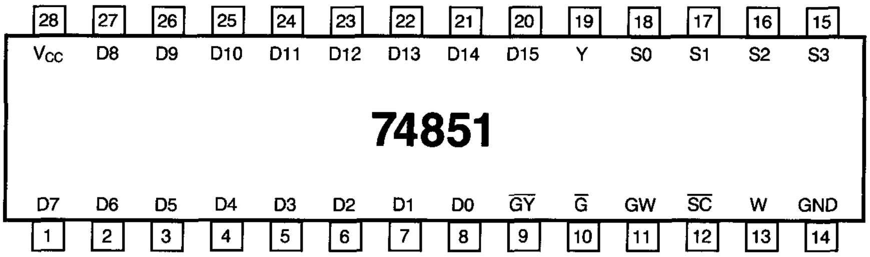
$\overline{G}$	$\overline{GY}$	GW	OUTPUTS	
			Y	W
H	X	X	Z	Z
L	H	L	Z	Z
L'	L	L	D	Z
L	H	H	Z	$\overline{D}$
L	L	H	D	$\overline{D}$

D = level of selected input D0–D15

4 74xx-serie TTL en HC

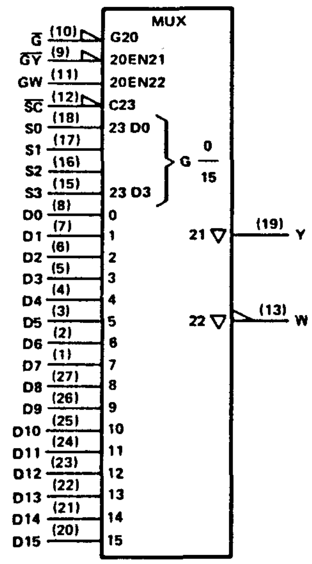
74851

16-naar-1 selector/ multiplexer met 3-state uitgangen en (enable) select-control



Figuur 5/4.2-851.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H/L D						50 52				mA
Ios						−30 −112				mA
Tpd1)						5/ 7				ns
Tpd2)						5/ 3.5				ns
Tpd3)						12/ 15				ns
Tpd4)						12/ 10				ns
Tpd5)						12/ 15				ns
Tpd6)						12/ 11				ns
Ten/ Tdis7)						5.5/3.5 7/5				ns
Ten/ Tdis8)						5.5/3.5 11/5				ns



Tpd = Tplh of Tphl
Ten = Tpzh of Zpzl
Tdis = Tphz of Tplz

1) D → Y
2) D → W
3) S0, S1, S2, S3 → Y
4) S0, S1, S2, S3 → W
5) $\overline{SC}$ → Y
6) $\overline{SC}$ → W
7) $\overline{G}$ → Y
8) $\overline{G}$ → W

INPUT SELECTION TABLE

SELECT INPUTS				'AS851	INPUT
S3	S2	S1	S0	$\overline{SC}$	SELECTED
L	L	L	L	L	D0
L	L	L	H	L	D1
L	L	H	L	L	D2
L	L	H	H	L	D3
L	H	L	L	L	D4
L	H	L	H	L	D5
L	H	H	L	L	D6
L	H	H	H	L	D7
H	L	L	L	L	D8
H	L	L	H	L	D9
H	L	H	L	L	D10
H	L	H	H	L	D11
H	H	L	L	L	D12
H	H	L	H	L	D13
H	H	H	L	L	D14
H	H	H	H	L	D15
X	X	X	X	H	Dn

Dn = the input selected before the most-recent low-to-high transition of CLK or SC.

OUTPUT FUNCTION TABLE

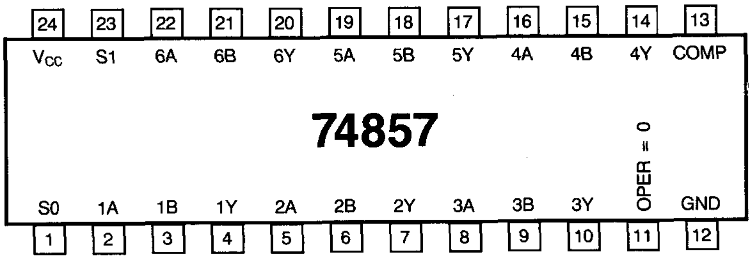
$\overline{G}$	$\overline{GY}$	GW	OUTPUTS Y	W
H	X	X	Z	Z
L	H	L	Z	Z
L	L	L	D	Z
L	H	H	Z	$\overline{D}$
L	L	H	D	$\overline{D}$

D = level of selected input D0–D15

4 74xx-serie TTL en HC

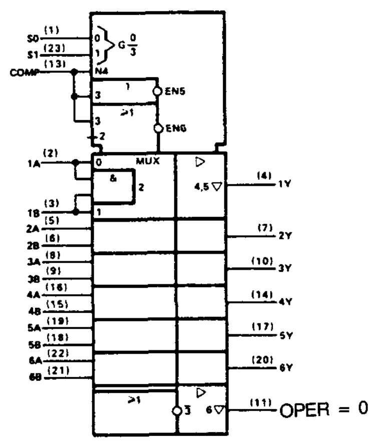
74857

6 2-naar-1 universele multiplexers met 3-state uitgangen, 4 operating modes (wel of niet-geïnverteerd)



Figuur 5/4.2-857.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc H / L / D						97 / 127 / 92	11 / 16 / 18			mA
Ios						−30 / −112	−15 / −70			mA
Tpd[1)]						2 / 12	4 / 14			ns
Tpd[2)]						2 / 13	7 / 33			ns
Tpd[3)]						2 / 13	6 / 18			ns
Ten/ Tdis[2)]						2/2 / 12/11	7/2 / 35/23			ns
Ten/ Tdis[3)]						2/2 / 12/9	8/6 / 24/21			ns
Ten/ Tdis[4)]						2/2 / 12/9	6/11 / 20/27			ns
Ten/ Tdis[5)]						2/2 / 12/9	6/3 / 25/19			ns
Ten/ Tdis[6)]						2/2 / 13/9	9/6 / 25/20			ns



Tpd = Tplh of Tphl
Ten = Tpzh of Tpzl
Tdis = Tphz of Tplz

1) A of B → Y (COMP = hoog)
   A of B → $\overline{Y}$ (COMP = laag)
2) S0 of S1 → Y
3) COMP → Y
4) SO → OPER = 0
5) S1 → OPER = 0
6) COMP → OPER = 0

COMP	S1	S0	Y OUTPUTS	OPER = ZERO
L	L	L	A	H = all A inputs L
L	L	H	B	H = all B inputs L
L	H	L	A·B	Z
L	H	H	L	L
H	L	L	$\overline{A}$	H = all A inputs L
H	L	H	$\overline{B}$	H = all B inputs L
H	H	L	$\overline{A \cdot B}$	Z
H	H	H	Z	Z

4 74xx-serie TTL en HC

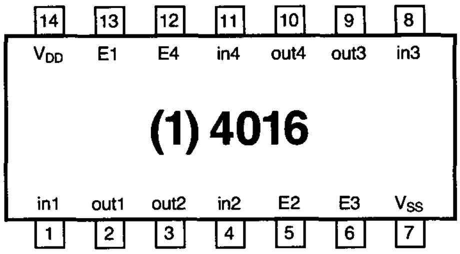
5/4.3

(1)4xxx-serie CMOS

(1) 4016

4-voudige analoge schakelaar/ multiplexer (4 onafhankelijke schakelaars voor analoge of digitale signalen

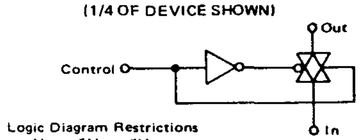
Figuur 5/4.3-16.



Ron ohm	V_{DD} V
300	5
260	10
260	15

Figuur 5/4.3-16.

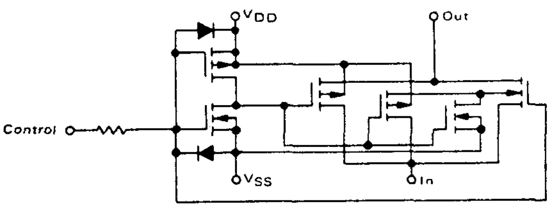
LOGIC DIAGRAM
(1/4 OF DEVICE SHOWN)

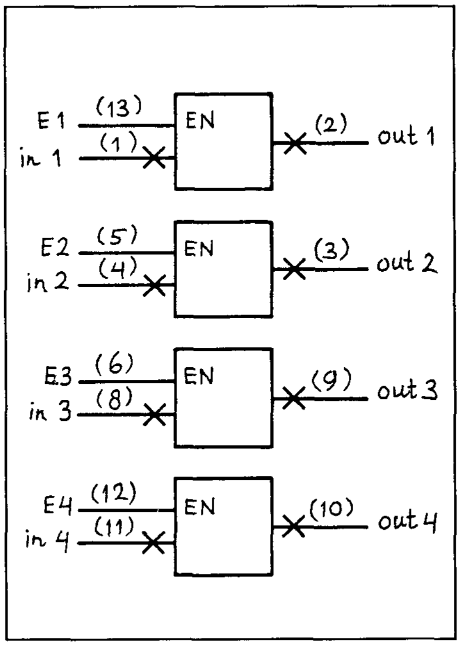


Logic Diagram Restrictions
$V_{SS} \leq V_{in} \leq V_{DD}$
$V_{SS} < V_{out} \leq V_{DD}$

$V_{control}$	V_{in} to V_{out} Resistance
V_{SS}	$>10^9$ Ohms typ
V_{DD}	3×10^2 Ohms typ

CIRCUIT SCHEMATIC
(1/4 OF DEVICE SHOWN)





logisch symbool

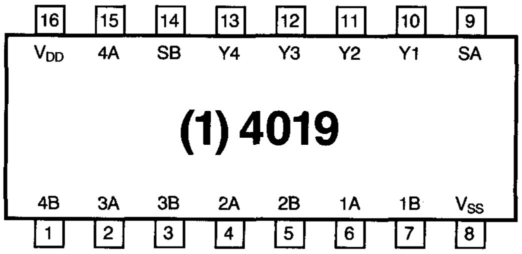
o.a. leverbaar: MC 14016 B
CD 4016 A/B
HEF 4016 B

4.3 (1) 4xxx-serie CMOS

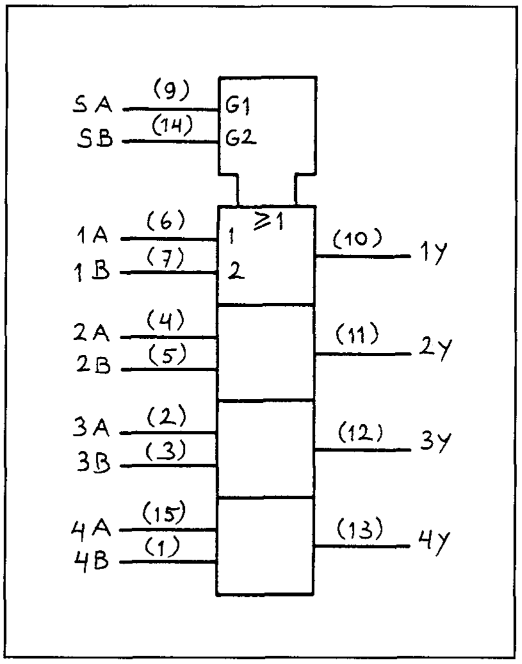
(1) 4019

4 2-naar-1 data selectors/ multiplexers

Figuur 5/4.3-19.



nY = nA (SA = HOOG, SB = LAAG)
nY = nB (SA = LAAG, SB = HOOG)
nY = nA + nB (SA = SB = HOOG)
nY = LAAG (SA = SB = LAAG)



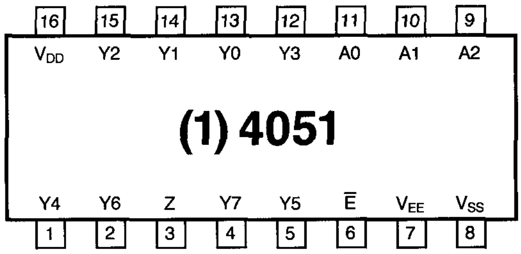
logisch symbool

o.a. leverbaar: MN 4019B
CD 4019 A/B
HEF 4019 B

4.3 (1) 4xxx-serie CMOS

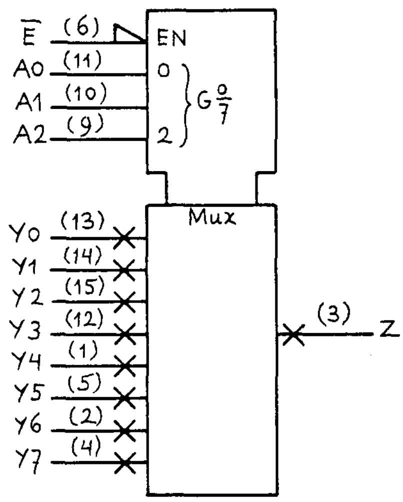
(1) 4051

8-kanaals analoge multiplexer/ demultiplexer



Figuur 5/4.3-51.

Ron ohm	V_{DD} V
250	5
120	10
80	15



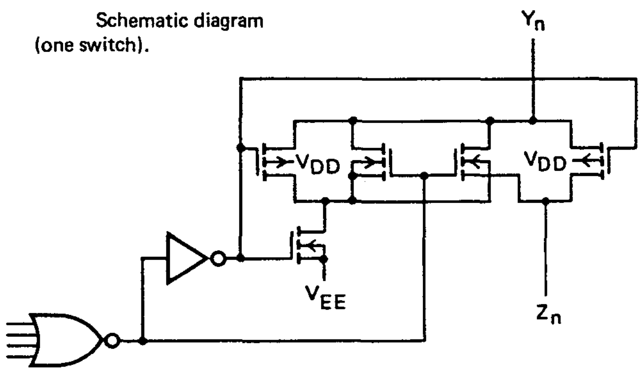
bandbreedte: 17 MHz
analoog signaal mag liggen tussen V_{DD} en V_{EE}
($V_{DD} \leqslant +15V$; $V_{EE} \leqslant -15$ V)

o.a. leverbaar: MC 14051 B
CD 4051 B
HEF 4051 B

inputs				channel ON
Ē	A_2	A_1	A_0	
L	L	L	L	Y_0–Z
L	L	L	H	Y_1–Z
L	L	H	L	Y_2–Z
L	L	H	H	Y_3–Z
L	H	L	L	Y_4–Z
L	H	L	H	Y_5–Z
L	H	H	L	Y_6–Z
L	H	H	H	Y_7–Z
H	X	X	X	none

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

Schematic diagram (one switch).

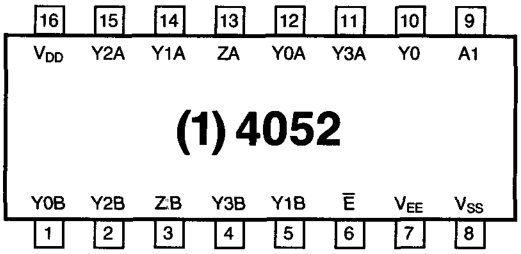


Y_0 to Y_7	independent inputs/outputs
A_0 to A_2	address inputs
Ē	enable input (active LOW)
Z	common input/output

4.3 (1) 4xxx-serie CMOS

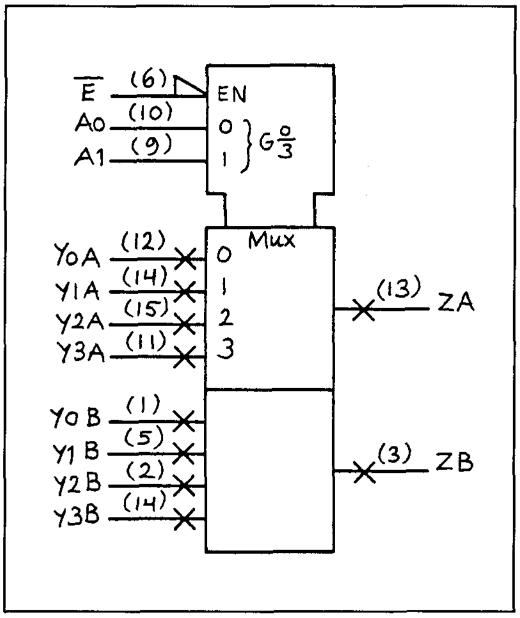
(1) 4052

2 4-kanaals analoge multiplexer/ demultiplexer



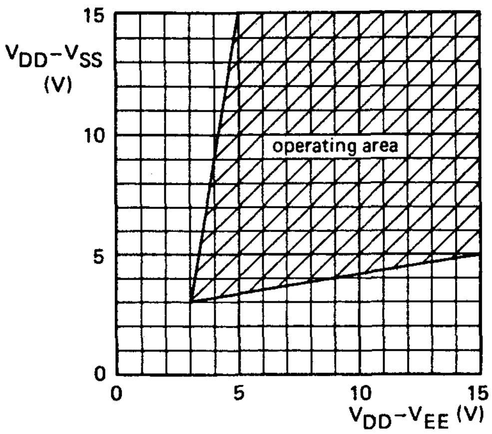
Figuur 5/4.3-52.

Ron ohm	V_{DD} V
250	5
120	10
80	15

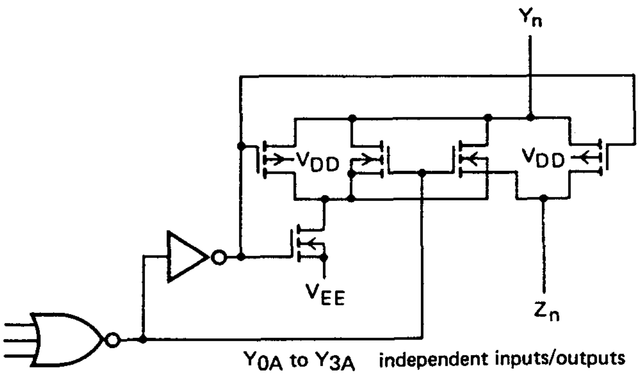


bandbreedte: 17 MHz
analoog signaal mag liggen tussen V_{DD} en V_{EE}
($V_{DD} \leqslant +15V$; $V_{EE} \leqslant -15$ V)

o.a. leverbaar: MC 14052 B
CD 4052 B
HEF 4052 B



Operating area as a function of the supply voltages.



inputs			channel ON
$\overline{E}$	A_1	A_0	
L	L	L	$Y_{0A}-Z_A$; $Y_{0B}-Z_B$
L	L	H	$Y_{1A}-Z_A$; $Y_{1B}-Z_B$
L	H	L	$Y_{2A}-Z_A$; $Y_{2B}-Z_B$
L	H	H	$Y_{3A}-Z_A$; $Y_{3B}-Z_B$
H	X	X	none

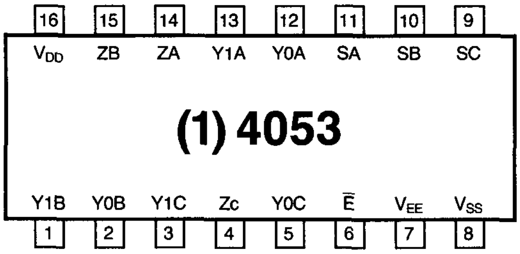
H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

Y_{0A} to Y_{3A}	independent inputs/outputs
Y_{0B} to Y_{3B}	independent inputs/outputs
A_0, A_1	address inputs
$\overline{E}$	enable input (active LOW)
Z_A, Z_B	common inputs/outputs

4.3 (1) 4xxx-serie CMOS

(1) 4053

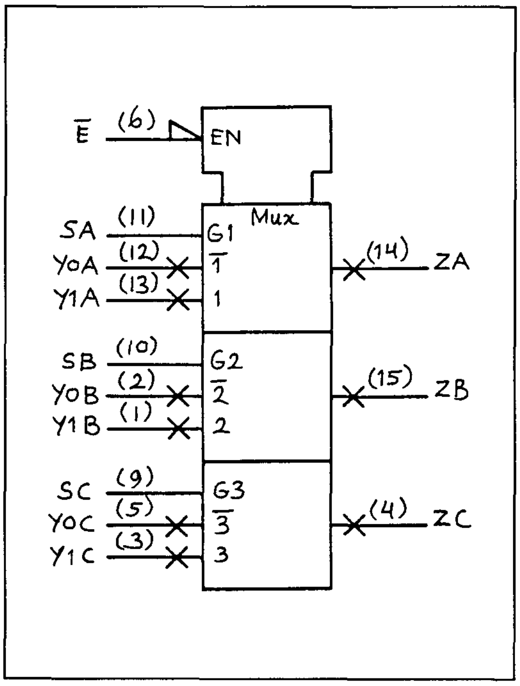
3 2-kanaals analoge multiplexers/ demultiplexers



Figuur 5/4.3-53.

Ron ohm	V_{DD} V
250	5
120	10
80	15

bandbreedte: 17 MHz
analoog signaal mag liggen tussen V_{DD} en V_{EE}
($V_{DD} \leqslant +15V$; $V_{EE} \leqslant -15$ V)

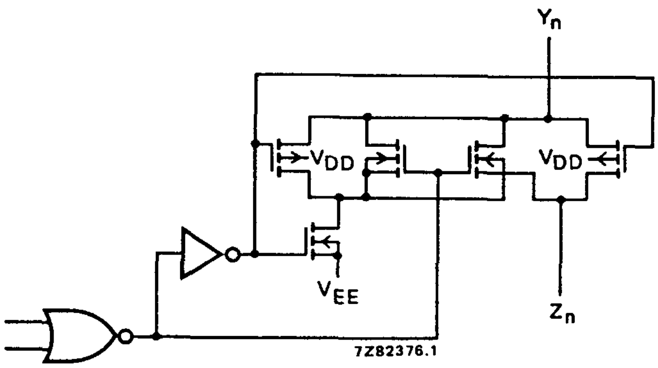


Y_{0A} to Y_{0C}	independent inputs/outputs
Y_{1A} to Y_{1C}	independent inputs/outputs
S_A to S_C	select inputs
$\overline{E}$	enable input (active LOW)
Z_A to Z_C	common inputs/outputs

o.a. leverbaar: MC 14053 B
CD 4053 B
HEF 4053 B

inputs		channel ON
$\overline{E}$	S_A	
L	L	$Y_{0A}-Z_A$
L	H	$Y_{1A}-Z_A$
H	X	none

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial



Schematic diagram (one switch).

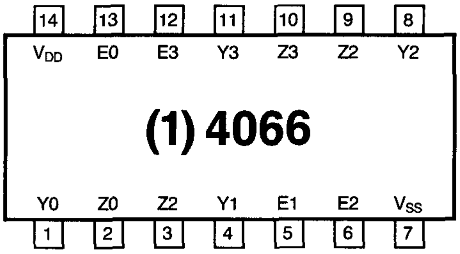
4.3 (1) 4xxx-serie CMOS

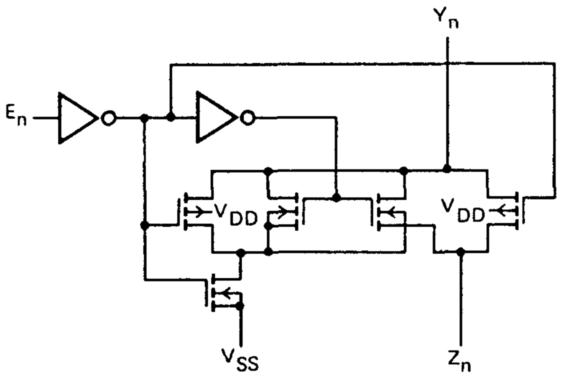
(1) 4066

4-voudige analoge schakelaar/ multiplexer

(4 onafhankelijke bilaterale schakelaars, pen-compatibel met 4016, echter met veel kleinere ON-weerstand)

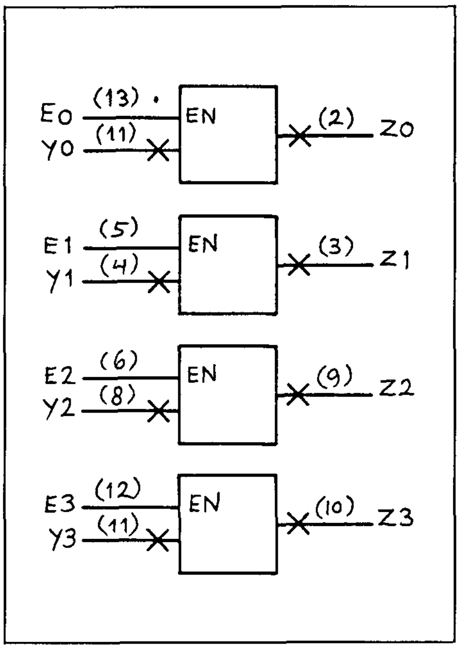
Figuur 5/4.3-66.





Schematic diagram (one switch).

E_0 to E_3 enable inputs
Y_0 to Y_3 input/output terminals
Z_0 to Z_3 input/output terminals



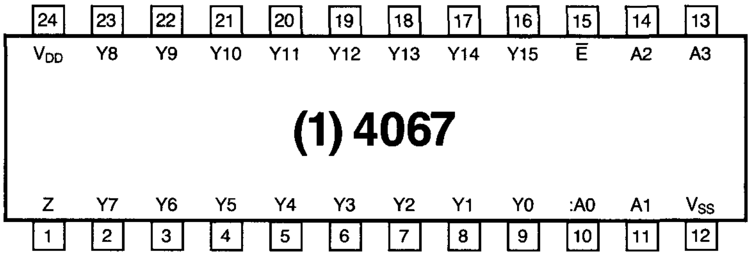
logisch symbool

o.a. leverbaar: MC 14066 B
CD 4066 A/B
HEF 4066 B

4.3 (1) 4xxx-serie CMOS

(1) 4067

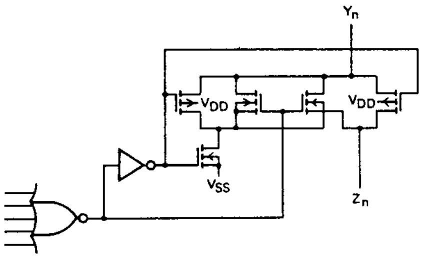
16-kanaals analoge multiplexer/demultiplexer



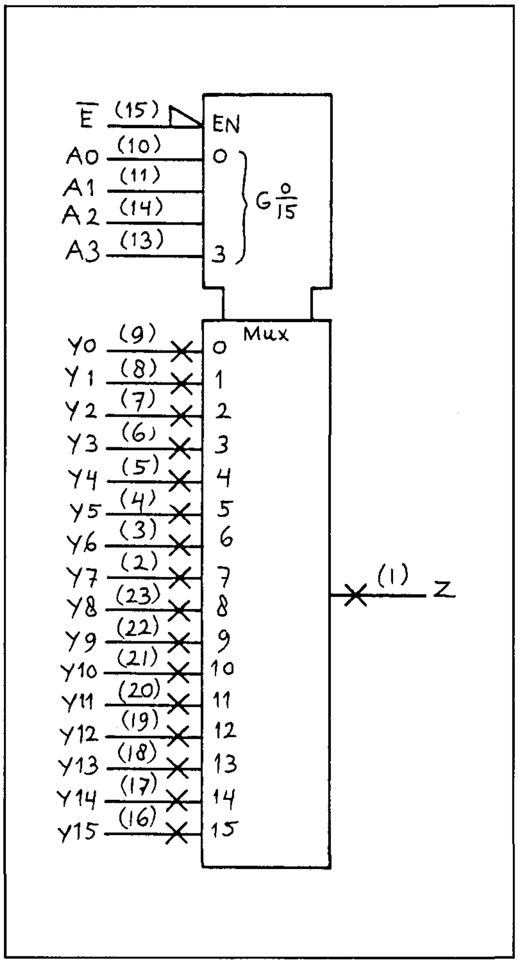
Figuur 5/4.3-67.

Ron ohm	V_{DD} V
250	5
120	10
80	15

bandbreedte: 15 MHz
analoog signaal tussen V_{DD} en V_{EE}
(V_{SS} = 0V; $V_{DD} \leqslant +15$ V)



Schematic diagram (one switch).



inputs					channel
Ē	A_3	A_2	A_1	A_0	ON
L	L	L	L	L	$Y_0 - Z$
L	L	L	L	H	$Y_1 - Z$
L	L	L	H	L	$Y_2 - Z$
L	L	L	H	H	$Y_3 - Z$
L	L	H	L	L	$Y_4 - Z$
L	L	H	L	H	$Y_5 - Z$
L	L	H	H	L	$Y_6 - Z$
L	L	H	H	H	$Y_7 - Z$
L	H	L	L	L	$Y_8 - Z$
L	H	L	L	H	$Y_9 - Z$
L	H	L	H	L	$Y_{10} - Z$
L	H	L	H	H	$Y_{11} - Z$
L	H	H	L	L	$Y_{12} - Z$
L	H	H	L	H	$Y_{13} - Z$
L	H	H	H	L	$Y_{14} - Z$
L	H	H	H	H	$Y_{15} - Z$
H	X	X	X	X	none

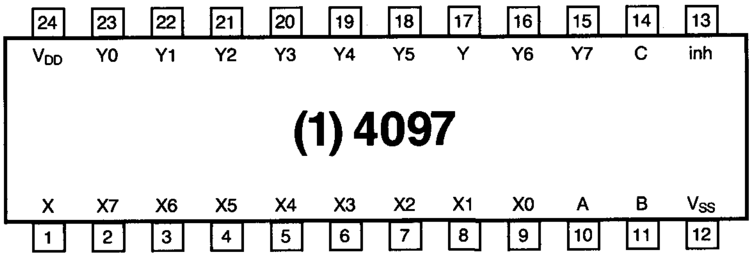
H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

o.a. leverbaar: MC 14067 B
CD 4067 B
HEF 4067 B

4.3 (1) 4xxx-serie CMOS

(1) 4097

differentiële 8-kanaals analoge multiplexer/ demultiplexer



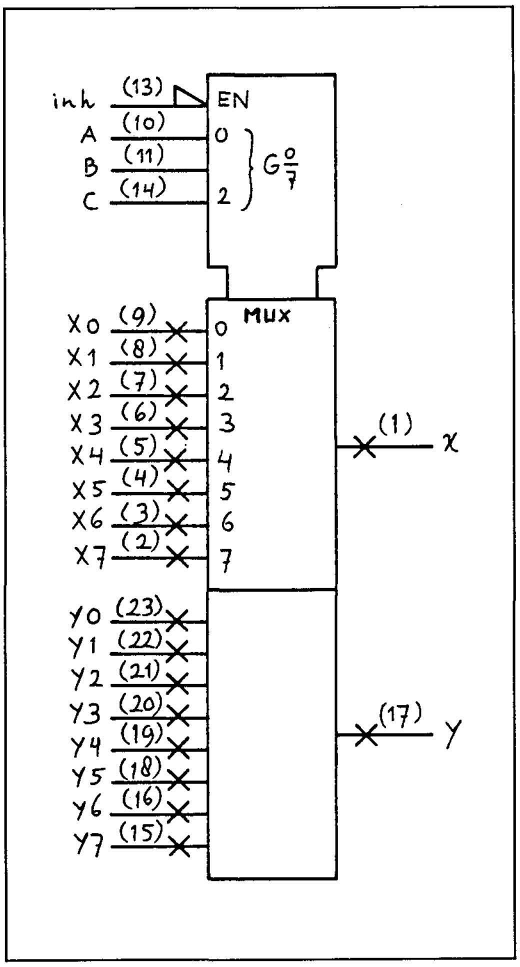
Figuur 5/4.3-97.

Ron ohm	V_{DD} V
250	5
120	10
80	15

bandbreedte: 15 MHz
analoog signaal tussen V_{DD} en V_{EE}
(V_{SS} = 0V; $V_{DD} \leqslant +15$ V)

CD4097 TRUTH TABLE

A	B	C	Inh	Selected Channel
X	X	X	1	None
0	0	0	0	0X, 0Y
1	0	0	0	1X, 1Y
0	1	0	0	2X, 2Y
1	1	0	0	3X, 3Y
0	0	1	0	4X, 4Y
1	0	1	0	5X, 5Y
0	1	1	0	6X, 6Y
1	1	1	0	7X, 7Y

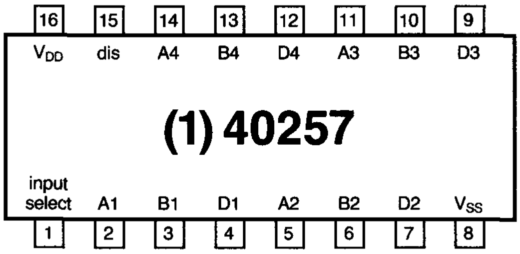


o.a. leverbaar: MC 14097 B
CD 4097 B
HEF 4097 B

4.3 (1) 4xxx-serie CMOS

(1) 40257

4 2-naar-1 data selector/multiplexer met 3-state uitgangen

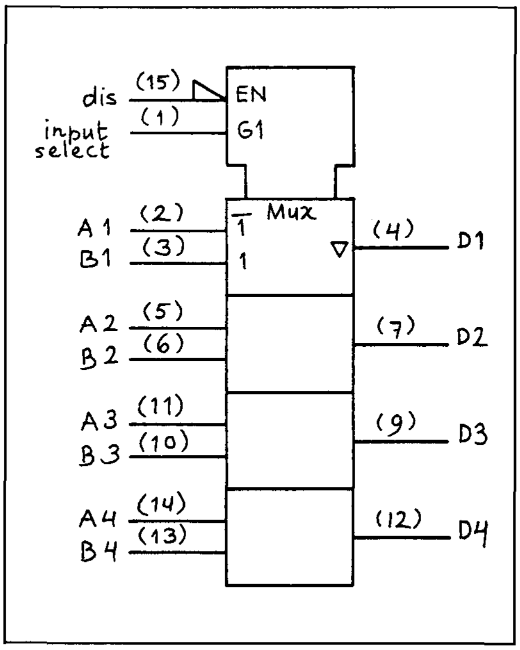


Figuur 5/4.3-257.

TRUTH TABLE

INPUTS				OUTPUT
3-STATE OUTPUT DISABLE	SELECT	A	B	D
1	X	X	X	Z
0	0	0	X	0
0	0	1	X	1
0	1	X	0	0
0	1	X	1	1

X = DON'T CARE LOGIC 1 = HIGH
LOGIC 0 = LOW Z = HIGH IMPEDANCE



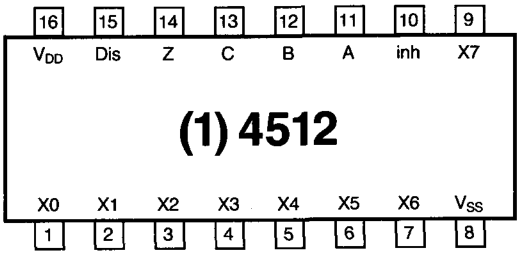
leverbaar: CD 40257 B

4.3 (1) 4xxx-serie CMOS

(1) 4527

8-kanaals data selector/multiplexer met 3-state uitgangen

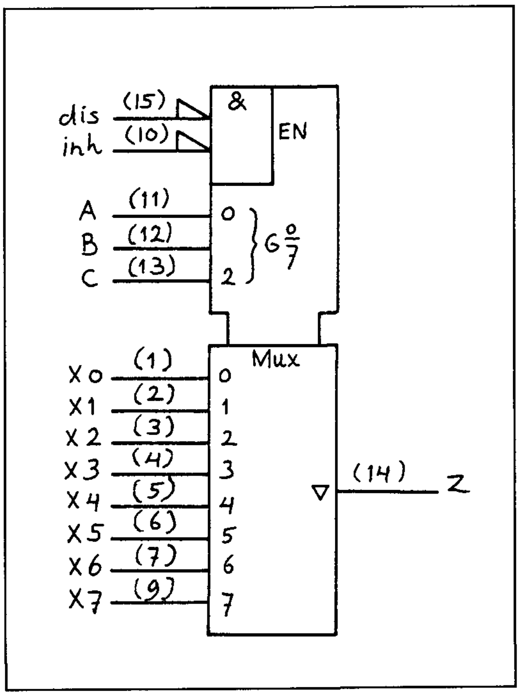
Figuur 5/4.3-512.

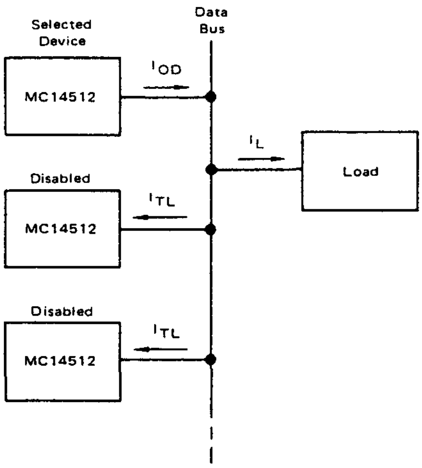


TRUTH TABLE

C	B	A	INHIBIT	DISABLE	Z
0	0	0	0	0	X0
0	0	1	0	0	X1
0	1	0	0	0	X2
0	1	1	0	0	X3
1	0	0	0	0	X4
1	0	1	0	0	X5
1	1	0	0	0	X6
1	1	1	0	0	X7
φ	φ	φ	1	0	0
φ	φ	φ	φ	1	High Impedance

φ = Don't Care





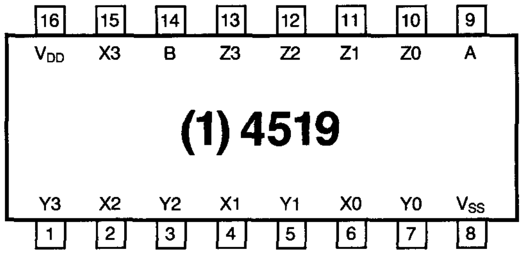
voorbeeld 3-state bedrijf

o.a. leverbaar: MC 14512 A/B/C
CD 4512 B
HEF 4512 B

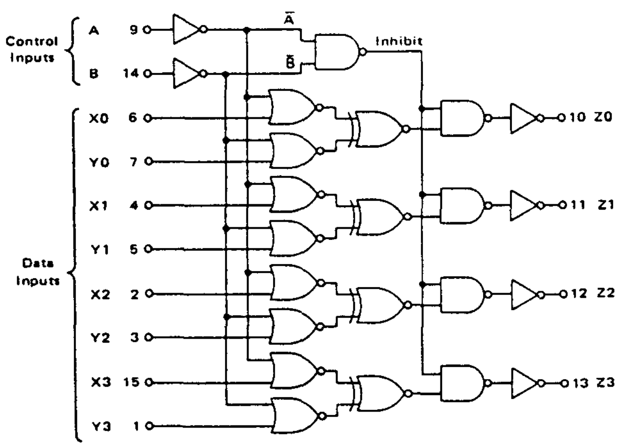
4.3 (1) 4xxx-serie CMOS

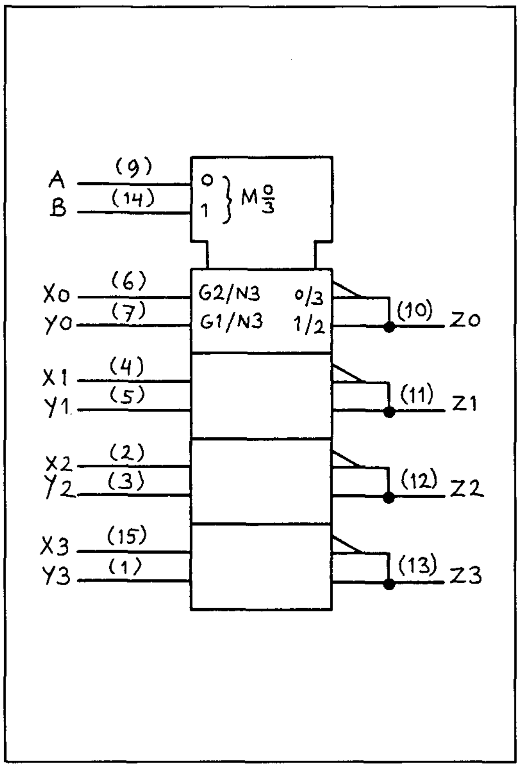
(1) 4519

4 2-naar-1 multiplexer/ data selectors of 4-bit AND/OR-selector of 4 EXNOR-poorten



Figuur 5/4.3-519.





CONTROL INPUTS		OUTPUT
A	B	Z_n
0	0	0
0	1	Y_n
1	0	X_n
1	1	$X_n \odot Y_n$

Note:
$X_n \odot Y_n$ means X_n (Exclusive-NOR) Y_n

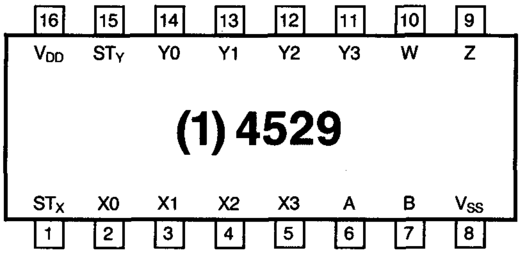
o.a. leverbaar: MC 14519 A/B/C
CD 4519 B
HEF 4519 B

4.3 (1) 4xxx-serie CMOS

(1) 4529

2 4-naar-1 analoge data selectors/ multiplexers met lineaire ON-weerstand en 3-state uitgangen

(8-naar-1 multiplexer met doorverbonden Z en W uitgangen)



Figuur 5/4.3-529.

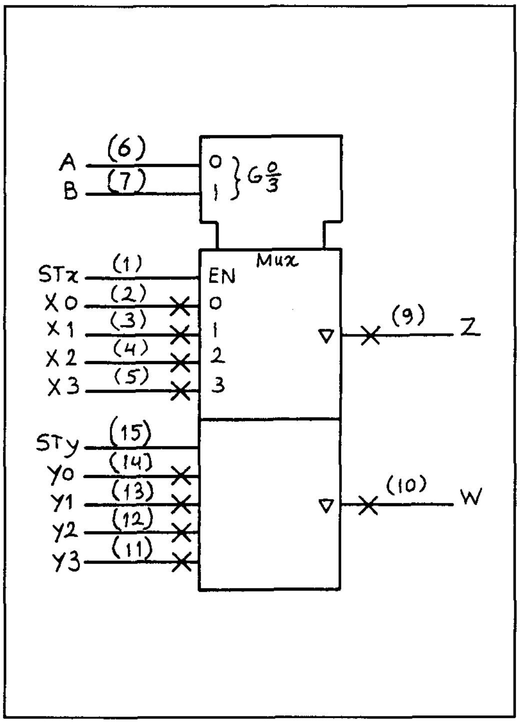
TRUTH TABLE

ST_X	ST_Y	B	A	Z	W
1	1	0	0	X0	Y0
1	1	0	1	X1	Y1
1	1	1	0	X2	Y2
1	1	1	1	X3	Y3
1	0	0	0	X0	
1	0	0	1	X1	
1	0	1	0	X2	
1	0	1	1	X3	
0	1	0	0	Y0	
0	1	0	1	Y1	
0	1	1	0	Y2	
0	1	1	1	Y3	
0	0	X	X	High Impedance	

Rows 1–4: Dual 4-Channel Mode, 2 Outputs

Rows 5–12: Single 8-Channel Mode, 1 Output (Z and W tied together)

X = Don't Care

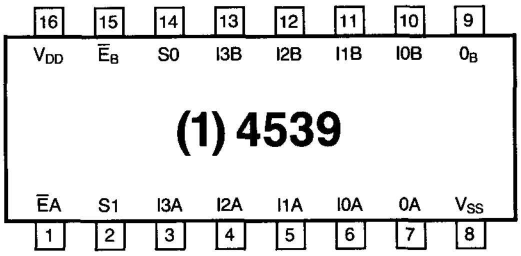


leverbaar: MC 14529 B

4.3 (1) 4xxx-serie CMOS

(1) 4539

2 4-naar-1 dataselectors/ multiplexers

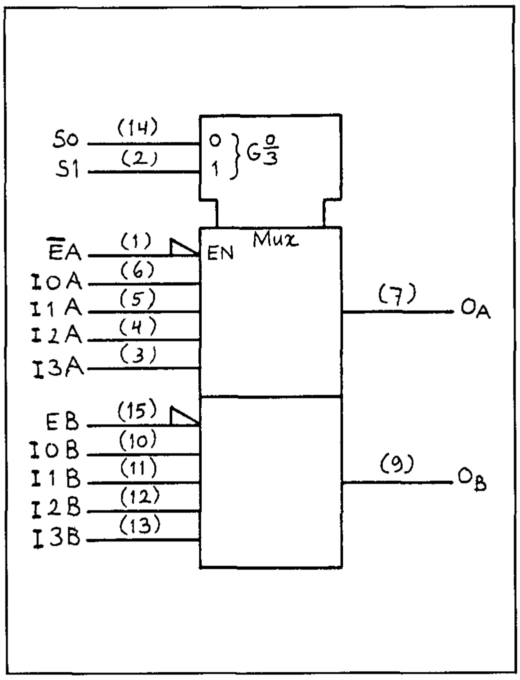


Figuur 5/4.3-539.

FUNCTION TABLE

inputs			output
S_0	S_1	$\bar{E}_n$	O_n
X	X	H	L
L	L	L	I_0
H	L	L	I_1
L	H	L	I_2
H	H	L	I_3

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial



o.a. leverbaar: MC 14539 A/B/C
CD 4539 B
HEF 4539 B

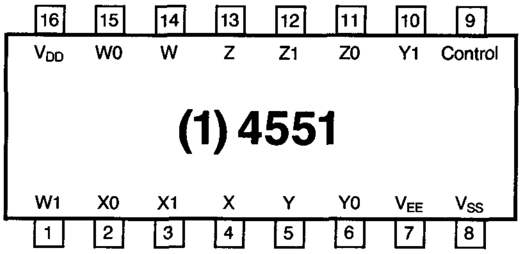
4.3 (1) 4xxx-serie CMOS

(1) 4551

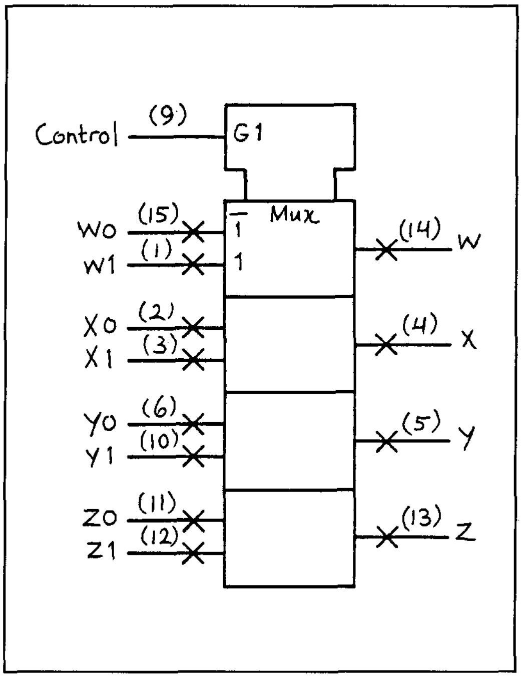
4 2-kanaals analoge multiplexers/demultiplexers

(bandbreedte 17 MHz, analoog signaal tussen V_{DD} en V_{EE} : 3 tot 18 V)

Figuur 5/4.3-551.



Control	ON
0	W0 X0 Y0 Z0
1	W1 X1 Y1 Z1



leverbaar: MC 14551

POSSIBLE SUPPLY CONNECTIONS

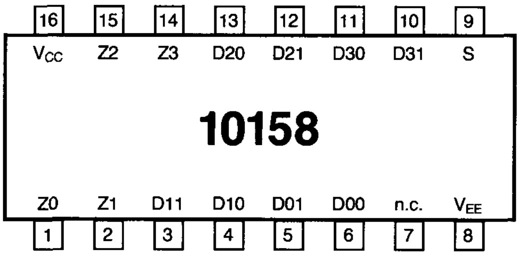
V_{DD} In Volts	V_{SS} In Volts	V_{EE} In Volts	Control Inputs Logic High/Logic Low In Volts	Maximum Analog Signal Range In Volts
+8	0	−8	+8/0	+8 to −8 = 16 V_{p-p}
+5	0	−12	+5/0	+5 to −12 = 17 V_{p-p}
+5	0	0	+5/0	+5 to 0 = 5 V_{p-p}
+5	0	−5	+5/0	+5 to −5 = 10 V_{p-p}
+10	+5	−5	+10/+5	+10 to −5 = 15 V_{p-p}

5/4.4

10k-serie ECL

10158

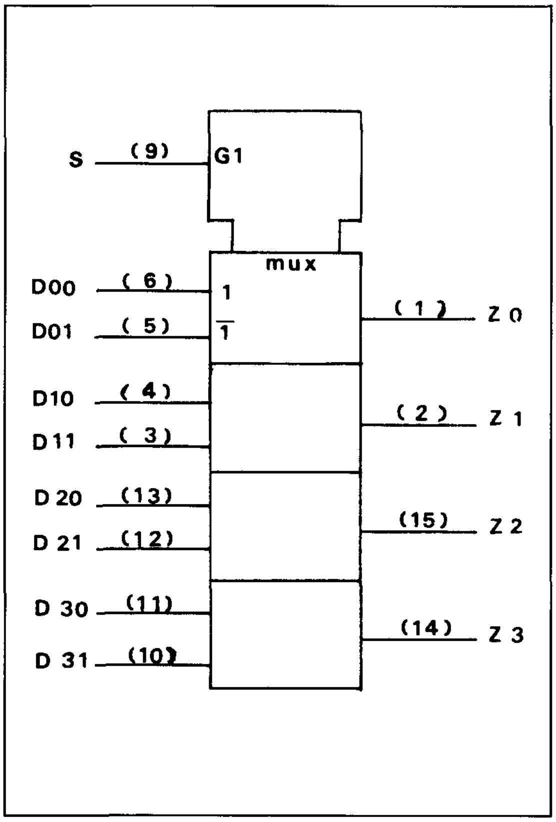
4 2-naar-1 multiplexers met open-emitter uitgangen



Figuur 5/4.4-158.

Parameters bij 25°C

I_E	min typ max	 32 40	mA	Stroom uit voeding ($V_{EE} = -5,2$ V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 265	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	197	mW/ package	Dissipatie
td	typ typ typ	 2.2 3.0	ns ns ns	Vertragingstijd data → output select → output
fanout		1	50 Ohm-lijn(en)	



logisch symbool

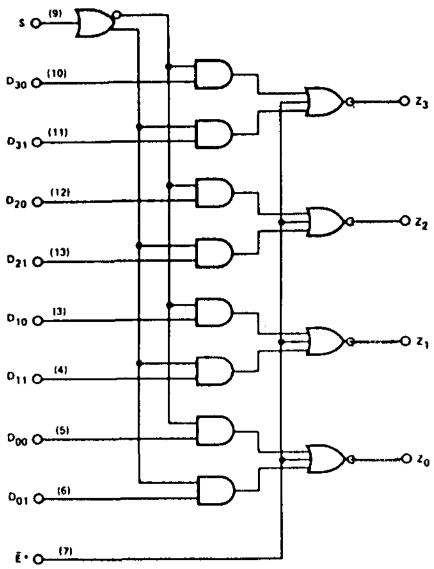
4.4 10k-serie ECL

TRUTH TABLE (10158)

INPUTS			OUTPUTS
Dno	Dni	S	Zn
L	X	L	L
H	X	L	H
X	L	H	L
X	H	H	H

X = Don't Care

waarheidstabel

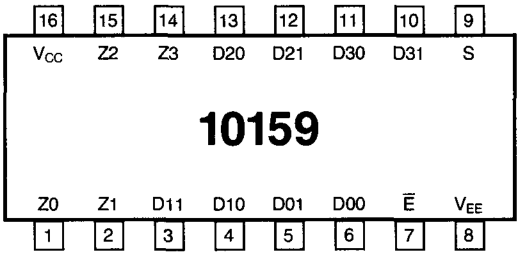


functioneel blokschema
(positieve logika)

4.4 10k-serie ECL

10159

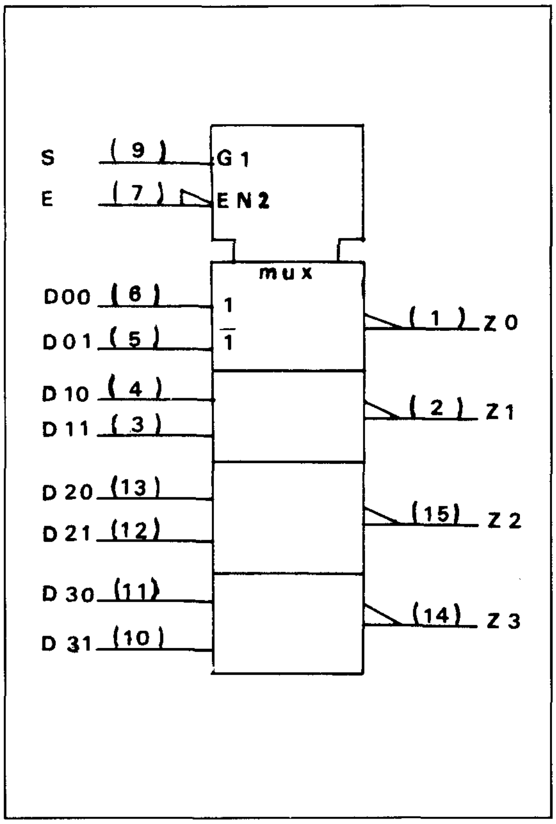
4 2-naar-1 multiplexers met inverterende open-emitter uitgangen en enable-ingang



Figuur 5/4.4-159.

Parameters bij 25°C

Parameter		Waarde	Eenheid	Omschrijving
I_E	min typ max	 32 40	mA	Stroom uit voeding ($V_{EE} = -5{,}2$ V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 265	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	218	mW/ package	Dissipatie
td	typ typ typ	 2.2 3.0	ns ns ns	Vertragingstijd data → output select → output
fanout		1	50 Ohm-lijn(en)	



logisch symbool

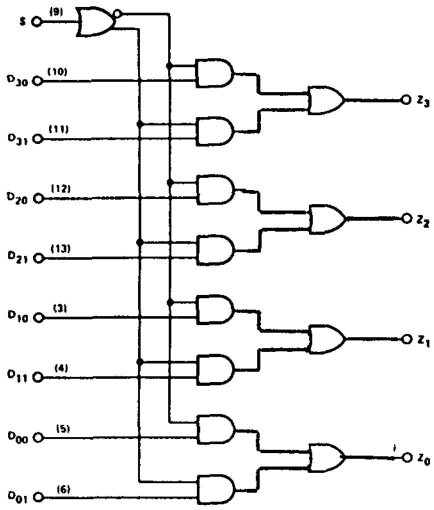
TRUTH TABLE (10159)

INPUTS				OUTPUTS
Dno	Dni	S	E	Zn
X	X	X	H	L
L	X	L	L	H
H	X	L	L	L
X	L	H	L	H
X	H	H	L	L

X = Don't Care

waarheidstabel

4.4 10k-serie ECL

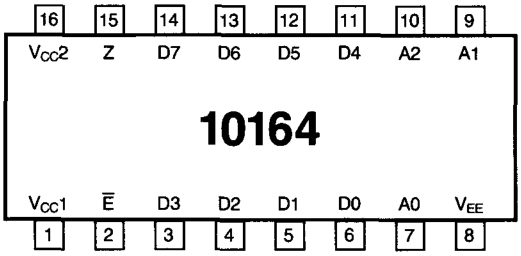


functioneel blokschema
(positieve logika)

4.4 10k-serie ECL

10164

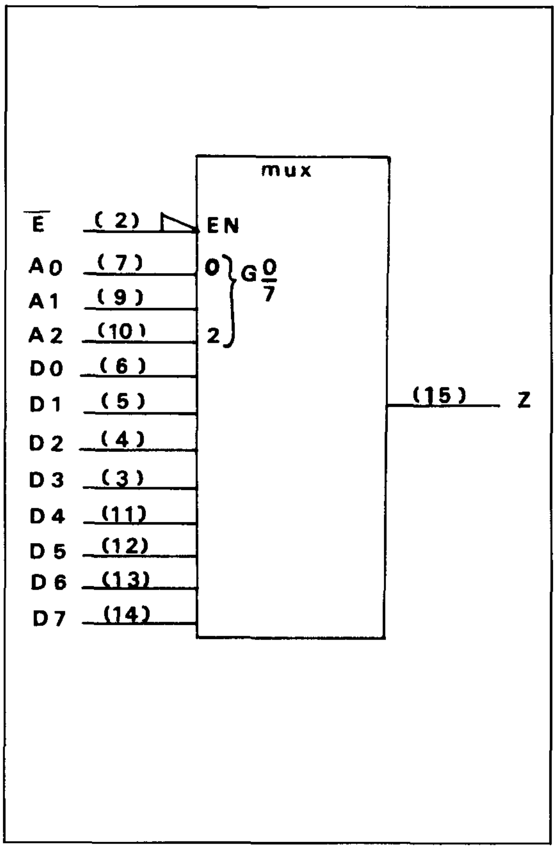
8-naar-1 multiplexer met enable voor output bussing



Figuur 5/4.4-164.

Parameters bij 25°C

I_E	min typ max	 56 75	mA	Stroom uit voeding (V_{EE} = −5,2 V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 265	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	290	mW/ package	Dissipatie
td	typ typ typ	3.5 5.0 2.0	ns ns ns	Vertragingstijd data → output adres → output enable → output
fanout		1	50 Ohm-lijn(en)	



logisch symbool

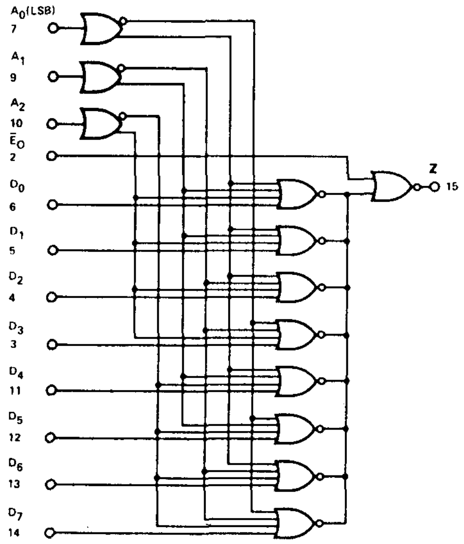
TRUTH TABLE

ENABLE	ADDRESS INPUTS A2	A1	A0	Z
L	L	L	L	D0
L	L	L	H	D1
L	L	H	L	D2
L	L	H	H	D3
L	H	L	L	D4
L	H	L	H	D5
L	H	H	L	D6
L	H	H	H	D7
H	0	0	0	L

• = don't care.

waarheidstabel

4.4 10k-serie ECL

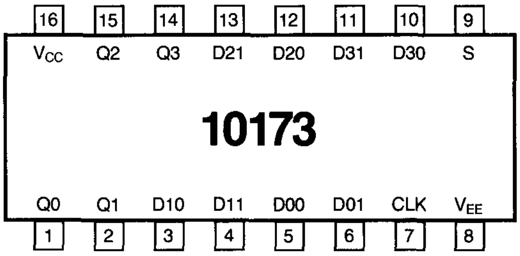


functioneel
blokschema

4.4 10k-serie ECL

10173

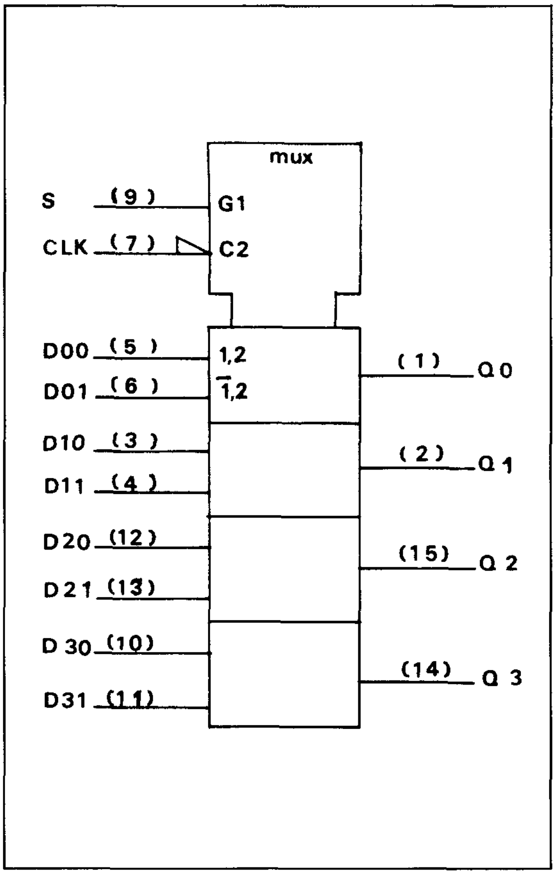
4 2-naar-1 multiplexers met latch (open-emitter uitgangen)



Figuur 5/4.4-173.

Parameters bij 25°C

		Waarde	Eenheid	
I_E	min typ max	 66	mA	**Stroom uit voeding ($V_{EE} = -5{,}2$ V)**
I_{IL}	min typ max	0.5	µA	**Low level Ingangsstroom $V_{IN} = V_{ILmin}$**
I_{IH}	min typ max	 295	µA	**High level Ingangsstroom $V_{IN} = V_{IHmax}$**
V_{OL}	min typ max	−1.850 −1.650	V	**Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}**
V_{OH}	min typ max	−0.960 −0.810	V	**High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}**
V_{OLA}	min typ max	 −1.630	V	**Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}**
V_{OHA}	min typ max	−0.980	V	**Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}**
P	typ	325	mW/ package	**Dissipatie**
td	typ typ typ	2.5 3.7 4.3	ns ns ns	**Vertragingstijd data → output select → output clock → output**
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



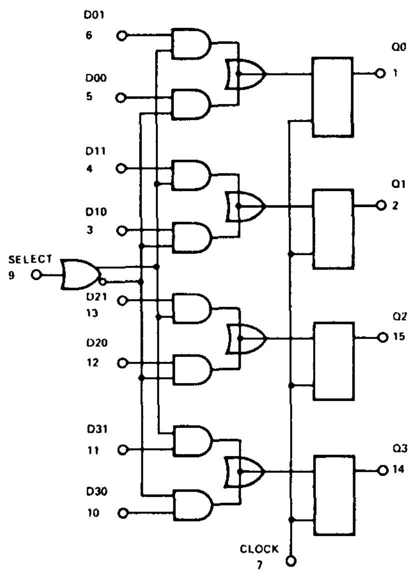
logisch symbool

S	CLK	Q_n (N+1)
H	L	D_n0
L	L	D_n1
X	H	Q_n (N)

X = irrelevant

waarheidstabel

4.4 10k-serie ECL

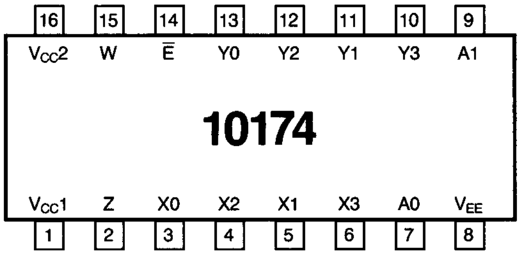


functioneel blokschema
(positieve logika)

4.4 10k-serie ECL

10174

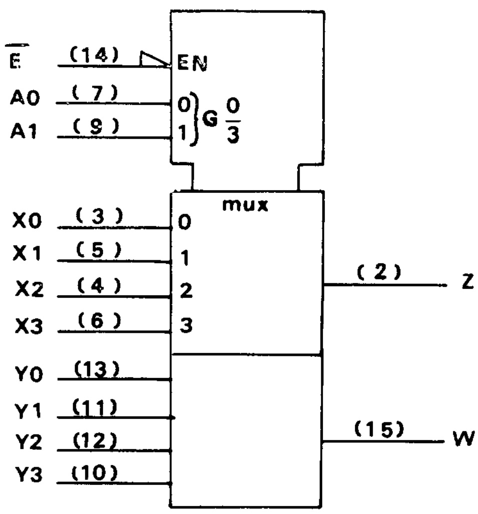
2 4-naar-1 multiplexers met enable-ingang voor output bussing



Figuur 5/4.4-174.

Parameters bij 25°C

I_E	min typ max	 55 73	mA	Stroom uit voeding ($V_{EE} = -5,2$ V)
I_{IL}	min typ max	0.5	μA	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
I_{IH}	min typ max	 220	μA	High level Ingangsstroom $V_{IN} = V_{IHmax}$
V_{OL}	min typ max	−1.850 −1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OH}	min typ max	−0.960 −0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of V_{IHmax}
V_{OLA}	min typ max	 −1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHmin}
V_{OHA}	min typ max	−0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of V_{IHAmin}
P	typ	290	mW/ package	Dissipatie
td	typ typ typ	3.5 5.0 2.0	ns ns ns	Vertragingstijd data → output adres → output enable → output
fanout		1	50 Ohm-lijn(en)	



logisch symbool

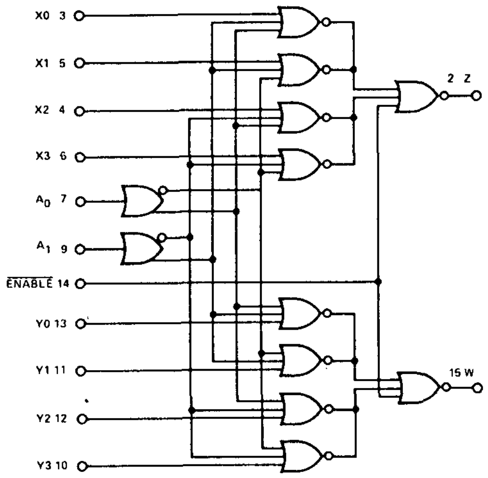
TRUTH TABLE

ENABLE	ADDRESS INPUTS		OUTPUTS	
$\overline{E}$	A1	A0	Z	W
H	ø	ø	L	L
L	L	L	X0	Y0
L	L	H	X1	Y1
L	H	L	X2	Y2
L	H	H	X3	Y3

ø = don't care

waarheidstabel

4.4 10k-serie ECL



functioneel blokschema
(positieve logika)

5/4.5

74AC(T)xx en 74AHC(T)xx series

Algemene eigenschappen

Eerst volgen de algemene eigenschappen van de data selectors/multiplexers uit de 74AHC(T)xx- en 74AC(T)11xx-families.

74AHC(T)xx

Parameter		Value
Supply voltage range, V_{CC}		–0.5 V to 7 V
Input voltage range, V_I (see Note 1)		–0.5 V to 7 V
Output voltage range, V_O (see Note 1)		–0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$)		–20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)		±20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})		±25 mA
Continuous current through V_{CC} or GND		±50 mA
Package thermal impedance, θ_{JA} (see Note 2):	D package	73°C/W
	DB package	82°C/W
	DGV package	120°C/W
	N package	67°C/W
	PW package	108°C/W
Storage temperature range, T_{stg}		–65°C to 150°C

Tabel 5/4.5-1: Maximaal toegelaten waarden voor de 74AHC(T)xx-serie.

4.5 74AC(T)xx en 74AHC(T)xx series

			SN74AHC157 MIN	SN74AHC157 MAX	UNIT
V_{CC}	Supply voltage		2	5.5	V
V_{IH}	High-level input voltage	V_{CC} = 2 V	1.5		V
		V_{CC} = 3 V	2.1		
		V_{CC} = 5.5 V	3.85		
V_{IL}	Low-level input voltage	V_{CC} = 2 V		0.5	V
		V_{CC} = 3 V		0.9	
		V_{CC} = 5.5 V		1.65	
V_I	Input voltage		0	5.5	V
V_O	Output voltage		0	V_{CC}	V
I_{OH}	High-level output current	V_{CC} = 2 V		–50	µA
		V_{CC} = 3.3 V ± 0.3 V		–4	mA
		V_{CC} = 5 V ± 0.5 V		–8	
I_{OL}	Low-level output current	V_{CC} = 2 V		50	µA
		V_{CC} = 3.3 V ± 0.3 V		4	mA
		V_{CC} = 5 V ± 0.5 V		8	
$\Delta t/\Delta v$	Input transition rise or fall rate	V_{CC} = 3.3 V ± 0.3 V		100	ns/V
		V_{CC} = 5 V ± 0.5 V		20	
T_A	Operating free-air temperature		–40	85	°C

All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation.

Tabel 5/4.5-2: Aanbevolen bedrijfscondities voor de 74AHCxx-serie.

		SN74AHCT157 MIN	SN74AHCT157 MAX	UNIT
V_{CC}	Supply voltage	4.5	5.5	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
V_O	Output voltage	0	V_{CC}	V
I_{OH}	High-level output current		–8	mA
I_{OL}	Low-level output current		8	mA
$\Delta t/\Delta v$	Input transition rise or fall time		20	ns/V
T_A	Operating free-air temperature	–40	85	°C

All unused inputs of the device must be held at V_{CC} or GND

Tabel 5/4.5-3: Aanbevolen bedrijfscondities voor de 74AHCTxx-serie.

4.5 74AC(T)xx en 74AHC(T)xx series

74AC(T)11xx

De 74AC(T)11xx-serie is een Advanced CMOS logica-familie met meerdere centrale voedingsaansluitingen.

Supply voltage range, V_{CC}	–0.5 V to 7 V
Input voltage range, V_I (see Note 1)	–0.5 V to V_{CC} + 0.5 V
Output voltage range, V_O (see Note 1)	–0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$)	±20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	±50 mA
Continuous output current, I_O (V_O = 0 to V_{CC})	±50 mA
Continuous current through V_{CC} or GND	±100 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.6 W
DW package	1.6 W
N package	1.3 W
Storage temperature range, T_{stg}	–65°C to 150°C

Tabel 5/4.5-4: Maximaal toegelaten waarden voor de 74AC(T)11xx-serie.

			MIN	NOM	MAX	UNIT
VCC	Supply voltage		3	5	5.5	V
V_{IH}	High-level input voltage	V_{CC} = 3 V	2.1			V
		V_{CC} = 4.5 V	3.15			
		V_{CC} = 5.5 V	3.85			
V_{IL}	Low-level input voltage	V_{CC} = 3 V			0.9	V
		V_{CC} = 4.5 V			1.35	
		V_{CC} = 5.5 V			1.65	
V_I	Input voltage		0		V_{CC}	V
V_O	Output voltage		0		V_{CC}	V
I_{OH}	High-level output current	V_{CC} = 3 V			–4	mA
		V_{CC} = 4.5 V			–24	
		V_{CC} = 5.5 V			–24	
I_{OL}	Low-level output current	V_{CC} = 3 V			12	mA
		V_{CC} = 4.5 V			24	
		V_{CC} = 5.5 V			24	
$\Delta t/\Delta v$	Input transition rise or fall rate		0		10	ns/V
T_A	Operating free-air temperature		–40		85	°C

Tabel 5/4.5-5: Aanbevolen bedrijfscondities voor de 74AC11xx-serie.

4.5 74AC(T)xx en 74AHC(T)xx series

		MIN	MAX	UNIT
V_{CC}	Supply voltage	4.5	5.5	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
V_O	Output voltage	0	V_{CC}	V
I_{OH}	High-level output current		–24	mA
I_{OL}	Low-level output current		24	mA
$\Delta t/\Delta v$	Input transition rise or fall rate	0	10	ns/V
T_A	Operating free-air temperature	–40	85	°C

Tabel 5/4.5-6: Aanbevolen bedrijfscondities voor de 74ACT11xx-serie.

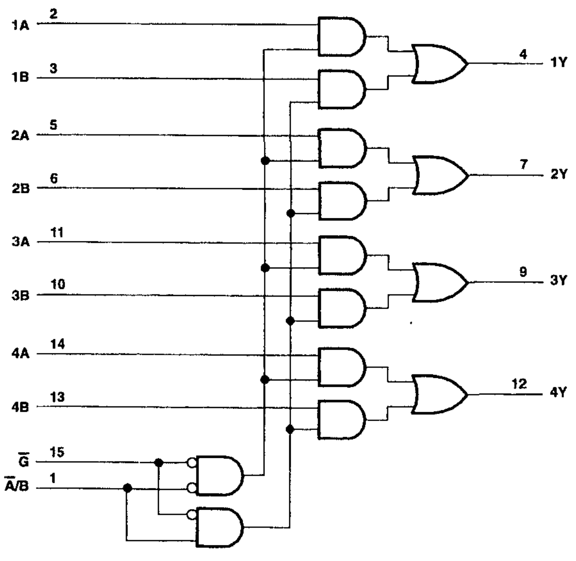
74AHC157, 74AHCT157

4 x 2-naar-1 lijn dataselector/multiplexer (niet-inverterend)

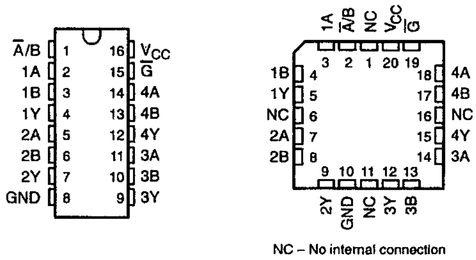
- 74AHC157:
  V_{CC} = 2 V tot 5,5 V
- 74AHCT157:
  V_{CC} = 4,5 V tot 5,5 V, TTL-compatibel
- Behuizingen:
  16-pens plastic DIL, SOIC, SSOP, TSSOP en TVSOP en 20-pens ceramisch LCC en flatpack

INPUTS				OUTPUT
$\overline{G}$	$\overline{A}$/B	A	B	Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Figuur 5/4.5-2: Waarheidstabel.



Figuur 5/4.5-3: Logisch schema (pos. logica)



Figuur 5/4.5-1: Aansluitingen.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T_A = 25°C			SN74AHC157		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A or B	Y	C_L = 15 pF		6.2*	9.7*	1	11.5	ns
t_{PHL}					6.2*	9.7*	1	11.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF		8.4*	13.2*	1	15.5	ns
t_{PHL}					8.4*	13.2*	1	15.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15 pF		8.7*	13.6*	1	16	ns
t_{PHL}					8.7*	13.6*	1	16	
t_{PLH}	A or B	Y	C_L = 50 pF		8.7	13.2	1	15	ns
t_{PHL}					8.7	13.2	1	15	
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF		10.9	16.7	1	19	ns
t_{PHL}					10.9	16.7	1	19	
t_{PLH}	$\overline{G}$	Y	C_L = 50 pF		11.2	17.1	1	19.5	ns
t_{PHL}					11.2	17.1	1	19.5	

Tabel 5/4.5-7: Schakeltijden 74AHC157 (V_{cc} = 3,3 V +/-0,3 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T_A = 25°C			SN74AHC157		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A or B	Y	C_L = 15 pF		4.1*	6.4*	1	7.5	ns
t_{PHL}					4.1*	6.4*	1	7.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF		5.3*	8.1*	1	9.5	ns
t_{PHL}					5.3*	8.1*	1	9.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15 pF		5.6*	8.6*	1	10	ns
t_{PHL}					5.6*	8.6*	1	10	
t_{PLH}	A or B	Y	C_L = 50 pF		5.6	8.4	1	9.5	ns
t_{PHL}					5.6	8.4	1	9.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF		6.8	10.1	1	11.5	ns
t_{PLH}					6.8	10.1	1	11.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50 pF		7.1	10.6	1	12	ns
t_{PHL}					7.1	10.6	1	12	

Tabel 5/4.5-8: Schakeltijden 74AHC157 (V_{cc} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

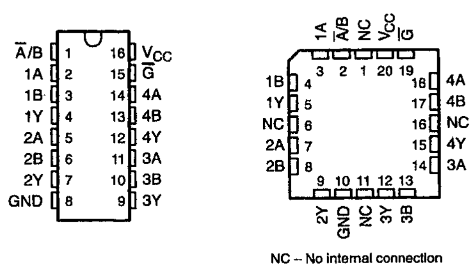
PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T_A = 25°C MIN	TYP	MAX	SN74AHCT157 MIN	MAX	UNIT
t_{PLH}	A or B	Y	C_L = 15 pF		4.1*	6.4*	1	7.5	ns
t_{PHL}					4.1*	6.4*	1	7.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF		5.3*	8.1*	1	9.5	ns
t_{PHL}					5.3*	8.1*	1	9.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15 pF		5.6*	8.6*	1	10	ns
t_{PHL}					5.6*	8.6*	1	10	
t_{PLH}	A or B	Y	C_L = 50 pF		5.6	8.7	1	9.8	ns
t_{PHL}					5.6	8.7	1	9.8	
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF		6.8	10.4	1	12	ns
t_{PLH}					6.8	10.4	1	12	
t_{PLH}	$\overline{G}$	Y	C_L = 50 pF		7.1	11	1	12	ns
t_{PHL}					7.1	11	1	12	

Tabel 5/4.5-9: Schakeltijden 74AHCT157 (V_{cc} = 5 V +/-0,5 V).

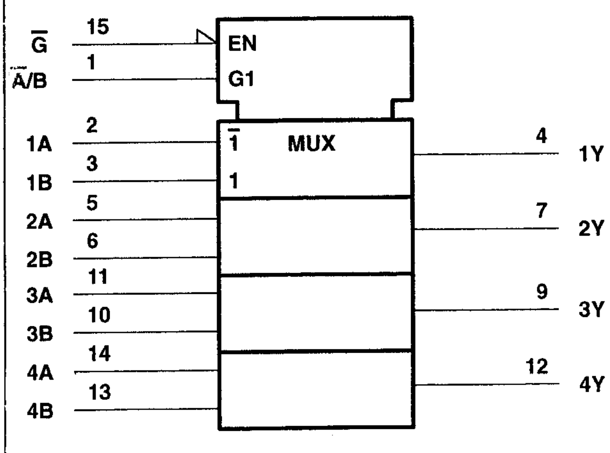
74AHC158, 74AHCT158

4 x 2-naar-1 lijn dataselector/multiplexer (inverterend)

- 74AHC158:
  V_{cc} = 2 V tot 5,5 V
- 74AHCT158:
  V_{cc} = 4.5 V tot 5,5 V, TTL-compatibel
- Behuizingen:
  16-pens plastic DIL, SOIC, SSOP, TSSOP en TVSOP en 20-pens ceramisch LCC en flatpack



Figuur 5/4.5-5: Aansluitingen.



Figuur 5/4.5-4: Logisch symbool.

INPUTS				OUTPUT
$\overline{G}$	$\overline{A}$/B	A	B	Y
H	X	X	X	H
L	L	L	X	H
L	L	H	X	L
L	H	X	L	H
L	H	X	H	L

Figuur 5/4.5-6: Waarheidstabel.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T_A = 25°C			SN74AHC158		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A or B	Y	C_L = 15 pF		6.2*	9.7*	1	11.5	ns
t_{PHL}					6.2*	9.7*	1	11.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF		8.4*	13.2*	1	15.5	ns
t_{PHL}					8.4*	13.2*	1	15.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15 pF		8.7*	13.6*	1	16	ns
t_{PHL}					8.7*	13.6*	1	16	
t_{PLH}	A or B	Y	C_L = 50 pF		8.7	13.2	1	15	ns
t_{PHL}					8.7	13.2	1	15	
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF		10.9	16.7	1	19	ns
t_{PHL}					10.9	16.7	1	19	
t_{PLH}	$\overline{G}$	Y	C_L = 50 pF		11.2	17.1	1	19.5	ns
t_{PHL}					11.2	17.1	1	19.5	

Tabel 5/4.5-10: Schakeltijden 74AHC158 (V_{cc} = 3,3 V +/-0,3 V).

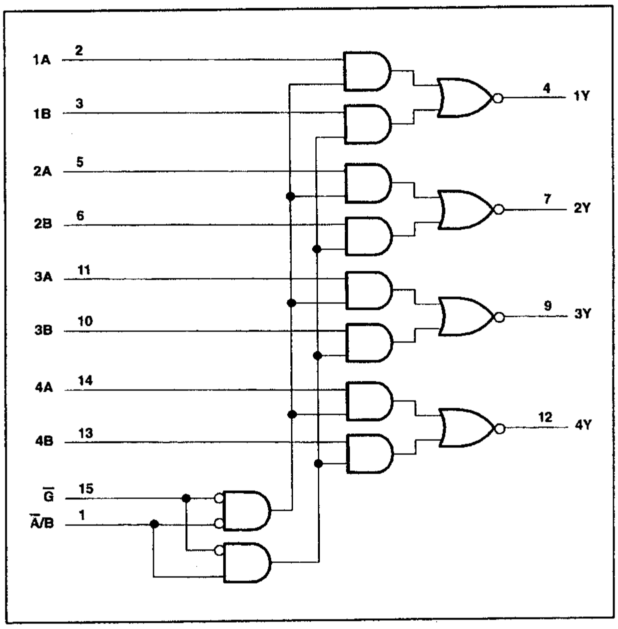
PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T_A = 25°C			SN74AHC158		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A or B	Y	C_L = 15 pF		4.1*	6.4*	1	7.5	ns
t_{PHL}					4.1*	6.4*	1	7.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF		5.3*	8.1*	1	9.5	ns
t_{PHL}					5.3*	8.1*	1	9.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15 pF		5.6*	8.6*	1	10	ns
t_{PHL}					5.6*	8.6*	1	10	
t_{PLH}	A or B	Y	C_L = 50 pF		5.6	8.4	1	9.5	ns
t_{PHL}					5.6	8.4	1	9.5	
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF		6.8	10.1	1	11.5	ns
t_{PLH}					6.8	10.1	1	11.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50 pF		7.1	10.6	1	12	ns
t_{PHL}					7.1	10.6	1	12	

Tabel 5/4.5-11: Schakeltijden 74AHC158 (V_{cc} = 5 V +/-0,5 V).

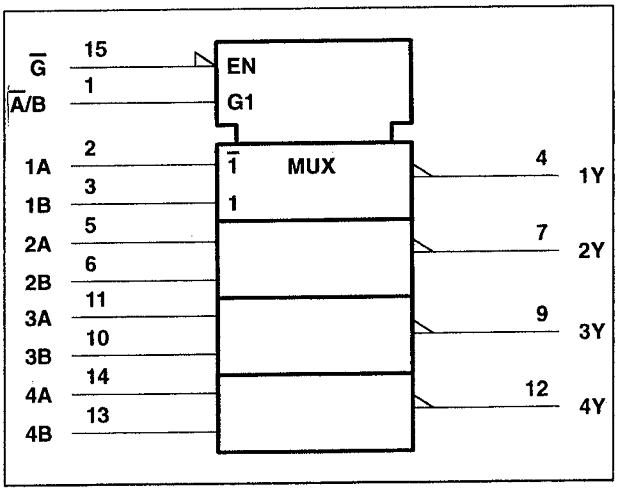
4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25°C$ MIN	$T_A = 25°C$ TYP	$T_A = 25°C$ MAX	SN74AHCT158 MIN	SN74AHCT158 MAX	UNIT
t_{PLH}	A or B	Y	$C_L = 15$ pF		4.1*	6.4*	1	7.5	ns
t_{PHL}					4.1*	6.4*	1	7.5	
t_{PLH}	$\overline{A}$/B	Y	$C_L = 15$ pF		5.3*	8.1*	1	9.5	ns
t_{PHL}					5.3*	8.1*	1	9.5	
t_{PLH}	$\overline{G}$	Y	$C_L = 15$ pF		5.6*	8.6*	1	10	ns
t_{PHL}					5.6*	8.6*	1	10	
t_{PLH}	A or B	Y	$C_L = 50$ pF		5.6	8.7	1	9.8	ns
t_{PHL}					5.6	8.7	1	9.8	
t_{PLH}	$\overline{A}$/B	Y	$C_L = 50$ pF		6.8	10.4	1	12	ns
t_{PLH}					6.8	10.4	1	12	
t_{PLH}	$\overline{G}$	Y	$C_L = 50$ pF		7.1	11	1	12	ns
t_{PHL}					7.1	11	1	12	

Tabel 5/4.5-12: Schakeltijden 74AHCT158 (V_{CC} = 5 V +/-0,5 V).



Figuur 5/4.5-7: Logisch schema (positieve logica).

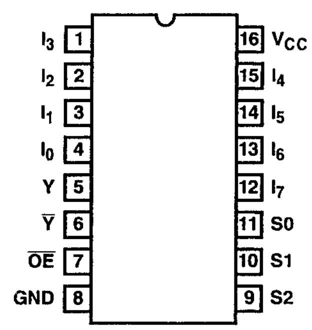


Figuur 5/4.5-8: Logisch symbool.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	SYMBOL	V_{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
AC TYPES									
Propagation Delay, Data to Y Output	t_{PLH}, t_{PHL}	1.5	-	-	153	-	-	169	ns
		3.3 (Note 9)	4.9	-	17.2	4.7	-	18.9	ns
		5 (Note 10)	3.5	-	12.3	3.4	-	13.5	ns
Propagation Delay, Data to $\overline{Y}$ Output	t_{PLH}, t_{PHL}	1.5	-	-	169	-	-	186	ns
		3.3	5.4	-	19	5.2	-	20.9	ns
		5	3.8	-	13.5	3.7	-	14.9	ns
Propagation Delay, Select to Y Output	t_{PLH}, t_{PHL}	1.5	-	-	207	-	-	228	ns
		3.3	6.6	-	23.2	6.4	-	25.5	ns
		5	4.7	-	16.5	4.6	-	18.2	ns
Propagation Delay, Select to $\overline{Y}$ Output	t_{PLH}, t_{PHL}	1.5	-	-	223	-	-	245	ns
		3.3	7.1	-	24.9	6.9	-	27.4	ns
		5	5.1	-	17.8	4.9	-	19.6	ns
Propagation Delay, Output Enable and Output Disable to Output	t_{PZH}, t_{PZL}, t_{PHZ}, t_{PLZ}	1.5	-	-	155	-	-	169	ns
		3.3	5.2	-	18.7	5.1	-	20.3	ns
		5	3.5	-	12.3	3.4	-	13.5	ns
Three-State Output Capacitance	C_O	-	-	-	15	-	-	15	pF
Input Capacitance	C_I	-	-	-	10	-	-	10	pF
Power Dissipation Capacitance	C_{PD} (Note 11)	-	-	120	-	-	120	-	pF

Tabel 5/4.5-13: Schakeltijden 74AC251 (diverse V_{CC}).



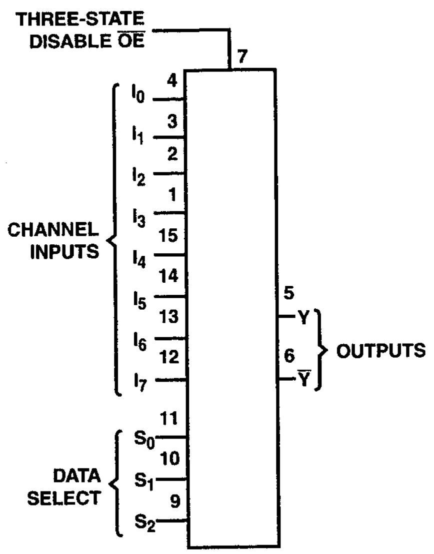
Figuur 5/4.5-9: Aansluitingen.

74AC251, 74ACT251

8-naar-1 lijn dataselector/multiplexer

- 74AC251:
  V_{CC} = 1,5 V tot 5,5 V
- 74ACT251:
  V_{CC} = 4,5 V tot 5,5 V, TTL-compatibel
- Behuizingen:
  16-pens plastic DIL en SOIC

4.5 74AC(T)xx en 74AHC(T)xx series



Figuur 5/4.5-10: Logisch schema (positieve logica).

INPUTS				OUTPUTS	
SELECT					
S2	S1	S0	OUTPUT ENABLE $\overline{OE}$	Y	$\overline{Y}$
X	X	X	H	Z	Z
L	L	L	L	I_0	$\overline{I_0}$
L	L	H	L	I_1	$\overline{I_1}$
L	H	L	L	I_2	$\overline{I_2}$
L	H	H	L	I_3	$\overline{I_3}$
H	L	L	L	I_4	$\overline{I_4}$
H	L	H	L	I_5	$\overline{I_5}$
H	H	L	L	I_6	$\overline{I_6}$
H	H	H	L	I_7	$\overline{I_7}$

H = High logic level, L = Low logic level, Z = High impedance (off), X = Irrelevant, I_0, I_1...I_7 = The level of the respective input

Figuur 5/4.5-11: Waarheidstabel.

PARAMETER	SYMBOL	V_{CC} (V)	-40°C TO 85°C MIN	-40°C TO 85°C TYP	-40°C TO 85°C MAX	-55°C TO 125°C MIN	-55°C TO 125°C TYP	-55°C TO 125°C MAX	UNITS
ACT TYPES									
Propagation Delay, Data to Y Output	t_{PLH}, t_{PHL}	5 (Note 10)	3.5	-	12.3	3.4	-	13.5	ns
Propagation Delay, Data to $\overline{Y}$ Output	t_{PLH}, t_{PHL}	5	3.8	-	13.5	3.7	-	14.9	ns
Propagation Delay, Select to Y Output	t_{PLH}, t_{PHL}	5	4.7	-	16.5	4.6	-	18.2	ns
Propagation Delay, Select to $\overline{Y}$ Output	t_{PLH}, t_{PHL}	5	5.1	-	17.8	4.9	-	19.6	ns
Propagation Delay, Output Enable and Output Disable to Output	t_{PZH}, t_{PZL}, t_{PHZ}, t_{PLZ}	5	3.5	-	12.3	3.4	-	13.5	ns
Three-State Output Capacitance	C_O								
Input Capacitance	C_I	-	-	-	10	-	-	10	pF
Power Dissipation Capacitance	C_{PD} (Note 11)	-	-	45	-	-	45	-	pF

NOTES:

8. Limits tested 100%.
9. 3.3V Min is at 3.6V, Max is at 3V.
10. 5V Min is at 5.5V, Max is at 4.5V.
11. C_{PD} is used to determine the dynamic power consumption per device.
    $P_D = V_{CC}^2 f_i (C_{PD} + C_L)$ where f_i = input frequency, C_L = output load capacitance, V_{CC} = supply voltage.

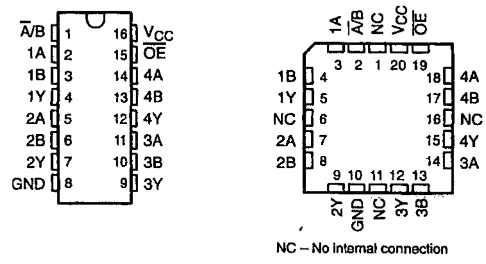
Tabel 5/4.5-14: Schakeltijden 74ACT251 (V_{cc} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

74AHC257, 74AHCT257

4 x 2-naar-1 lijn dataselector/multiplexer (niet-inverterend)

- 74AHC257:
  V_{CC} = 2 V tot 5,5 V
- 74AHCT257:
  V_{CC} = 4,5 V tot 5,5 V, TTL-compatibel
- Behuizingen:
  16-pens plastic DIL, SOIC, SSOP, TSSOP en TVSOP en 20-pens ceramisch LCC en flatpack



Figuur 5/4.5-12: Aansluitingen.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHC257 T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH} t_{PHL}	A or B	Y	C_L = 15 pF						ns
t_{PLH} t_{PHL}	$\overline{A}$/B	Y	C_L = 15 pF						ns
t_{PZH} t_{PZL}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PHZ} t_{PLZ}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PLH} t_{PHL}	A or B	Y	C_L = 50 pF						ns
t_{PLH} t_{PHL}	$\overline{A}$/B	Y	C_L = 50 pF						ns
t_{PZH} t_{PZL}	$\overline{OE}$	Y	C_L = 50 pF						ns
t_{PHZ} t_{PLZ}	$\overline{OE}$	Y	C_L = 50 pF						ns

Tabel 5/4.5-15: Schakeltijden 74AHC257 (V_{CC} = 3,3 V +/-0,3 V).

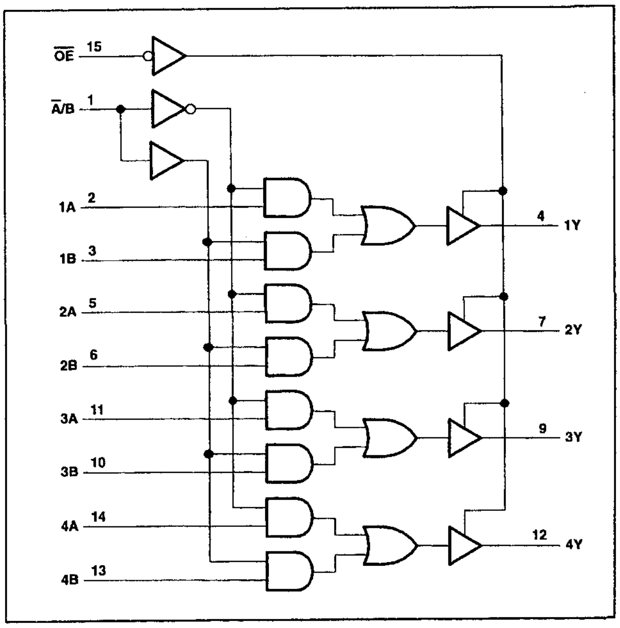
4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHC257 $T_A = 25°C$ MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PLZ}									
t_{PLH}	A or B	Y	$C_L = 50$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 50$ pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PLZ}									

Tabel 5/4.5-16: Schakeltijden 74AHC257 ($V_{cc} = 5$ V +/-0,5 V).

INPUTS				OUTPUT
$\overline{OE}$	$\overline{A}$/B	A	B	Y
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Figuur 5/4.5-13: Waarheidstabel.

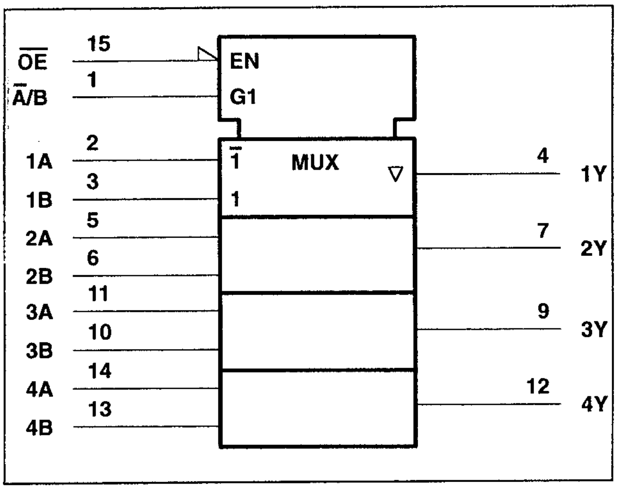


Figuur 5/4.5-14: Logisch schema (positieve logica).

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHCT257 T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	C_L = 15 pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PLZ}									
t_{PLH}	A or B	Y	C_L = 50 pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF						ns
t_{PLH}									
t_{PZH}	$\overline{OE}$	Y	C_L = 50 pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	C_L = 50 pF						ns
t_{PLZ}									

Tabel 5/4.5-17: Schakeltijden 74AHCT257 (V_{CC} = 5 V +/-0,5 V).

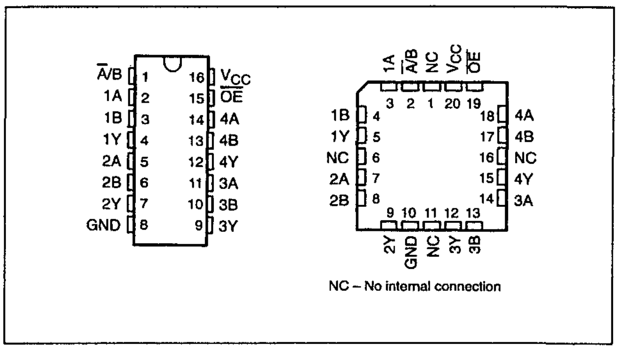


Figuur 5/4.5-15: Logisch symbool.

74AHC258, 74AHCT258

4 x 2-naar-1 lijn dataselector/multiplexer (inverterend)

- 74AHC258:
  V_{CC} = 2 V tot 5,5 V
- 74AHCT258:
  V_{CC} = 4,5 V tot 5,5 V, TTL-compatibel
- Behuizingen:
  16-pens plastic DIL, SOIC, SSOP, TSSOP en TVSOP en 20-pens ceramisch LCC en flatpack



Figuur 5/4.5-16: Aansluitingen.

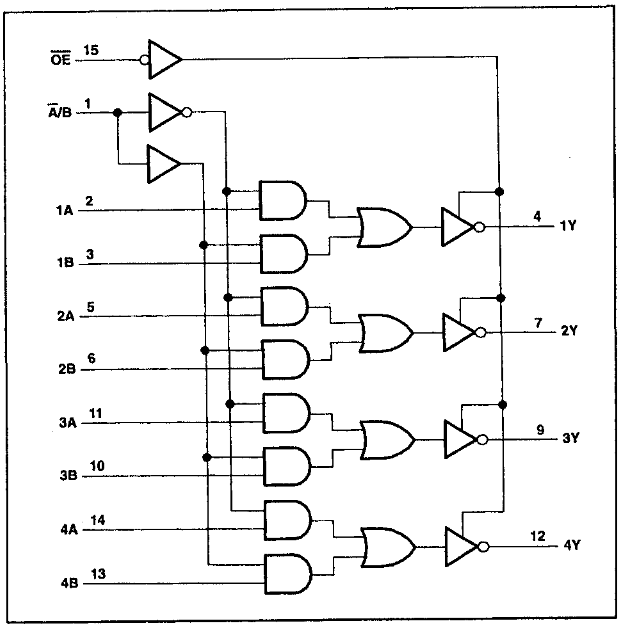
4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHC258 $T_A = 25°C$ MIN	SN74AHC258 $T_A = 25°C$ TYP	SN74AHC258 $T_A = 25°C$ MAX	SN74AHC258 MIN	SN74AHC258 MAX	UNIT
t_{PLH}	A or B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PLZ}									
t_{PLH}	A or B	Y	$C_L = 50$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 50$ pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PLZ}									

Tabel 5/4.5-18: Schakeltijden 74AHC258 (V_{CC} = 3,3 V +/-0,3 V).

INPUTS				OUTPUT
$\overline{OE}$	$\overline{A}$/B	A	B	Y
H	X	X	X	Z
L	L	L	X	H
L	L	H	X	L
L	H	X	L	H
L	H	X	H	L

Figuur 5/4.5-17: Waarheidstabel.

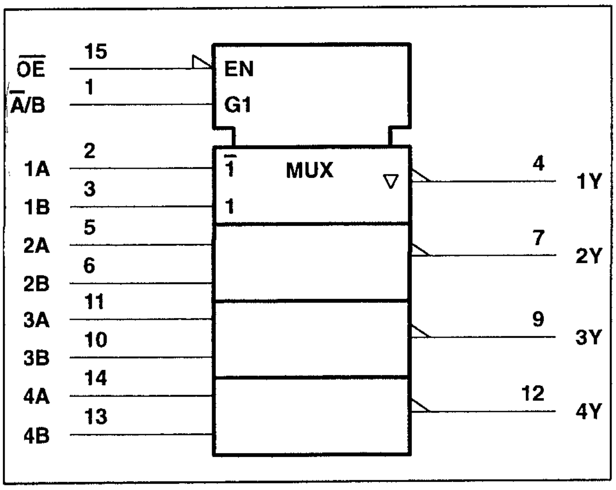


Figuur 5/4.5-18: Logisch schema (positieve logica).

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHC258					UNIT
				T_A = 25°C			MIN	MAX	
				MIN	TYP	MAX			
t_{PLH}	A or B	Y	C_L = 15 pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	C_L = 15 pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	C_L = 15 pF						ns
t_{PLZ}									
t_{PLH}	A or B	Y	C_L = 50 pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	C_L = 50 pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	C_L = 50 pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	C_L = 50 pF						ns
t_{PLZ}									

Tabel 5/4.5-19: Schakeltijden 74AHC258 (V_{CC} = 5 V +/-0,5 V).



Figuur 5/4.5-19: Logisch symbool.

4.5 74AC(T)xx en 74AHC(T)xx series

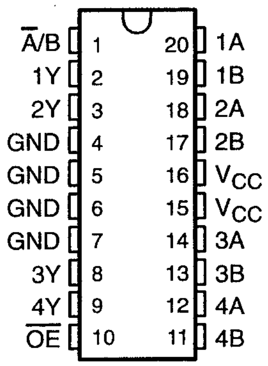
PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	SN74AHCT258 $T_A = 25°C$ MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 15$ pF						ns
t_{PHL}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15$ pF						ns
t_{PLZ}									
t_{PLH}	A or B	Y	$C_L = 50$ pF						ns
t_{PHL}									
t_{PLH}	$\overline{A}$/B	Y	$C_L = 50$ pF						ns
t_{PLH}									
t_{PZH}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PZL}									
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50$ pF						ns
t_{PLZ}									

Tabel 5/4.5-20: Schakeltijden 74AHCT258 (V_{cc} = 5 V +/-0,5 V).

74AC11157, 74ACT11157

4x 2-naar-1 lijn dataselector/multiplexer (niet-inverterend)

- 74AC11157: V_{CC} = 1.5 V tot 5,5 V
- 74ACT11157: V_{CC} = 4,5 V tot 5,5 V
- Behuizingen: 20-pens plastic DIL en SOIC



Figuur 5/4.5-20: Aansluitingen.

INPUTS $\overline{OE}$	$\overline{A}$/B	A	B	OUTPUT Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Figuur 5/4.5-21: Waarheidstabel.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25°C$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.8	6.2	8.5	1.8	9.5	ns
t_{PHL}			2.6	8.3	11.1	2.6	12.5	
t_{PLH}	$\overline{A}$/B	Y	1.9	6.8	8.9	1.9	10	ns
t_{PHL}			2.7	8.7	11.4	2.7	12.9	
t_{PLH}	$\overline{G}$	Y	1.6	6	8.6	1.6	9.2	ns
t_{PHL}			2.8	8.6	11.2	2.8	12.3	

Tabel 5/4.5-21: Schakeltijden 74AC11157 (V_{CC} = 3,3 V +/-0,3 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25°C$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	3.9	5.8	1.5	6.4	ns
t_{PHL}			2.2	5.3	7.5	2.2	8.6	
t_{PLH}	$\overline{A}$/B	Y	1.7	4.2	6.2	1.7	6.8	ns
t_{PHL}			2.3	5.5	8	2.3	9	
t_{PLH}	$\overline{G}$	Y	1.6	3.8	5.9	1.6	6.5	ns
t_{PHL}			2.3	5.4	7.8	2.3	8.8	

Tabel 5/4.5-22: Schakeltijden 74AC11157 (V_{CC} = 5 V +/-0,5 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25°C$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	2.6	5.1	7.1	2.6	7.8	ns
t_{PHL}			3.1	6.6	10.4	3.1	11.3	
t_{PLH}	$\overline{A}$/B	Y	2.3	5.6	8.7	2.3	9.5	ns
t_{PHL}			3.1	6.8	10.5	3.1	11.5	
t_{PLH}	$\overline{OE}$	Y	2.1	5.1	7.9	2.1	8.6	ns
t_{PHL}			3.6	6.9	9.7	3.6	10.8	

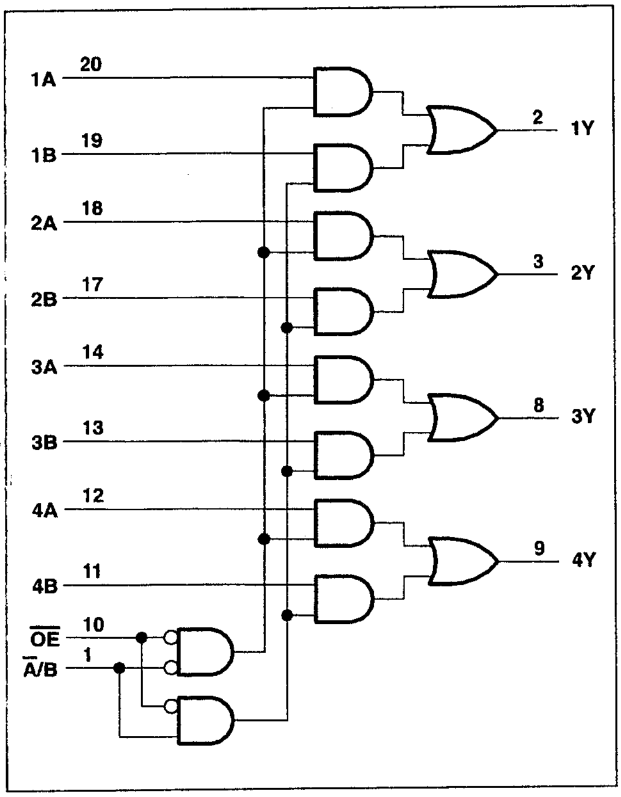
Tabel 5/4.5-23: Schakeltijden 74ACT11157 (V_{CC} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

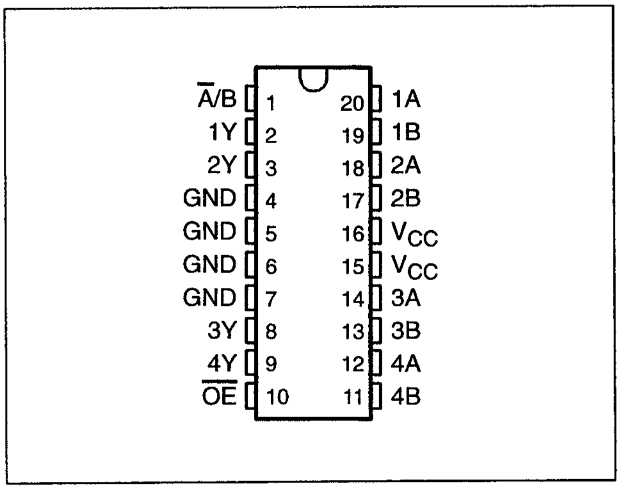
74AC11158, 74ACT11158

4 x 2-naar-1 lijn dataselector/multiplexer (inverterend)

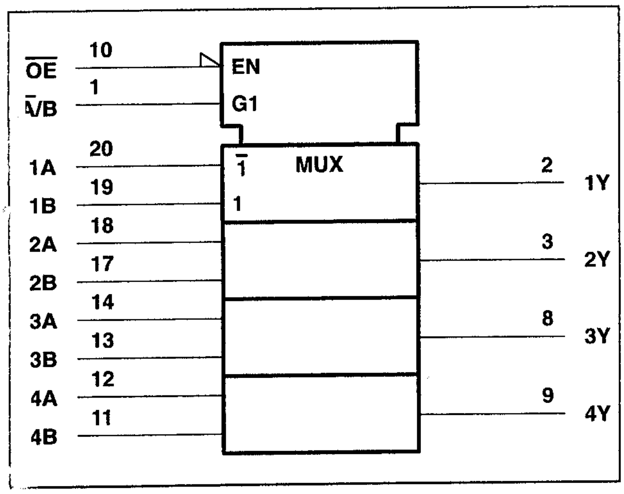
- 74AC11158:
  V_{CC} = 1.5 V tot 5,5 V
- 74ACT11158:
  V_{CC} = 4,5 V tot 5,5 V
- Behuizingen:
  20-pens plastic DIL en SOIC



Figuur 5/4.5-22: Logisch schema (positieve logica).



Figuur 5/4.5-24: Aansluitingen.



Figuur 5/4.5-23: Logisch symbool.

INPUTS				OUTPUT
$\overline{OE}$	$\overline{A}$/B	A	B	Y
H	X	X	X	H
L	L	L	X	H
L	L	H	X	L
L	H	X	L	H
L	H	X	H	L

Figuur 5/4.5-25: Waarheidstabel.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	5.8	8.3	1.5	9	ns
t_{PHL}			1.5	5.9	8.6	1.5	9.4	
t_{PLH}	$\overline{A}$/B	Y	1.5	6.5	9	1.5	9.8	ns
t_{PHL}			1.5	6.8	9.4	1.5	10.3	
t_{PLH}	$\overline{OE}$	Y	1.5	5.7	8.1	1.5	9	ns
t_{PHL}			1.5	6.3	8.8	1.5	9.7	

Tabel 5/4.5-24: Schakeltijden 74AC11158 (V_{CC} = 3,3 V +/-0,3 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	3.6	6.4	1.5	6.8	ns
t_{PHL}			1.5	3.9	6.6	1.5	7.4	
t_{PLH}	$\overline{A}$/B	Y	1.5	4.1	6.9	1.5	7.4	ns
t_{PHL}			1.5	4.9	7.2	1.5	7.9	
t_{PLH}	$\overline{OE}$	Y	1.5	3.7	6.4	1.5	6.9	ns
t_{PHL}			1.5	4.2	6.9	1.5	7.5	

Tabel 5/4.5-25: Schakeltijden 74AC11158 (V_{CC} = 5 V +/-0,5 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	2	5.1	7.6	2	8.4	ns
t_{PHL}			2.7	5.9	8.3	2.7	9.4	
t_{PLH}	A/B	Y	2.3	5.3	7.7	2.3	8.5	ns
t_{PHL}			2.9	6.7	9.8	2.9	10.8	
t_{PLH}	$\overline{OE}$	Y	2.5	5.1	6.8	2.5	7.5	ns
t_{PHL}			2.5	6.1	8.9	2.5	10	

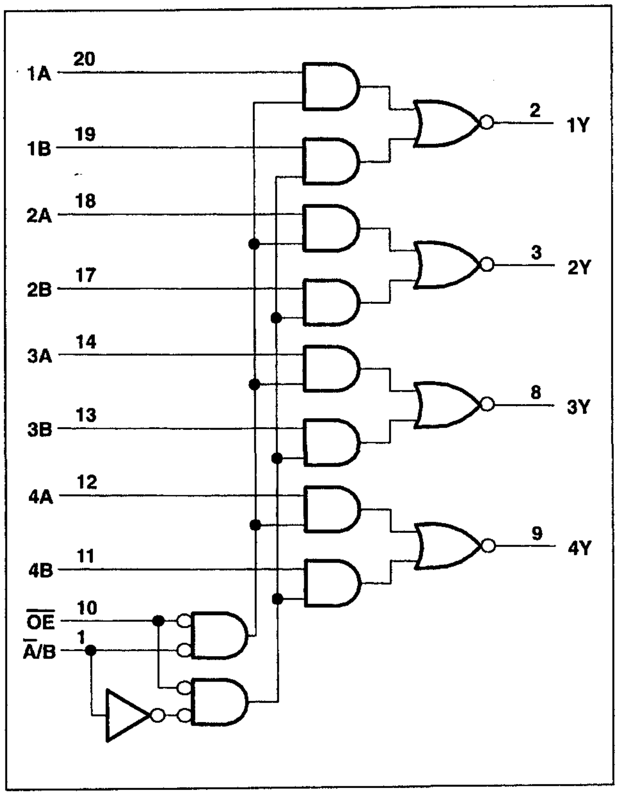
Tabel 5/4.5-26: Schakeltijden 74ACT11158 (V_{CC} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

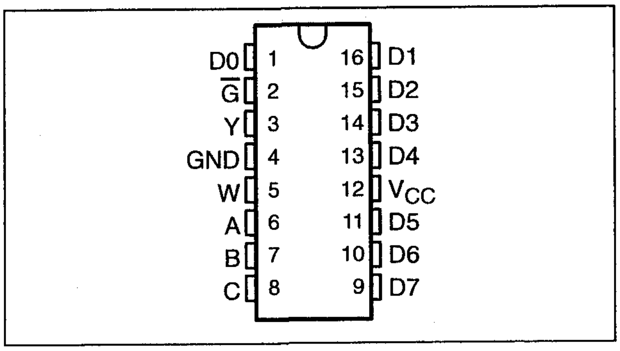
74AC11251, 74ACT11251

8-naar-1 lijn dataselector/multiplexer

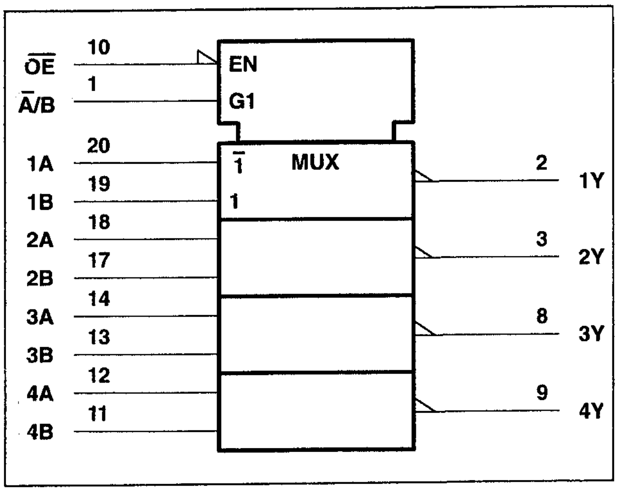
- 74AC11251:
  V_{CC} = 1.5 V tot 5,5 V
- 74ACT11251:
  V_{CC} = 4,5 V tot 5,5 V
- Behuizingen:
  16-pens plastic DIL en SOIC



Figuur 5/4.5-26: Logisch schema (positieve logica).



Figuur 5/4.5-28: Aansluitingen.



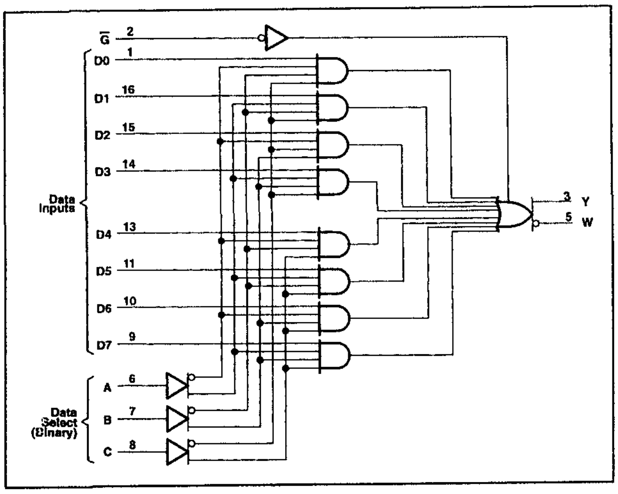
Figuur 5/4.5-27: Logisch symbool.

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	$\overline{G}$		
X	X	X	H	Z	Z
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

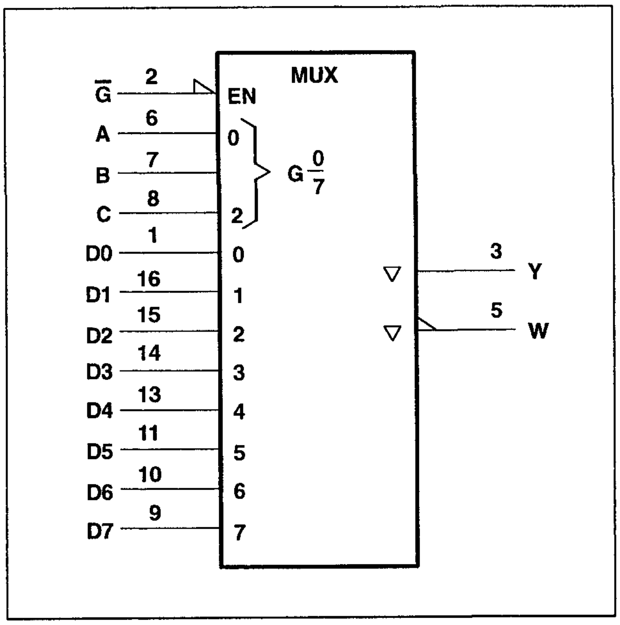
H = high level, L = low level, X = irrelevant.
D0, D1,...D7 = the level of the respective D input

Figuur 5/4.5-29: Waarheidstabel.

4.5 74AC(T)xx en 74AHC(T)xx series



Figuur 5/4.5-30: Logisch schema (positieve logica).



Figuur 5/4.5-31: Logisch symbool.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A, B, or C	Y	2.6	8.1	10.8	2.6	12.1	ns
t_{PHL}			2.8	8.3	10.8	2.8	11.9	
t_{PLH}	A, B, or C	W	2.6	7.9	10.2	2.6	11.3	ns
t_{PHL}			2.5	8	10.8	2.5	12.1	
t_{PLH}	Any D	Y	2.4	6.3	8.2	2.4	9	ns
t_{PHL}			2.1	6.1	8	2.1	8.8	
t_{PLH}	Any D	W	1.9	5.7	7.5	1.9	8.2	ns
t_{PHL}			2.3	6.3	8.2	2.3	9.1	
t_{PZH}	G	Y	1.3	4.1	5.7	1.3	6.1	ns
t_{PZL}			1.6	4.9	6.6	1.6	7.2	
t_{PZH}	G	W	1.2	4	5.5	1.2	5.9	ns
t_{PZL}			1.6	4.8	6.5	1.6	7.1	
t_{PHZ}	G	Y	3	4.5	5.9	3	6.1	ns
t_{PLZ}			2.8	4.7	6.3	2.8	6.6	
t_{PHZ}	G	W	2.9	4.5	5.9	2.9	6.2	ns
t_{PLZ}			2.9	4.7	6.3	2.9	6.6	

Tabel 5/4.5-27: Schakeltijden 74AC11251 (V_{CC} = 3,3 V +/-0,3 V).

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A, B, or C	Y	2.2	5.3	7.5	2.2	8.3	ns
t_{PHL}			2.4	5	7.5	2.4	8.4	
t_{PLH}	A, B, or C	W	2.1	4.7	7.1	2.1	7.9	ns
t_{PHL}			2.2	5.4	7.5	2.2	8.5	
t_{PLH}	Any D	Y	2	4	5.9	2	6.5	ns
t_{PHL}			1.8	3.8	5.7	1.8	6.3	
t_{PLH}	Any D	W	1.6	3.5	5.4	1.6	5.8	ns
t_{PHL}			1.9	4.1	5.9	1.9	6.6	
t_{PZH}	G	Y	1.1	2.7	4.4	1.1	4.7	ns
t_{PZL}			1.3	3.1	4.8	1.3	5.2	
t_{PZH}	G	W	1	2.6	4.3	1	4.6	ns
t_{PZL}			1.2	3	4.7	1.2	5.1	
t_{PHZ}	G	Y	2.8	4.2	5.6	2.8	5.9	ns
t_{PLZ}			2.7	4.2	5.7	2.7	6	
t_{PHZ}	G	W	2.9	4.3	5.7	2.9	6	ns
t_{PLZ}			2.7	4.2	5.7	2.7	5.9	

Tabel 5/4.5-28: Schakeltijden 74AC11251 (V_{cc} = 5 V +/-0,5 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A, B, or C	Y	3.2	6.8	10.2	3.2	11.4	ns
t_{PHL}			2.7	6.7	9.5	2.7	10.5	
t_{PLH}	A, B, or C	W	2.5	6.3	8.8	2.5	9.8	ns
t_{PHL}			2.8	6.3	9.7	2.8	10.8	
t_{PLH}	Any D	Y	3	5.7	7.8	3	8.7	ns
t_{PHL}			2	5.2	7.9	2	8.6	
t_{PLH}	Any D	W	1.7	4.7	7.1	1.7	7.8	ns
t_{PHL}			2.7	5.1	7.2	2.7	8	
t_{PZH}	$\overline{G}$	Y	1.3	3.7	6.2	1.3	6.8	ns
t_{PZL}			1.3	4	6	1.3	6.8	
t_{PZH}	$\overline{G}$	W	1	4.4	6.4	1	7	ns
t_{PZL}			1.3	4.1	5.8	1.3	6.4	
t_{PHZ}	$\overline{G}$	Y	4.1	5.7	7.6	4.1	8.1	ns
t_{PLZ}			3.1	4	6.6	3.1	6.9	
t_{PHZ}	$\overline{G}$	W	4.1	5.7	7.7	4.1	8.2	ns
t_{PLZ}			3.2	4.1	6.6	3.2	6.9	

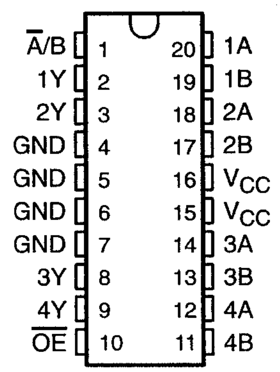
Tabel 5/4.5-29: Schakeltijden 74ACT11251 (V_{cc} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

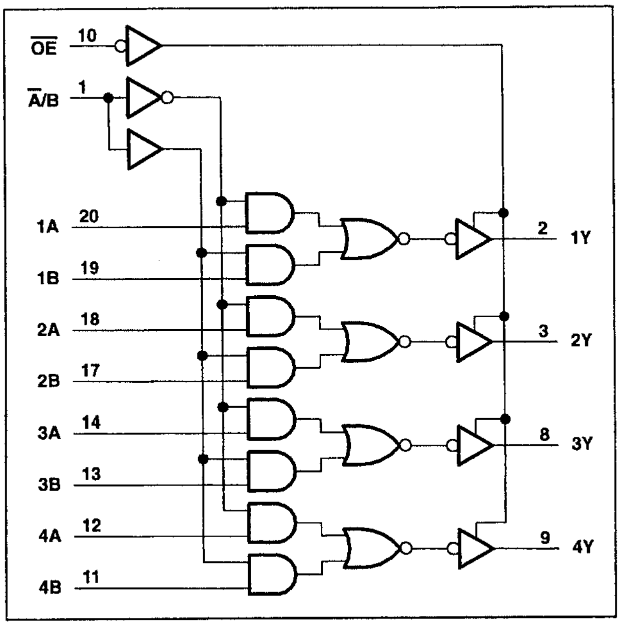
74AC11257, 74ACT11257

4 x 2-naar-1 lijn dataselector/multiplexer (niet-inverterend)

- 74AC11257:
  V_{CC} = 1.5 V tot 5,5 V
- 74ACT11257:
  V_{CC} = 4,5 V tot 5,5 V
- Behuizingen:
  20-pens plastic DIL en SOIC



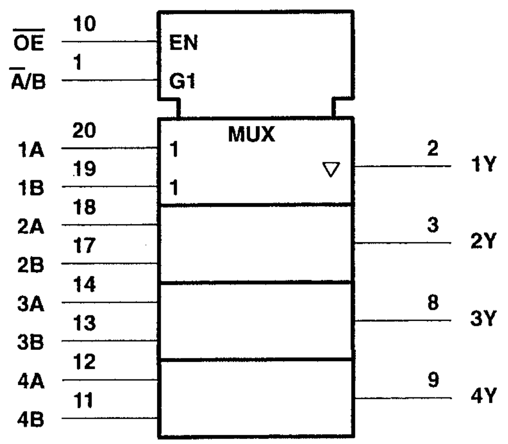
Figuur 5/4.5-32: Aansluitingen.



Figuur 5/4.5-34: Logisch schema (positieve logica).

INPUTS				OUTPUT
OE	SELECT A̅/B	DATA A	DATA B	Y
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Figuur 5/4.5-33: Waarheidstabel.



Figuur 5/4.5-35: Logisch symbool.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	1.5	5.6	8.1	1.5	8.9	ns
t_{PHL}			1.5	6.2	9	1.5	10.1	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	6.1	9.2	1.5	10.2	ns
t_{PHL}			1.5	6.6	10	1.5	11.2	
t_{PZH}	$\overline{OE}$	Any Y	1.5	5.6	8.2	1.5	9.1	ns
t_{PZL}			1.5	7.5	10.4	1.5	11.8	
t_{PHZ}	$\overline{OE}$	Any Y	1.5	5.6	7.6	1.5	8.3	ns
t_{PLZ}			1.5	6.2	8.8	1.5	9.6	

Tabel 5/4.5-30: Schakeltijden 74AC11257 (V_{CC} = 3,3 V +/-0,3 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	1.5	3.6	5.8	1.5	6.4	ns
t_{PHL}			1.5	4.1	6.5	1.5	7.2	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	4	6.5	1.5	7.2	ns
t_{PHL}			1.5	4.4	7.1	1.5	7.9	
t_{PZH}	$\overline{OE}$	Any Y	1.5	3.8	5.9	1.5	6.5	ns
t_{PZL}			1.5	5	7.6	1.5	8.6	
t_{PHZ}	$\overline{OE}$	Any Y	1.5	4.5	6.4	1.5	7.6	ns
t_{PLZ}			1.5	4.8	6.9	1.5	7.6	

Tabel 5/4.5-31: Schakeltijden 74AC11257 (V_{CC} = 5 V +/-0,5 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C MIN	TYP	MAX	MIN	MAX	UNIT
t_{PLH}	A or B	Y	1.5	4.4	6.4	1.5	6.9	ns
t_{PHL}			1.5	5	8	1.5	8.7	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	4.7	7.6	1.5	8.2	ns
t_{PHL}			1.5	5.7	8.5	1.5	9.4	
t_{PZH}	$\overline{OE}$	Any Y	1.5	4.2	6.9	1.5	7.3	ns
t_{PZL}			1.5	5.5	8.7	1.5	9.6	
t_{PHZ}	$\overline{OE}$	Any Y	1.5	5.7	7.6	1.5	8.4	ns
t_{PLZ}			1.5	6	7.9	1.5	8.5	

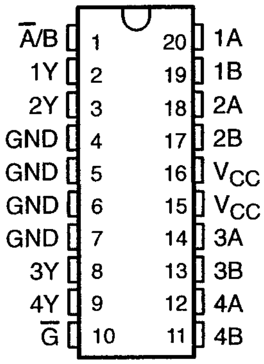
Tabel 5/4.5-32: Schakeltijden 74ACT11257 (V_{CC} = 5 V +/-0,5 V).

4.5 74AC(T)xx en 74AHC(T)xx series

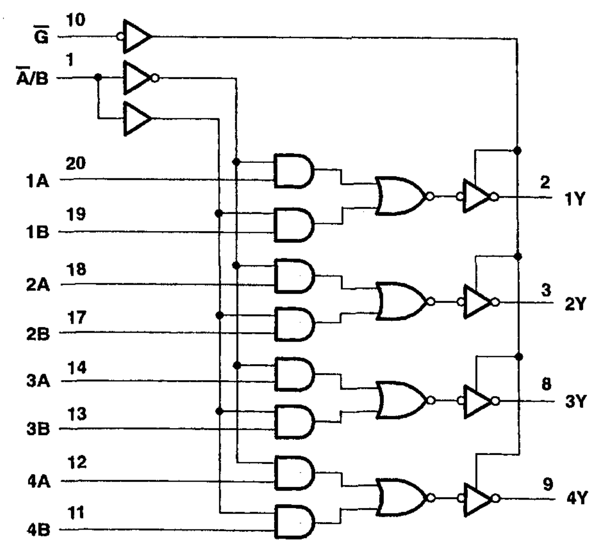
74AC11258, 74ACT11258

4 x 2-naar-1 lijn dataselector/multiplexer (inverterend)

- 74AC11258:
  V_{CC} = 1.5 V tot 5,5 V
- 74ACT11258:
  V_{CC} = 4,5 V tot 5,5 V
- Behuizingen:
  20-pens plastic DIL en SOIC



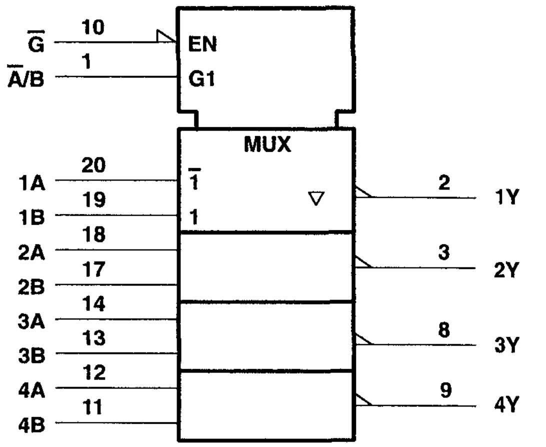
Figuur 5/4.5-36: Aansluitingen.



Figuur 5/4.5-38: Logisch schema (positieve logica).

INPUTS				OUTPUT Y
OUTPUT CONTROL $\overline{G}$	SELECT $\overline{A}$/B	DATA A	DATA B	
H	X	X	X	Z
L	L	L	X	H
L	L	H	X	L
L	H	X	L	H
L	H	X	H	L

Figuur 5/4.5-37: Waarheidstabel.



Figuur 5/4.5-39: Logisch symbool.

4.5 74AC(T)xx en 74AHC(T)xx series

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	5.3	7	1.5	7.7	ns
t_{PHL}			1.5	6	7.9	1.5	9.2	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	5.6	7.9	1.5	8.7	ns
t_{PHL}			1.5	6.7	9.1	1.5	10.1	
t_{PZH}	$\overline{G}$	Any Y	1.5	5.3	7.1	1.5	7.7	ns
t_{PZL}			1.5	6.8	9.1	1.5	10.2	
t_{PHZ}	$\overline{G}$	Any Y	1.5	5.4	6.9	1.5	7.4	ns
t_{PLZ}			1.5	6	7.8	1.5	8.4	

Tabel 5/4.5-33: Schakeltijden 74AC11258 (V_{CC} = 3,3 V +/-0,3 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	3.3	5	1.5	5.4	ns
t_{PHL}			1.5	4	6.1	1.5	6.8	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	3.6	5.8	1.5	6.3	ns
t_{PHL}			1.5	4.4	6.7	1.5	7.5	
t_{PZH}	$\overline{G}$	Any Y	1.5	3.5	5.3	1.5	5.7	ns
t_{PZL}			1.5	4.5	6.8	1.5	7.5	
t_{PHZ}	$\overline{G}$	Any Y	1.5	4.5	6.1	1.5	6.5	ns
t_{PLZ}			1.5	4.7	6.4	1.5	6.9	

Tabel 5/4.5-34: Schakeltijden 74AC11258 (V_{CC} = 5 V +/-0,5 V).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T_A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Any Y	1.5	5.4	7.7	1.5	8.5	ns
t_{PHL}			1.5	5.7	7.7	1.5	8.7	
t_{PLH}	$\overline{A}$/B	Any Y	1.5	5.7	8	1.5	8.8	ns
t_{PHL}			1.5	6.7	9.4	1.5	10.4	
t_{PZH}	$\overline{G}$	Any Y	1.5	5.7	8.1	1.5	8.8	ns
t_{PZL}			1.5	6.4	8.8	1.5	9.8	
t_{PHZ}	$\overline{G}$	Any Y	1.5	6.1	7.5	1.5	7.7	ns
t_{PLZ}			1.5	6.3	8.3	1.5	9	

Tabel 5/4.5-35: Schakeltijden 74ACT11258 (V_{CC} = 5 V +/-0,5 V).

5/5

Display-decoders

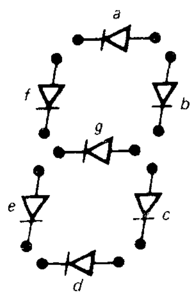
Inhoud

5/5.1

Achtergrond-informatie

Inleiding

Zoals in deel 5/1.1 al werd uitgelegd kunnen allerlei codes met behulp van logische poortschakelingen in een andere vorm worden omgezet.
Een speciale, zeer veel gebruikte vorm is de zogenaamde display-decoder. Hiermee wordt een binaire code (meestal BCD) omgezet in een voor zeven-segment displays bruikbare vorm, waardoor de bedoelde informatie zichtbaar kan worden gemaakt. Meestal zijn deze displays opgebouwd uit zeven licht emitterende dioden (LED's) die op een substraat zijn opgesteld zoals in figuur 5/5.1-1 te zien is.



Figuur 5/5.1-1: Een uit zeven licht emitterende dioden (LED's) samengesteld display.

Wanneer bijvoorbeeld de decimale code 4 wordt aangeboden (binair 0100), moeten de dioden b, c, f en g geleiden.
Om het aantal toevoerdraden naar de dioden te verminderen worden alle anodes met elkaar verbonden (common-anode) of alle kathodes (common-cathode).
Bij TTL-schakelingen worden meestal de eerste toegepast omdat TTL beter in staat is stroom te "sinken" dan te "sourcen".
Bij CMOS-schakelingen maakt dit niets uit, zodat daar vaak common-cathode displays worden toegepast die dan meestal nog meer voordelen bieden.

Behalve 7-segments LED-displays kunnen ook vloeibare kristal-displays (Liquid Chrystal = LCD), gasontladings- en fluorescerende displays worden toegepast.

Als alle anodes van de LED's in figuur 5/5.1-1 op +5V zijn aangesloten moeten de kathodes van die LED's die licht moeten uitstralen door de decoder LAAG worden getrokken om deze te laten geleiden.
De stroom door de LED's moet dan meestal door externe weerstanden tot een veilige waarde worden begrensd (meestal ongeveer 10 mA, afhankelijk van het type LED-display).

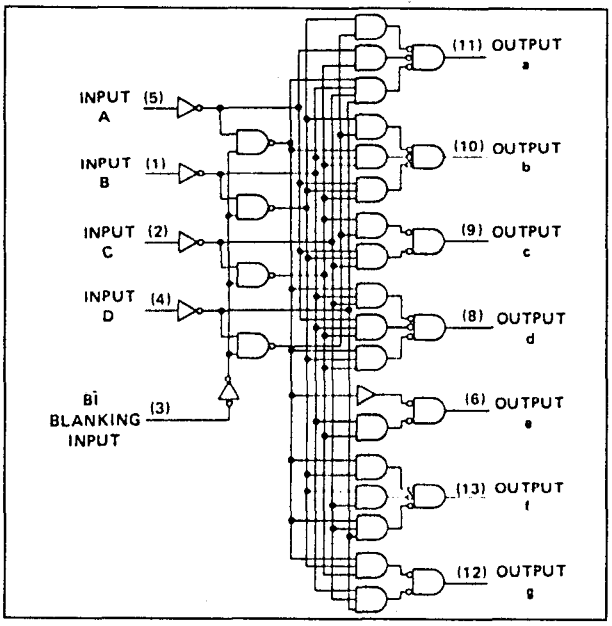
Enkele voorbeelden

Aan de hand van enkele voorbeelden zullen de functionele schema's, logische symbolen en waarheidstabellen worden verklaard.

De 7449

Het eenvoudigste TTL-type BCD-naar-7 segment decoder/driver is de 7449. Figuur 5/5.1-2 geeft het functionele schema waarin men kan zien hoe een en ander inwendig is geregeld.

5.1 Achtergrond-informatie



Figuur 5/5.1-2: Functionele opbouw van een 7449 decoder/driver.

De waarheidstabel (tabel 5/5.1-1) kan men gebruiken om het logisch symbool (figuur 5/5.1-3) te controleren (en andersom). We zien dat als de blanking ingang ($\overline{BI}$) LAAG is alle uitgangen LAAG zijn, onafhankelijk van de A, B, C en D ingangen. In het logisch symbool wordt dit aangegeven met het "Grant"-signaal (G20). We zien dat de uitgangen hier worden afgeschakeld op een LAAG niveau.
Dit houdt in dat met een common-cathode zeven-segments display moet worden gewerkt. In het logisch symbool zijn de uitgangen dan ook niet van inverteer-streepjes voorzien. De uitgangen a tot en met g zijn alleen "waar" als $\overline{BI}$ niet-LAAG (HOOG) is. Wanneer $\overline{BI}$ HOOG is, verschijnt de van de ingangen A, B, C en D afhankelijke code op de uitgangen. De zichtbare vorm hiervan is te zien in figuur 5/5.1-4. Merk op dat behalve de cijfers 0 tot en met 9 ook een aantal andere karakters wordt weergegeven. Met vier data-ingangen zijn immers 16 verschillende codes mogelijk. Deze extra karakters zijn bij de decoders nogal eens verschillend. Ook de cijfers 6 en 9 hebben twee verschijningsvormen, namelijk met en zonder "stok" (zoals in figuur 5/5.1-4).

De 7448

Het logische symbool van het volgende type 7448 is iets ingewikkelder (figuur 5/5.1-5). Dat komt omdat behalve de $\overline{BI}$-ingang nu ook een "lamptest" en een "ripple-blanking" in- en uitgang zijn opgenomen. De functie van de lamptest is duidelijk: wordt $\overline{LT}$ LAAG gemaakt, dan moeten alle zeven segmenten van het display "branden". De uitgangen a tot en met g zijn zodoende voorzien van de aanwijzing 20. We zien (ook in de waarheidstabel 5/5.1-2) dat $\overline{LT}$ alle andere ingangen behalve $\overline{BI}$ de baas is.

Met de blanking ingang $\overline{BI}$ kunnen weer alle uitgangen worden uitgeschakeld (onafhankelijk van de data-ingangen). We zien ook hier dat alle uitgangen LAAG gaan, zodat een common-cathode display moet worden gebruikt.
De ripple-blanking ingang $\overline{RBI}$ wordt gebruikt om voorop lopende nullen (leading zero's) te onderdrukken. Wanneer een aantal displays op een rij wordt gebruikt om grote getallen weer te geven, is het lastig om zo'n getal af te lezen als er een stel nullen aan de linkerkant staan. De $\overline{RBI}$-ingang heeft dezelfde functie als de $\overline{BI}$-ingang (het verbonden display uitzetten), maar dan op voorwaarde dat de informatie op de data-ingangen nul is. De $\overline{BI}/\overline{RBO}$-aansluiting wordt dan ook verbonden met de $\overline{RBI}$-ingang van zijn buurman aan de rechter kant, waarbij de $\overline{RBI}$-ingang van de decoder voor de hoogste waarde (helemaal links) aan GND (0 V) komt.

De 7446/7447

Zoals in het logisch symbool van het laatste voorbeeld, de 7446/7447, te zien is (figuur 5/5.1-6), is deze schakeling identiek aan de 7448 op de uitgangen na die geïnverteerd zijn. Dit IC heeft dan ook displays van het common-anode type nodig.
De waarheidstabel van deze IC's is gegeven in tabel 5/5.1-3.

5.1 Achtergrond-informatie

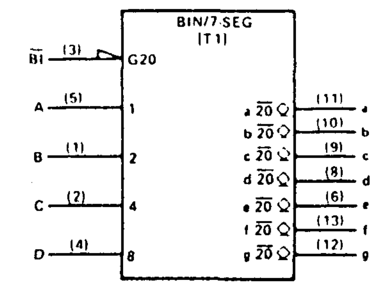
'49, 'LS49
FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS					OUTPUTS							NOTE
	D	C	B	A	$\overline{BI}$	a	b	c	d	e	f	g	
0	L	L	L	L	H	H	H	H	H	H	H	L	1
1	L	L	L	H	H	L	H	H	L	L	L	L	
2	L	L	H	L	H	H	H	L	H	H	L	H	
3	L	L	H	H	H	H	H	H	H	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	H	H	
5	L	H	L	H	H	H	L	H	H	L	H	H	
6	L	H	H	L	H	L	L	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H.	
9	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	L	L	L	L	L	L	L	L	2

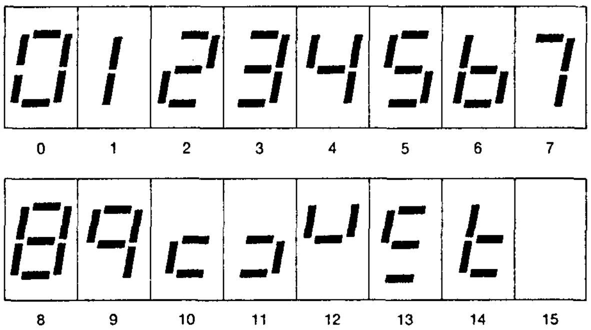
H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are low regardless of the level of any other input.

Tabel 5/5.1-1: Waarheidstabel van de 7449.



Figuur 5/5.1-3: Logisch symbool van de 7449.



Figuur 5/5.1-4: De met de ingangscode overeen komende zichtbare uitgangscodes (geldt voor de 7449, 7448, 7447 en 7446).

5.1 Achtergrond-informatie

'48, 'LS48
FUNCTION TABLE

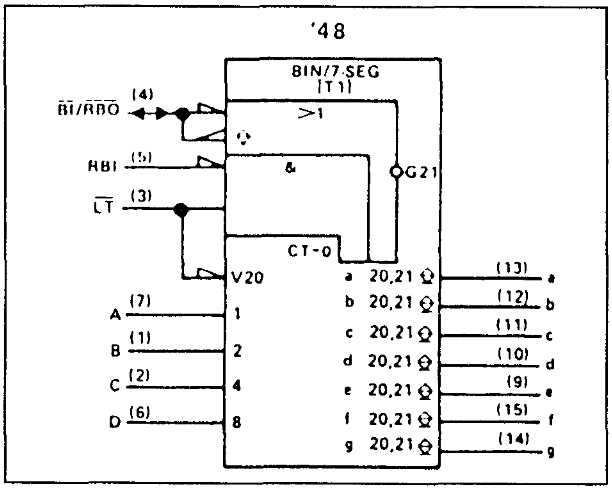
DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	1
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

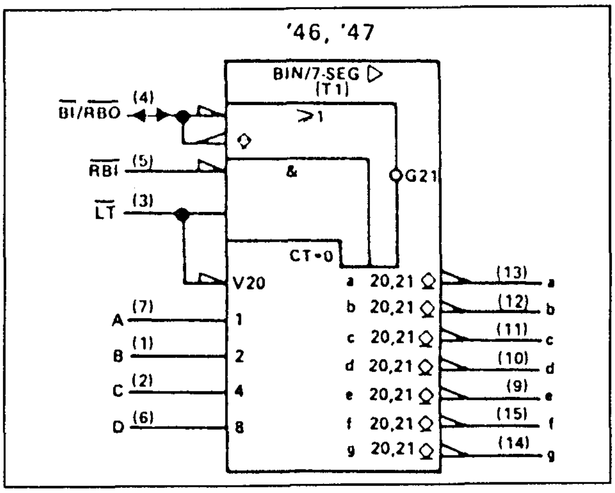
NOTES:
1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high, if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go low and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp test input, all segment outputs are high.

† $\overline{BI}/\overline{RBO}$ is wire-AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

Tabel 5/5.1-2: Waarheidstabel van de 7448.



Figuur 5/5.1-5: Logisch symbool van de 7448.



Figuur 5/5.1-6: Logisch symbool van de 7446/7447.

5.1 Achtergrond-informatie

'46A, '47A, 'LS47 FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

Tabel 5/5.1-3: Waarheidstabel van de 7446/7447.

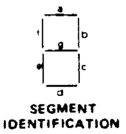
5.1 Achtergrond-informatie

5/5.2

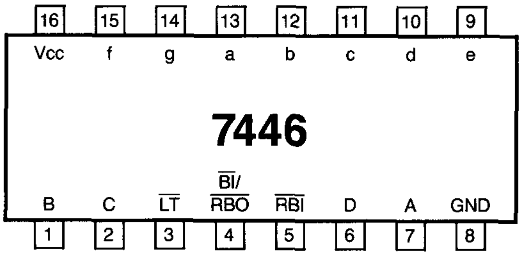
Display-decoders 74xx-serie

7446

BCD-naar-7 segment decoder/driver (aktief laag) met open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen

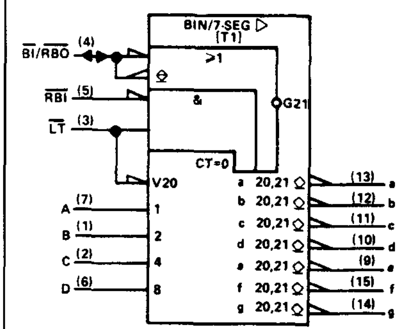






Figuur 5/5.2-46.

LOGICA	TTL1)	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	64									mA
Io(sink)	40									mA
Vo(off)	30									V
Toff2)	100									ns
Ton2)	100									ns
Toff3)	100									ns
Ton3)	100									ns



1) 7446 A 2) af/aan-schakeltijd door A ingang 3) af/aan-schakeltijd door RBI-ingang

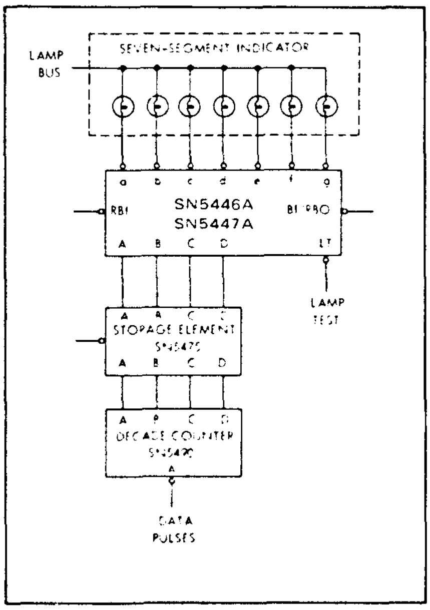
5.2 74xx-serie

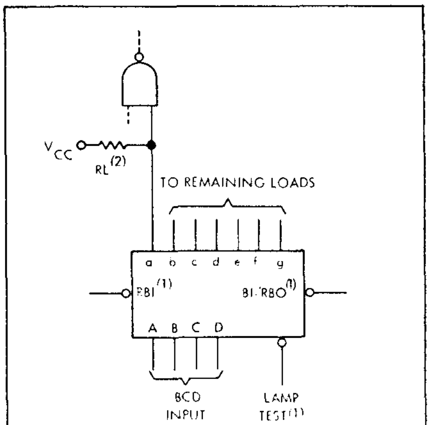
DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

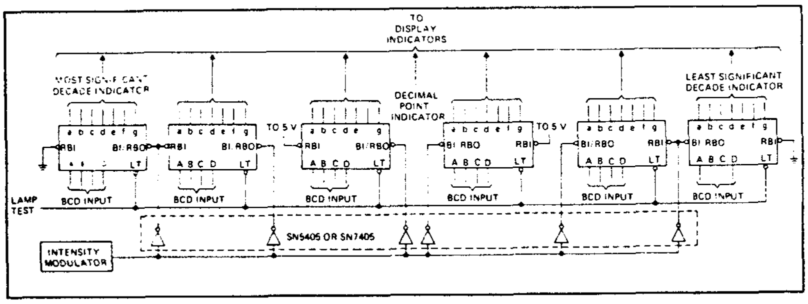
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).





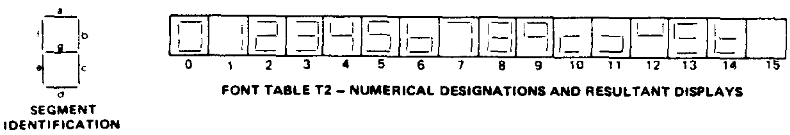
1. Available on SN5446A, SN5447A, SN5448, SN7446A, SN7447A, and SN7448 only.
2. Pull up resistor is required with SN5446A, SN5447A, SN5449, SN7446A, SN7447A or SN7449, and is optional with SN5448 or SN7448.

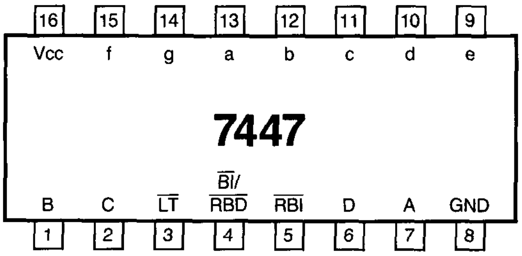


5.2 74xx-serie

7447

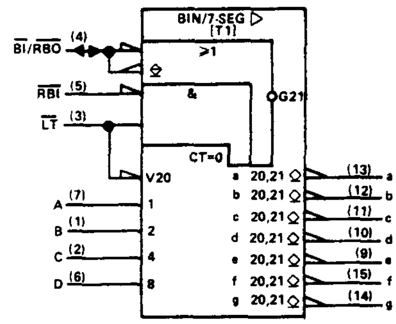
BCD-naar-7 segment decoder/driver (aktief laag) met open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen





Figuur 5/5.2-47.

LOGICA	TTL[1]	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	64				7					mA
Io(sink)	40				24					mA
Vo(off)	15				15					V
Toff[2]	100				100					ns
Ton[2]	100				100					ns
Toff[3]	100				100					ns
Ton[3]	100				100					ns



[1] 7447 A [2] af/aan-schakeltijd door A ingang [3] af/aan-schakeltijd door RBI-ingang

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

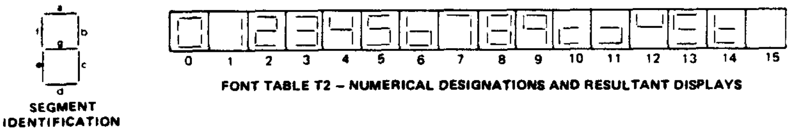
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

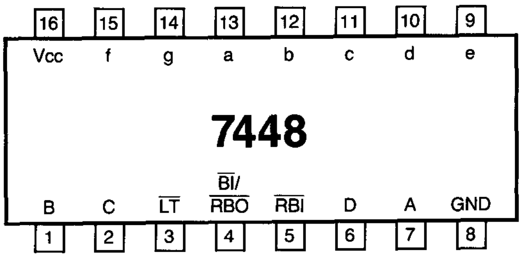
† BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

7448

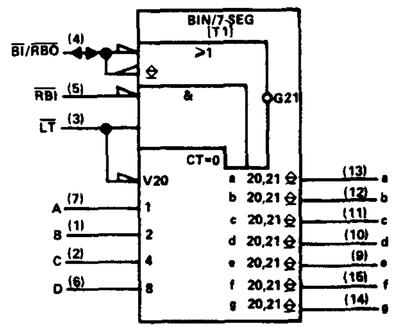
BCD-naar-7 segment decoder/driver (aktief hoog) met interne optrekweerstanden, lamp-test, onderdrukking voor- en nalopende nullen





Figuur 5/5.2-48.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	53				25			0.05[3)]		mA
Io(sink)	6.4				6			-50		mA
Vo(off)	5.5				5.5			3 tot 15		V
Tphl[1)]	100				100			450		ns
Tplh[1)]	100				100			450		ns
Tphl[2)]	100				100			140		ns
Tplh[2)]	100				100			600		ns



1) A-ingang → output 2) RBI-input → output 3) μA

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

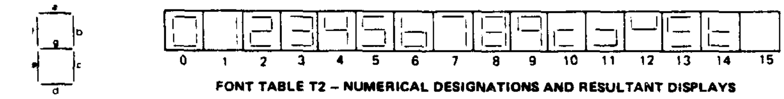
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high, if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp-test input high, all segment outputs go low and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

7449

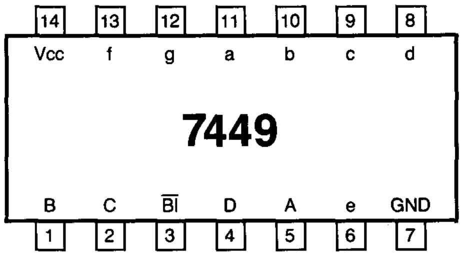
BCD-naar-7 segment decoder/driver (aktief hoog) met open-collector uitgangen, blanking input



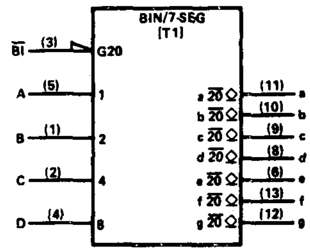
SEGMENT IDENTIFICATION

FONT TABLE T2 – NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

Figuur 5/5.2-49.



LOGICA	TTL[1)]	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	33				8					mA
Io(sink)	10				8					mA
Vo(off)	5.5				5.5					V
Tplh[2)]	100				100					ns
Tphl[2)]	100				100					ns
Tplh[3)]	100				100					ns
Tphl[3)]	100				100					ns



1) 5449 2) A-input → output 3) RBI-input → output

DECIMAL OR FUNCTION	INPUTS					OUTPUTS							NOTE
	D	C	B	A	BI	a	b	c	d	e	f	g	
0	L	L	L	L	H	H	H	H	H	H	H	L	1
1	L	L	L	H	H	L	H	H	L	L	L	L	
2	L	L	H	L	H	H	H	L	H	H	L	H	
3	L	L	H	H	H	H	H	H	H	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	H	H	
5	L	H	L	H	H	H	L	H	H	L	H	H	
6	L	H	H	L	H	L	L	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	L	L	L	L	L	L	L	L	2

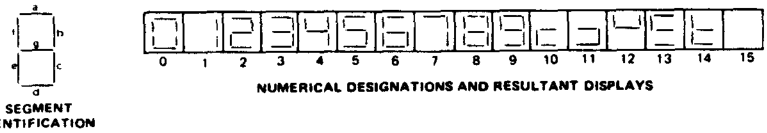
H = high level, L = low level, X = irrelevant

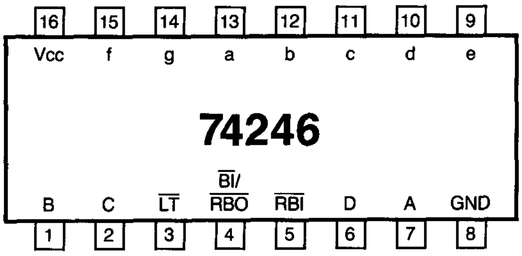
NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.

5.2 74xx-serie

74246

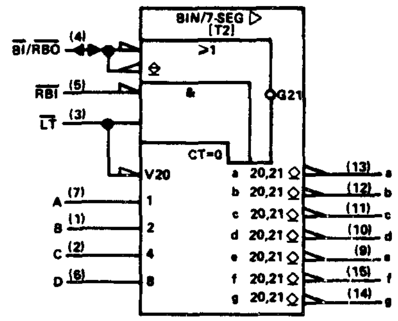
BCD-naar-7 segment decoder/driver (aktief laag) met open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen





Figuur 5/5.2-246.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	64									mA
Io(sink)	40									mA
Vo(off)	30									V
Toff1)	100									ns
Ton1)	100									ns
Toff2)	100									ns
Ton2)	100									ns



1) af-/aanschakeltijd door A-ingang 2) af/aanschakeltijd door RBI-ingang

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

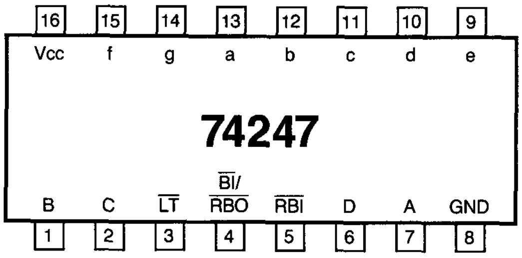
†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

74247

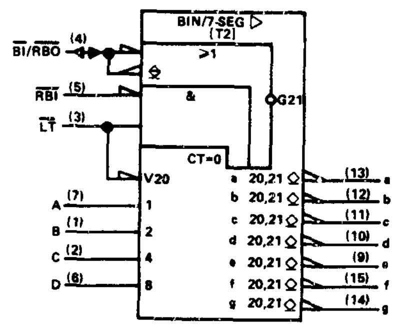
BCD-naar-7 segment decoder/driver (aktief laag) met open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen





Figuur 5/5.2-247.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	64				7					mA
Io(sink)	40				12					mA
Vo(off)	15				15					V
Toff1)	100				100					ns
Ton1)	100				100					ns
Toff2)	100				100					ns
Ton2)	100				100					ns



1) aan-/afschakeltijd door A-ingang 2) aan-/afschakeltijd door RBI-ingang

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	1
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

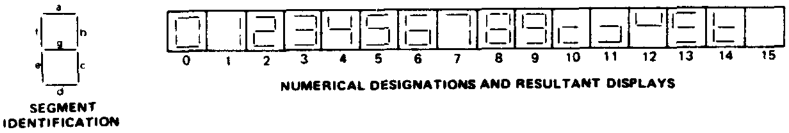
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

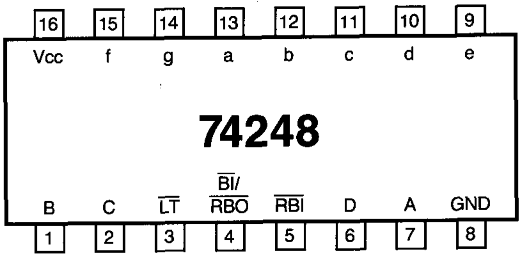
†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

74248

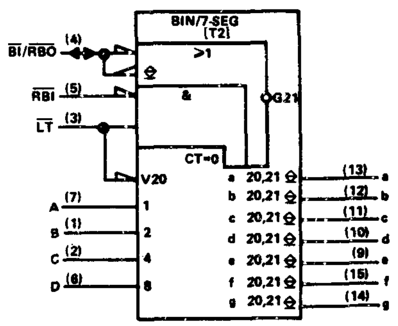
BCD-naar-7 segment decoder/driver (aktief hoog) (uitgangen met interne optrekweerstanden, lamp-test, onderdrukking voor- en nalopende nullen)





Figuur 5/5.2-248.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc	53				25					mA
Io(sink)	6.4				6					mA
Vo(off)	5.5				5.5					V
Tplh1)	100				100					ns
Tphl1)	100				100					ns
Tplh2)	100				100					ns
Tphl2)	100				100					ns



1) A-input → a t/m g output 2) RBI-input → a t/m g output

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	H	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	1
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	H	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

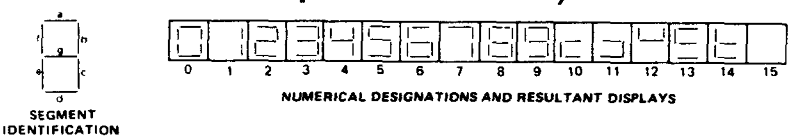
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go low and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

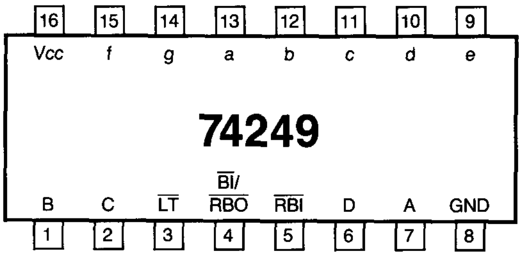
†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

74249

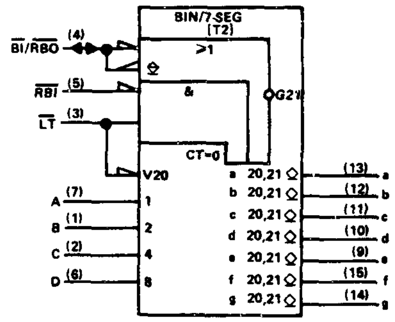
BCD-naar-7 segment decoder/driver (aktief hoog) met open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen)





Figuur 5/5.2-249.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	53				8					mA
Io(sink)	10				8					mA
Vo(off)	5.5				5.5					V
Tphl[1)]	100				100					ns
Tplh[1)]	100				100					ns
Tphl[2)]	100				100					ns
Tplh[2)]	100				100					ns



1) A-input → a t/m g output 2) RBI-input → a t/m g output

DECIMAL OR FUNCTION	INPUTS LT	RBI	D	C	B	A	BI/RBO†	OUTPUTS a	b	c	d	e	f	g	NOTE
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	H	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	1
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	H	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

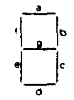
NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The *ripple-blanking input* (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go low and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

†BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

74347

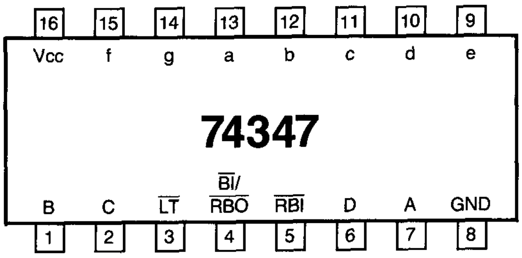
BCD-naar-7 segment decoder/driver (aktief laag) (open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen)



SEGMENT IDENTIFICATION

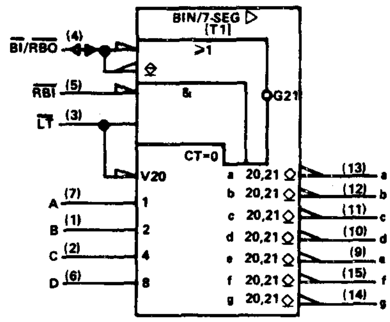


FONT TABLE T1 – NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS



Figuur 5/5.2-347.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc					7					mA
Io(sink)					24					mA
Vo(off)					7					V
Toff[1)]										ns
Ton[1)]										ns
Toff[2)]										ns
Ton[2)]										ns



1) A-input → a t/m g outputs 2) RBI-inputs → a t/m g outputs

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

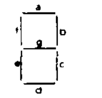
NOTES
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple blanking input (RBI) and inputs A, B, C and D are at a low level with the lamp test input high, all segment outputs go off and the ripple blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp test input, all segment outputs are on.

† BI/RBO is wire AND logic serving as blanking input (BI) and/or ripple blanking output (RBO)

5.2 74xx-serie

74447

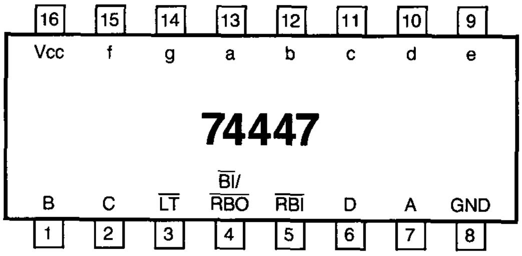
BCD-naar-7 segment decoder/driver (aktief laag) (open-collector uitgangen, lamp-test, onderdrukking voor- en nalopende nullen)



SEGMENT IDENTIFICATION

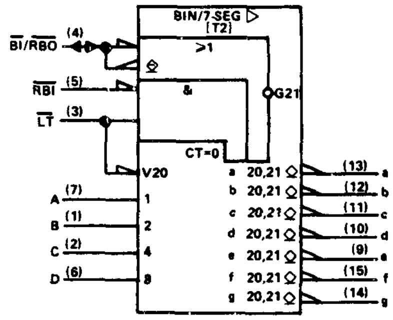


FONT TABLE T2 – NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS



Figuur 5/5.2-447.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een-heid
Icc					7					mA
Io(sink)					24					mA
Vo(off)					7					V
Toff1)					100					ns
Ton1)					100					ns
Toff2)					100					ns
Ton2)					100					ns



1) A-input → a t/m g outputs 2) RBI-inputs → a t/m g outputs

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES:
1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. *When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.*

† BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

5.2 74xx-serie

5/5.3

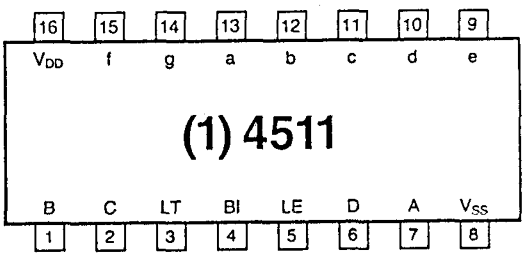
(1)4xxx-serie CMOS

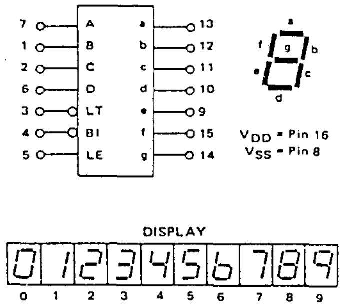
(1)4511

BCD-naar-7 segment latch/decoder/driver (aktief hoog)

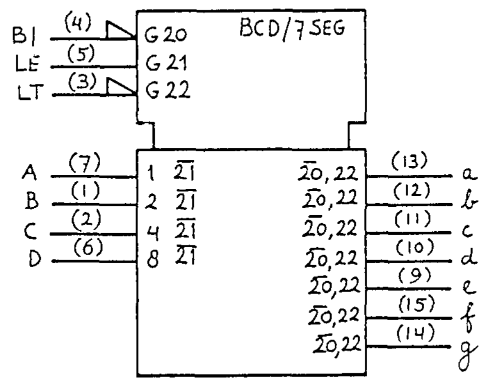
met lamp test, blanking en latch enable ingangen voor LED's, LCD's, gloeilamp, gasontlading en fluorescerende display's

Figuur 5/5.3-511





Segmentcodering.



INPUTS							OUTPUTS							
LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	DISPLAY
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	Blank
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	0	1	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	1	0	0	0	0	0	0	0	Blank
1	1	1	X	X	X	X	*							*

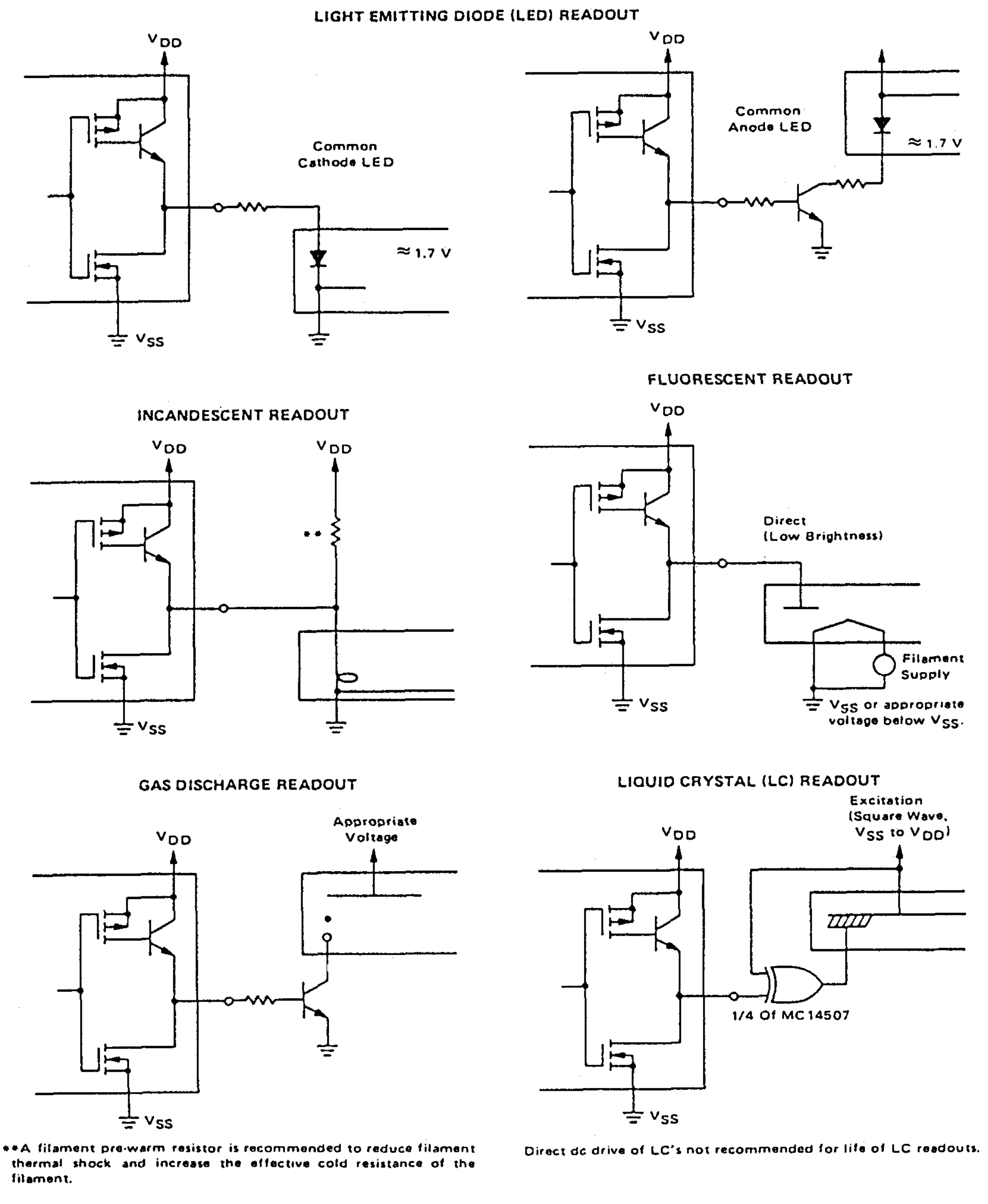
X = Don't care

* Depends upon the BCD code applied during the 0 to 1 transition of LE.

Waarheidstabel.

o.a. leverbaar:
MC 14511 A/C, CD 4511 B, HEF 4511 B

5.3 (1)4xxx-serie CMOS



Toepassingsvoorbeelden.

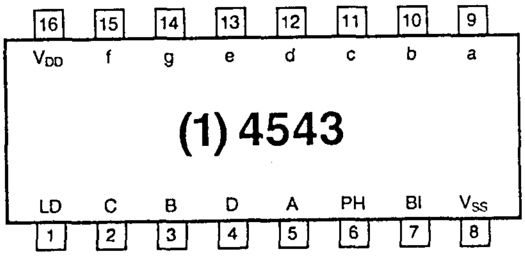
5.3 (1)4xxx-serie CMOS

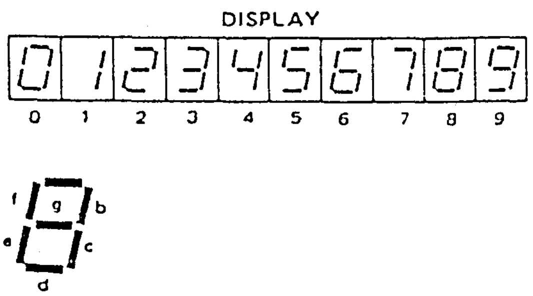
(1)4543

BCD-naar-7 segment latch/decoder/driver (aktief HOOG of LAAG)

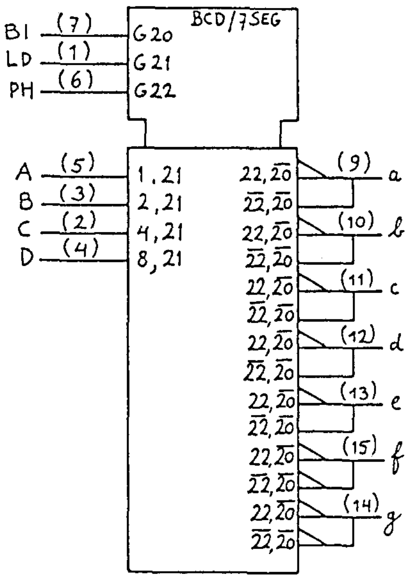
voor vloeibare kristallen en LED display's, met latch disable (LD), blanking ingang (BI) en fase ingang (PH)

Figuur 5/5.3-543





Segmentcodering.



FUNCTION TABLE

inputs							outputs							
LD	BI	PH *	D_D	D_C	D_B	D_A	O_a	O_b	O_c	O_d	O_e	O_f	O_g	display
X	H	L	X	X	X	X	L	L	L	L	L	L	L	blank
H	L	L	L	L	L	L	H	H	H	H	H	H	L	0
H	L	L	L	L	L	H	L	H	H	L	L	L	L	1
H	L	L	L	L	H	L	H	H	L	H	H	L	H	2
H	L	L	L	L	H	H	H	H	H	H	L	L	H	3
H	L	L	L	H	L	L	L	H	H	L	L	H	H	4
H	L	L	L	H	L	H	H	L	H	H	L	H	H	5
H	L	L	L	H	H	L	H	L	H	H	H	H	H	6
H	L	L	L	H	H	H	H	H	H	L	L	L	L	7
H	L	L	H	L	L	L	H	H	H	H	H	H	H	8
H	L	L	H	L	L	H	H	H	H	H	L	H	H	9
H	L	L	H	L	H	L	L	L	L	L	L	L	L	blank
H	L	L	H	L	H	H	L	L	L	L	L	L	L	blank
H	L	L	H	H	L	L	L	L	L	L	L	L	L	blank
H	L	L	H	H	L	H	L	L	L	L	L	L	L	blank
H	L	L	H	H	H	L	L	L	L	L	L	L	L	blank
H	L	L	H	H	H	H	L	L	L	L	L	L	L	blank
L	L	L	X	X	X	X				**				**
as above		H	as above				inverse of above							as above

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)
X = state is immaterial

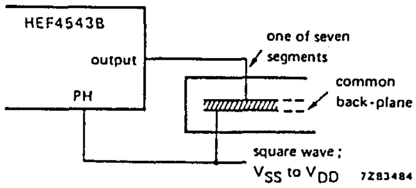
* For liquid crystal displays, apply a square-wave to PH.
For common cathode LED displays, select PH = LOW.
For common anode LED displays, select PH = HIGH.

** Depends upon the BCD-code previously applied when LD = HIGH.

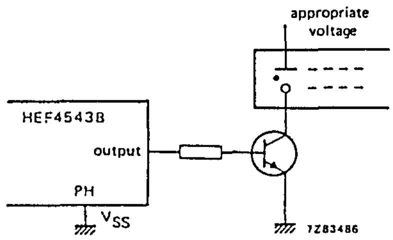
Waarheidstabel.

o.a. leverbaar:
MC 14543 A/B/C, HD 14543 B, HEF 4543 B

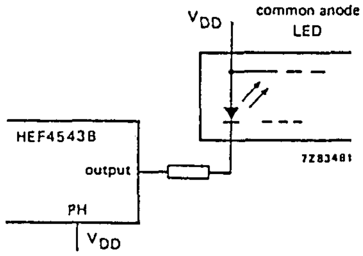
5.3 (1)4xxx-serie CMOS



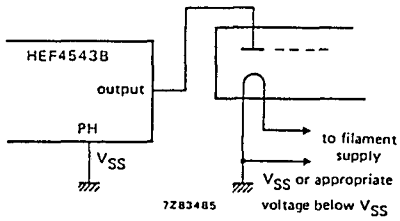
Connection to liquid crystal (LCD) display readout.



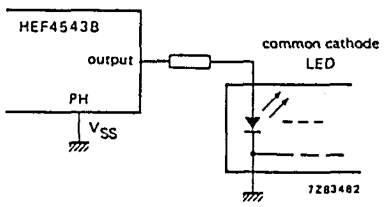
Connection to gas discharge display readout.



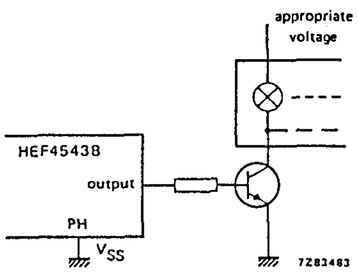
Connection to common anode LED display readout.



Connection to fluorescent display readout.



Connection to common cathode LED display readout.



Connection to incandescent display readout.

Toepassingsmogelijkheden.

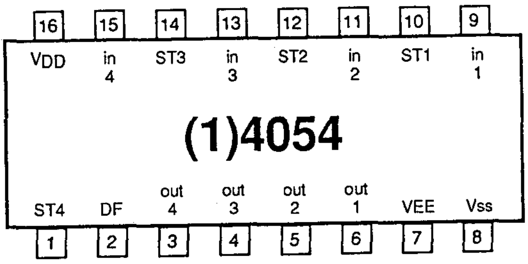
5.3 (1)4xxx-serie CMOS

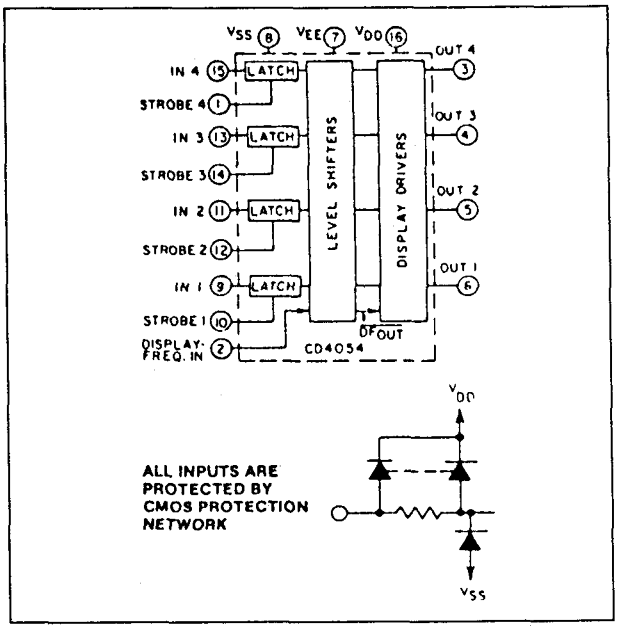
(1)4054

4 segment display driver (level shifter)

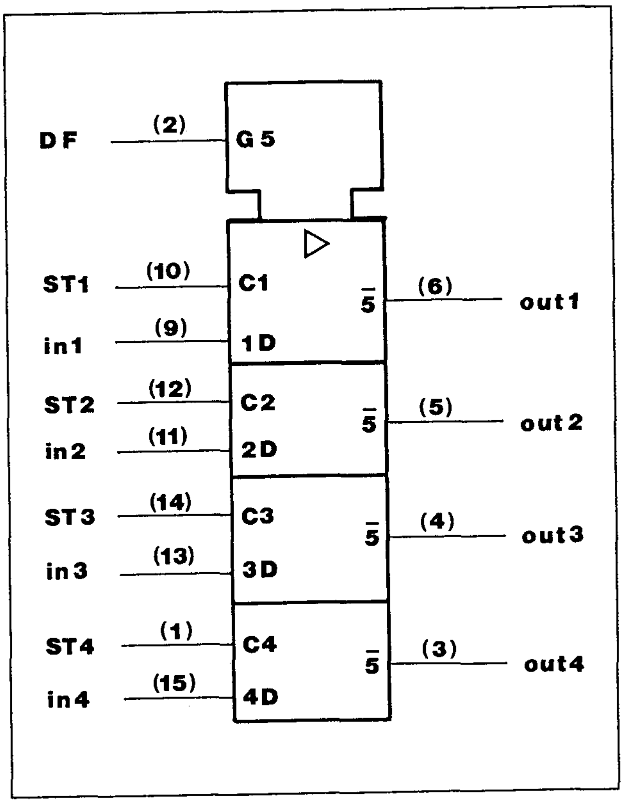
met onafhankelijke strobe (STn), latches en gemeenschappelijke display frequentie (DF) ingang, kan met 4055 en 4056 7-segment decoders worden gebruikt voor decimale punt, dubbele punt en polariteit

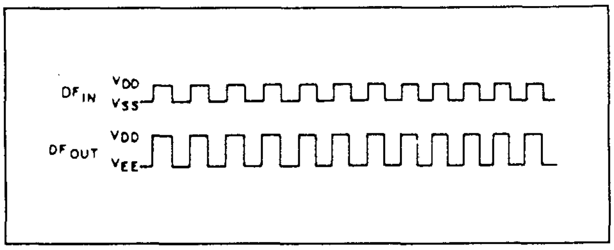
Figuur 5/5.3-54





Blokschema.

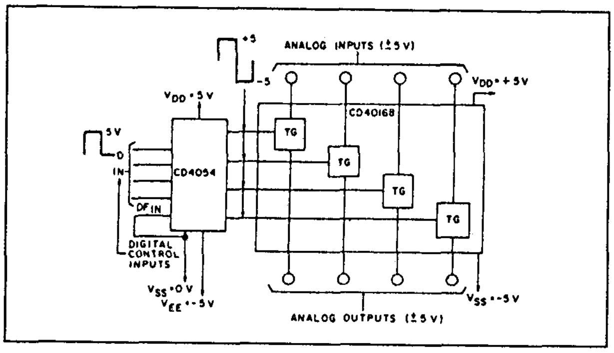




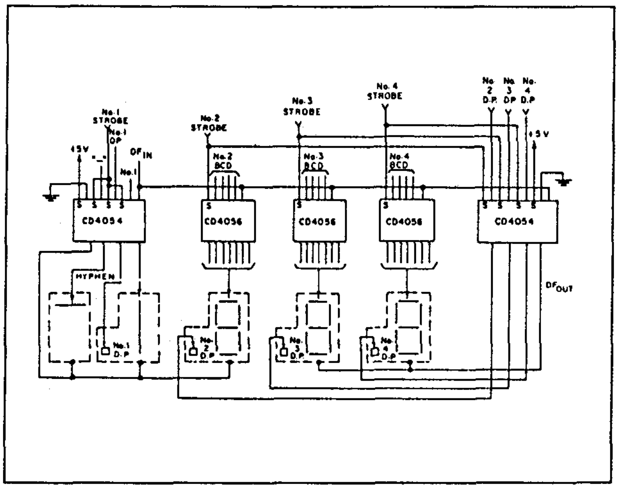
Omdat het ingangssignaal kan variëren tussen V_{SS} en V_{dd} en het uitgangssignaal tussen V_{ee} en V_{dd} is verschuiving van het logische niveau mogelijk (beide 3 V tot 18 V).

o.a. leverbaar:
CD 4054 B, TC 4054 BP, MSM 4054

5.3 (1)4xxx-serie CMOS



Door toevoeging van een bilaterale schakelaar (4016) kan een bipolair uitgangssignaal worden verkregen (+5 V tot -5 V).



Toepassingvoorbeeld 3 1/2 digit LCD
V_{dd} = +5 V, V_{ss} = 0 V, V_{ee} = -10 V, DF_{in} = 30 Hz tot 200 Hz blokgolf.

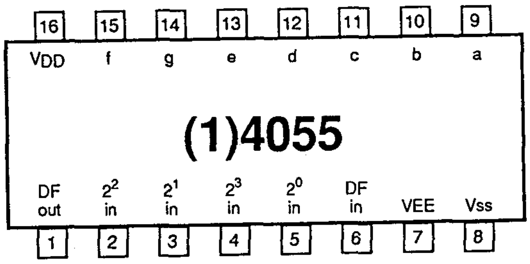
5.3 (1)4xxx-serie CMOS

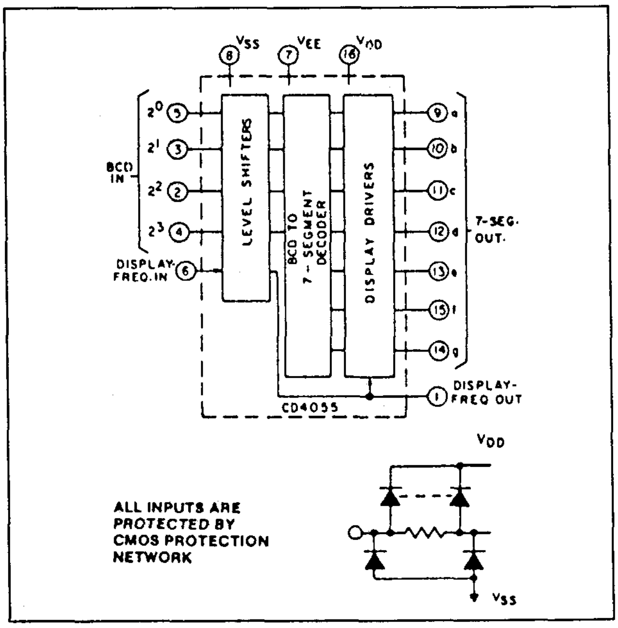
(1)4055

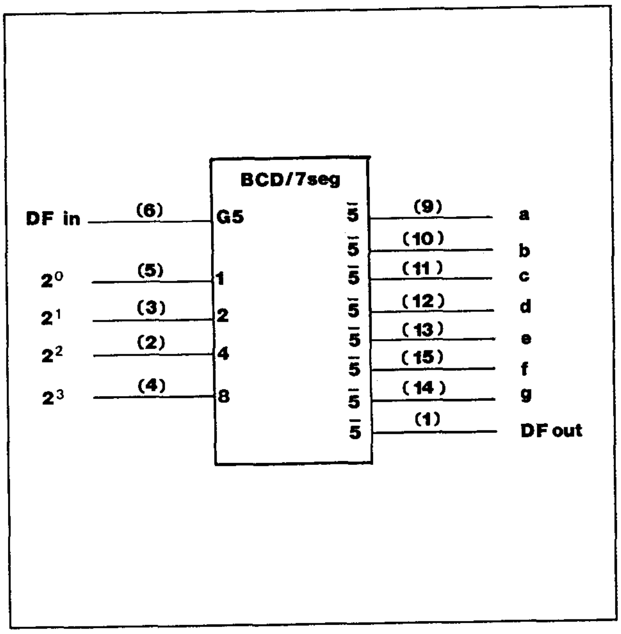
BCD-naar-7 segment decoder/driver

met "display-frequentie" uitgang
(7 segment-uitgangen bestuurd door DF: laag, hoog of blokvormig voor LCD's), kan zelfstandig of met 4054 werken

Figuur 5/5.3-55







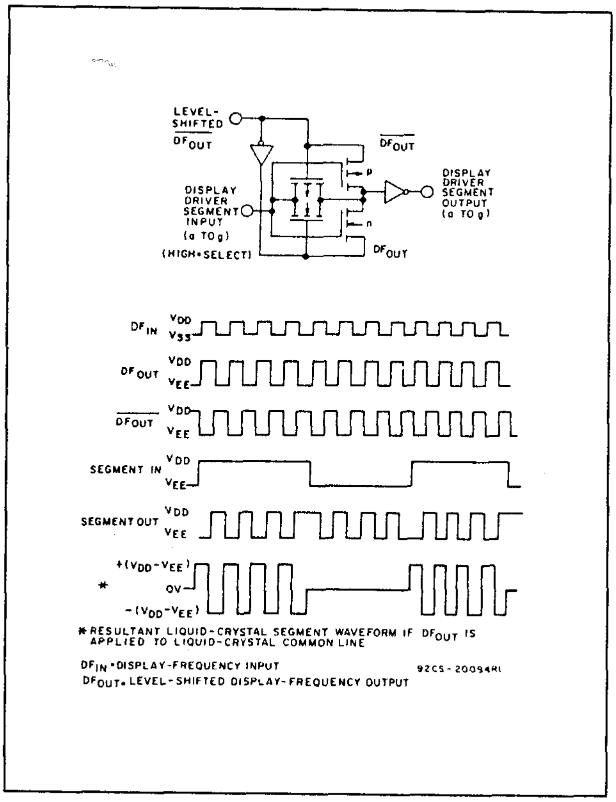
Blokschema.

INPUT CODE				OUTPUT STATE							DISPLAY CHARACTER
2^3	2^2	2^1	2^0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	L
1	0	1	1	0	1	1	0	1	1	1	H
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	A
1	1	1	0	0	0	0	0	0	0	1	—
1	1	1	1	0	0	0	0	0	0	0	BLANK

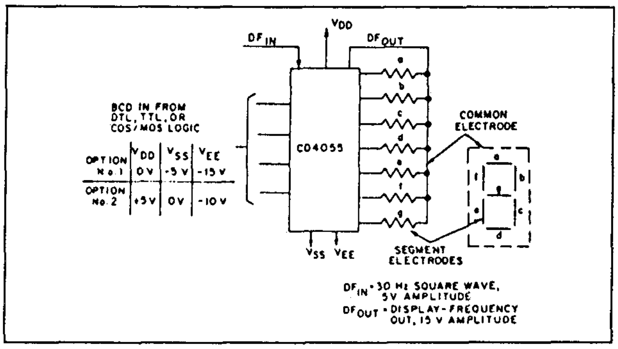
Waarheidstabel.

o.a. leverbaar:
CD 4055 B, HCC 4055 B, TC 4055 BP

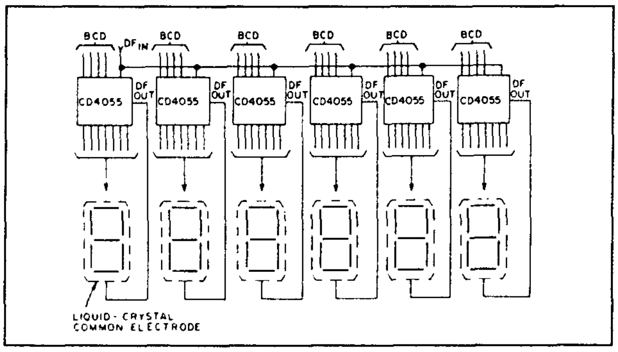
5.3 (1)4xxx-serie CMOS



Display-driver (één segment) en golfvormen.



Aansturing van 1-digit LCD.



Klokdisplay:
V_{dd} = 0 V, V_{ss} = -5 V, V_{ee} = -15 V, DF_{in} = 30 Hz blokgolf.

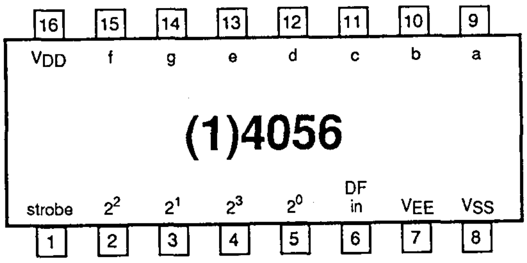
5.3 (1)4xxx-serie CMOS

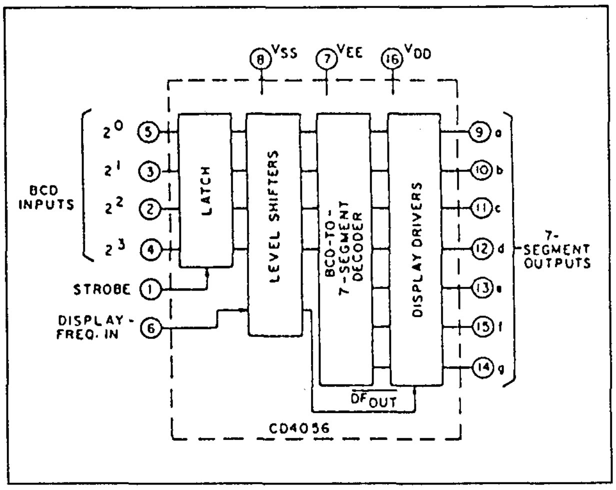
(1)4056

BCD-naar-7 segment latch/decoder/driver

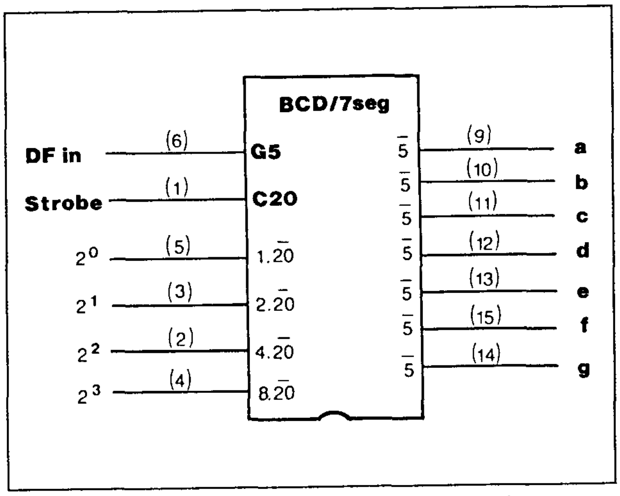
moet samenwerken met 4054 display driver, 7-segment uitgangen bestuurd door DF: laag, hoog, blokvormig

Figuur 5/5.3-56





Blokschema.



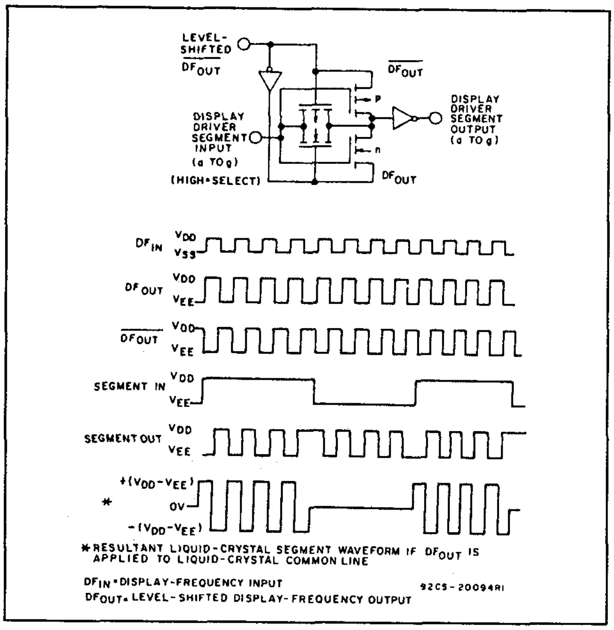
Door effectieve besturing kan spanningsverdubbeling over het display optreden: VDD - VEE gelijk aan 18 V levert 36 V top-tot-top.

INPUT CODE				OUTPUT STATE							DISPLAY CHARACTER
2³	2²	2¹	2⁰	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	L
1	0	1	1	0	1	1	0	1	1	1	H
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	A
1	1	1	0	0	0	0	0	0	0	1	—
1	1	1	1	0	0	0	0	0	0	0	BLANK

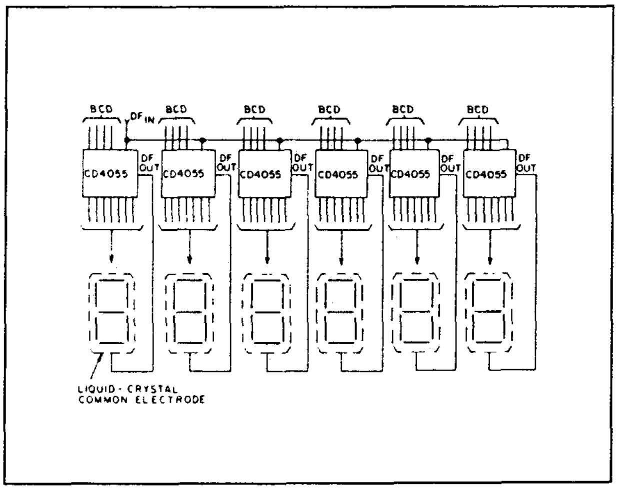
Waarheidstabel (uitgangscode 0 tot en met 9 plus L, H, P, A, blank).

o.a. leverbaar:
CD 4056 B, HCC 4056 B, TC 4056 BP
Toepassingsvoorbeeld 4056's plus 4054's.

5.3 (1)4xxx-serie CMOS



Display-driver (één van de segmenten) en golfvormen.



Toepassingsvoorbeeld: 4056's plus 4054's.

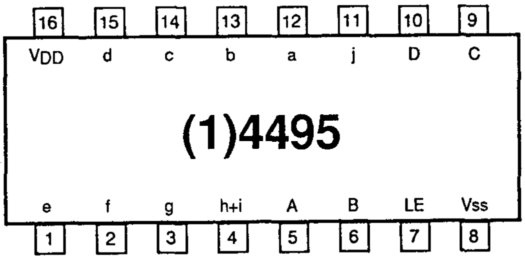
5.3 (1)4xxx-serie CMOS

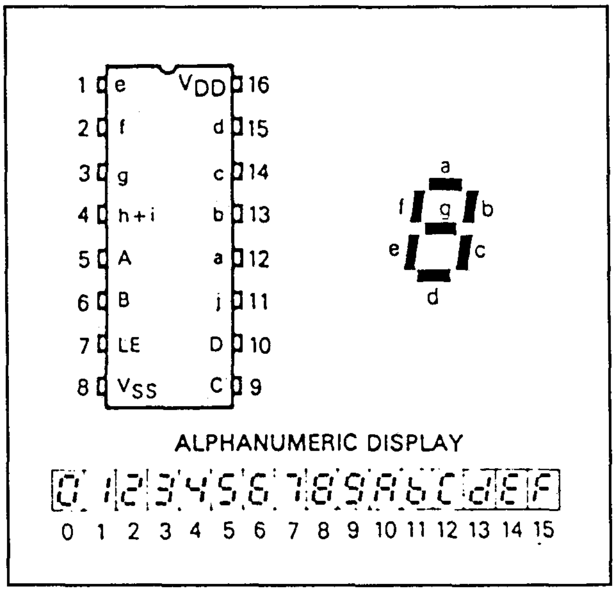
(1)4495

Hexadecimaal-naar-7 segment latch/decoder ROM-driver (aktief hoog)

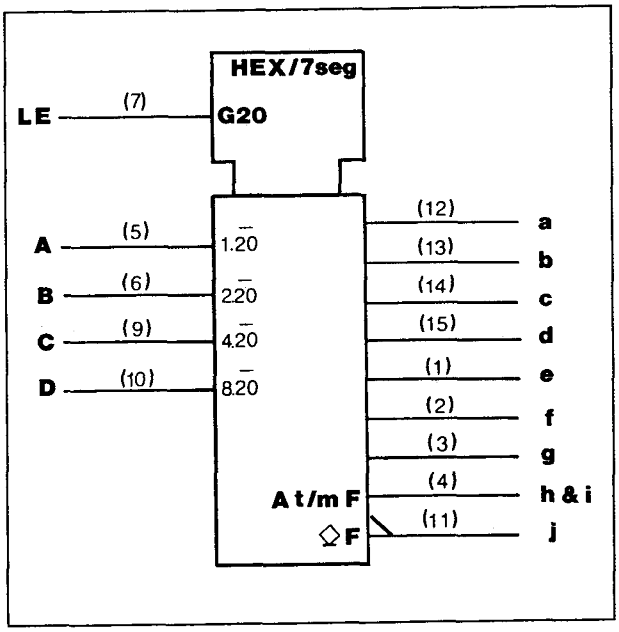
inwendige 4-bit latch en mask-geprogrammeerde ROM, bij 5 V voeding kunnen 7-segment LED's direct worden aangesloten, V_{dd} = 4,5 V tot 18 V

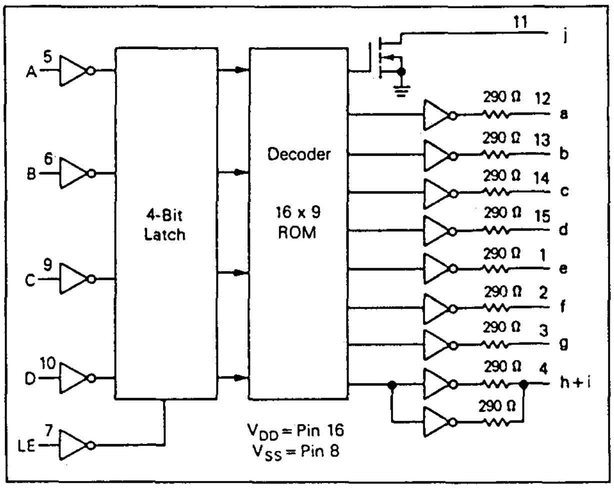
Figuur 5/5.3-495





Segmentcodering.





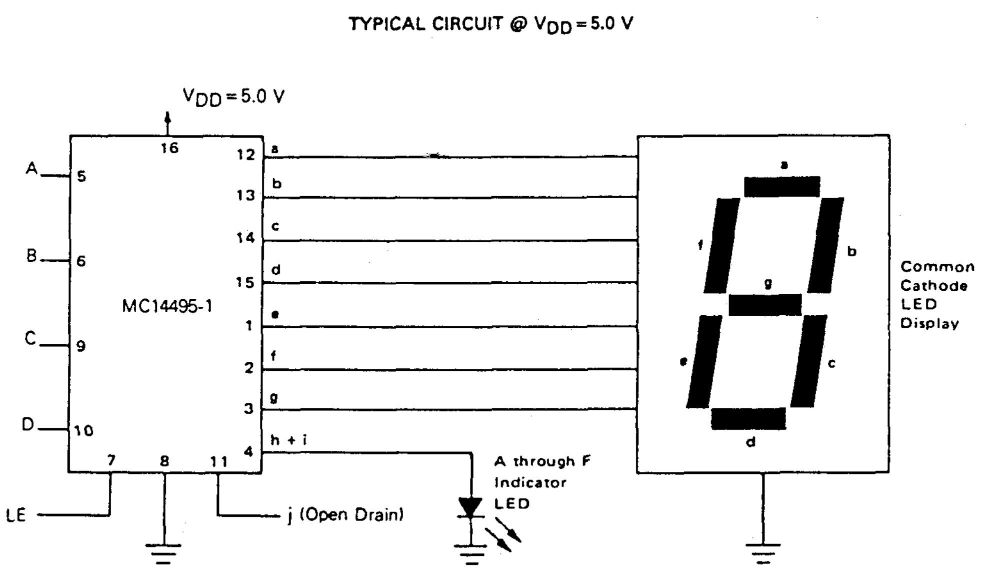
Functioneel blokschema.

leverbaar:
MC 14495-1

5.3 (1)4xxx-serie CMOS

INPUTS				OUTPUTS									
D	C	B	A	a	b	c	d	e	f	g	h+i	j	DISPLAY
0	0	0	0	1	1	1	1	1	1	0	0	Open	0
0	0	0	1	0	1	1	0	0	0	0	0	Open	1
0	0	1	0	1	1	0	1	1	0	1	0	Open	2
0	0	1	1	1	1	1	1	0	0	1	0	Open	3
0	1	0	0	0	1	1	0	0	1	1	0	Open	4
0	1	0	1	1	0	1	1	0	1	1	0	Open	5
0	1	1	0	1	0	1	1	1	1	1	0	Open	6
0	1	1	1	1	1	1	0	0	0	0	0	Open	7
1	0	0	0	1	1	1	1	1	1	1	0	Open	8
1	0	0	1	1	1	1	1	0	1	1	0	Open	9
1	0	1	0	1	1	1	0	1	1	1	1	Open	A
1	0	1	1	0	0	1	1	1	1	1	1	Open	b
1	1	0	0	1	0	0	1	1	1	0	1	Open	C
1	1	0	1	0	1	1	1	1	0	1	1	Open	d
1	1	1	0	1	0	0	1	1	1	1	1	Open	E
1	1	1	1	1	0	0	0	1	1	1	1	0	F

Waarheidstabel.



Toepassingsvoorbeeld.
- De segmentdrivers zijn NPN emittervolgers met een serieweerstand van 290 Ω.
- Uitgang j (open drain) gaat laag als A=B=C=D=1.
- Uitgang h+i wordt 1 bij hex A tot en met F.
- Data wordt gelatched bij hoog gaan van LE.

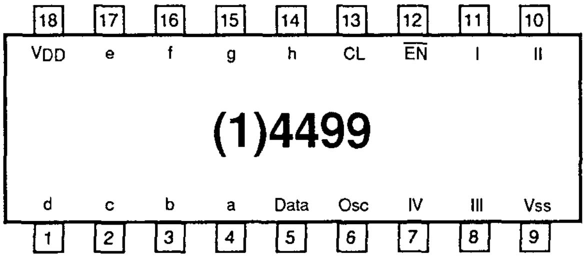
5.3 (1)4xxx-serie CMOS

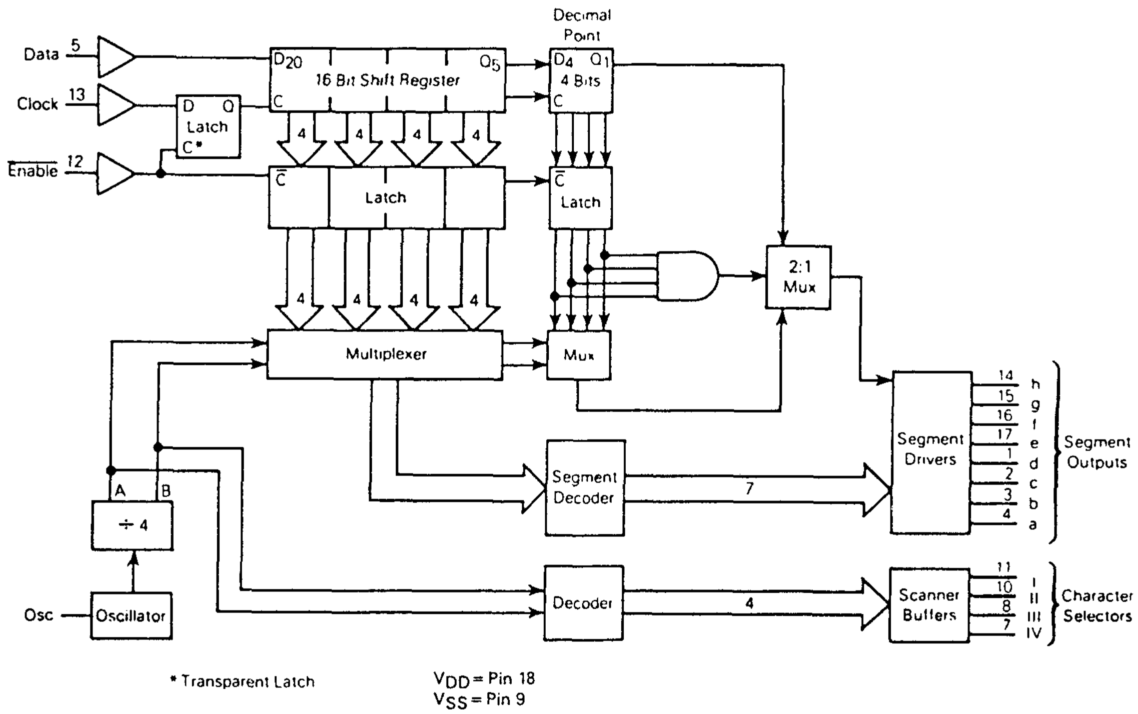
(1)4499

7-segment LED display decoder/driver (aktief hoog) met seriële interface

kan 4 alfanumerieke, common kathode LED display's direct aandrijven, V_{dd} = 4,5 V tot 6,5 V

Figuur 5/5.3-499

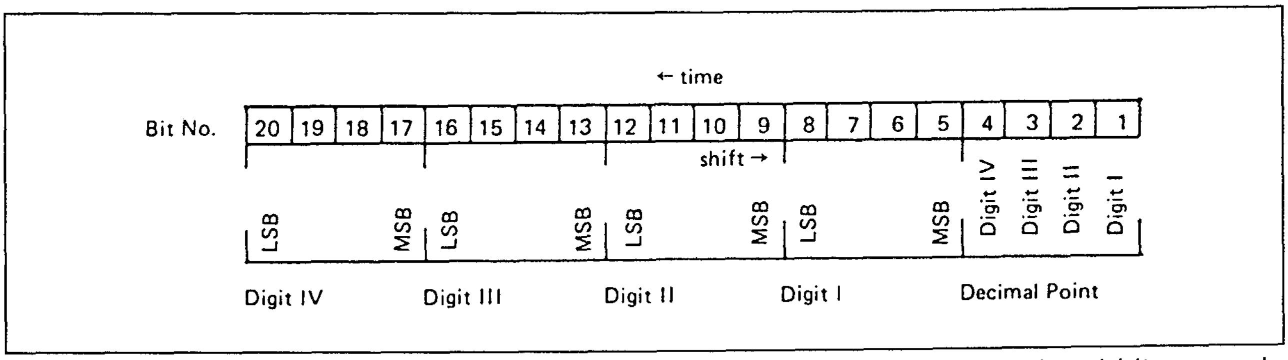




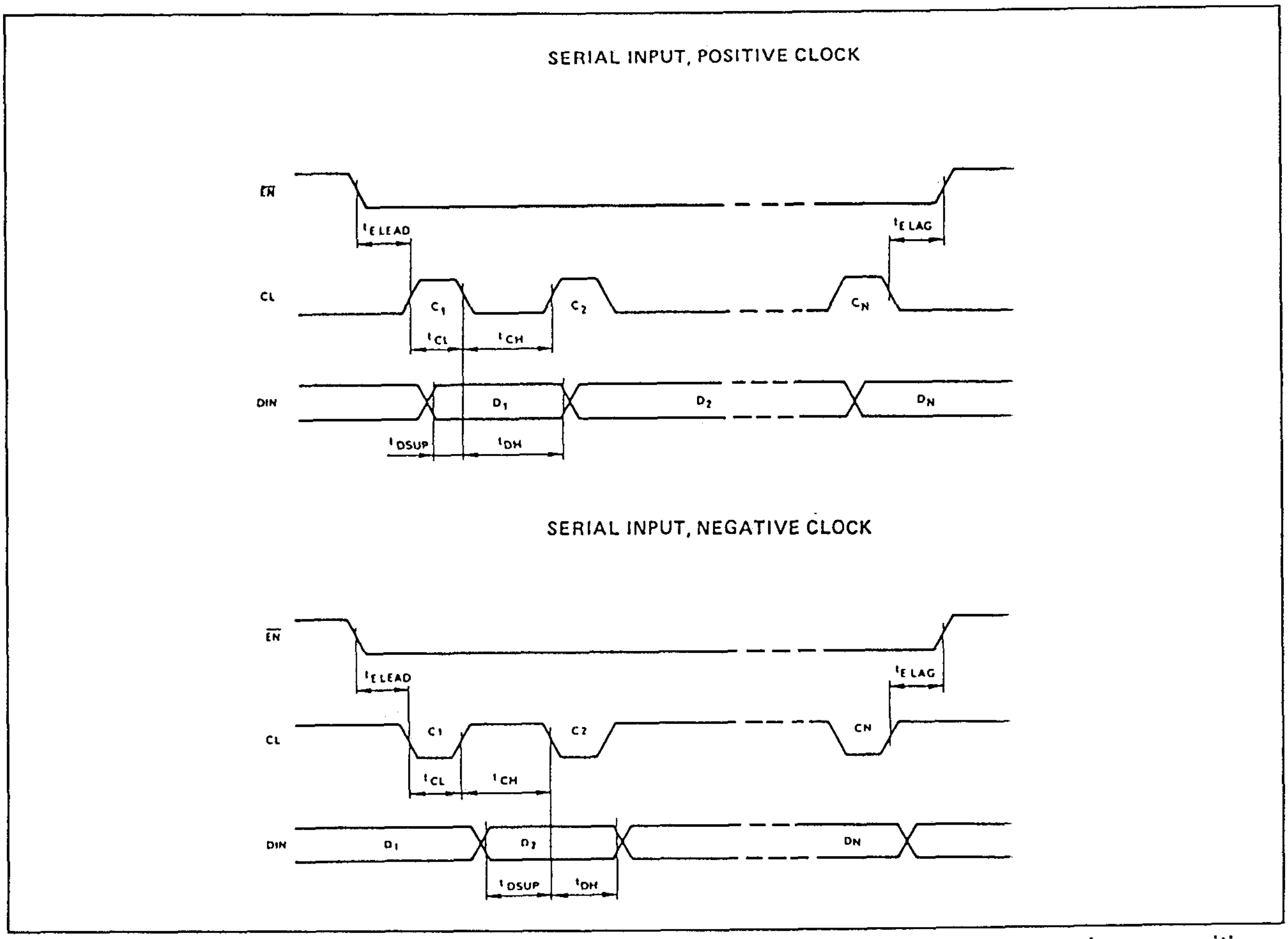
Functioneel blokschema.

leverbaar:
MC 14499

5.3 (1)4xxx-serie CMOS

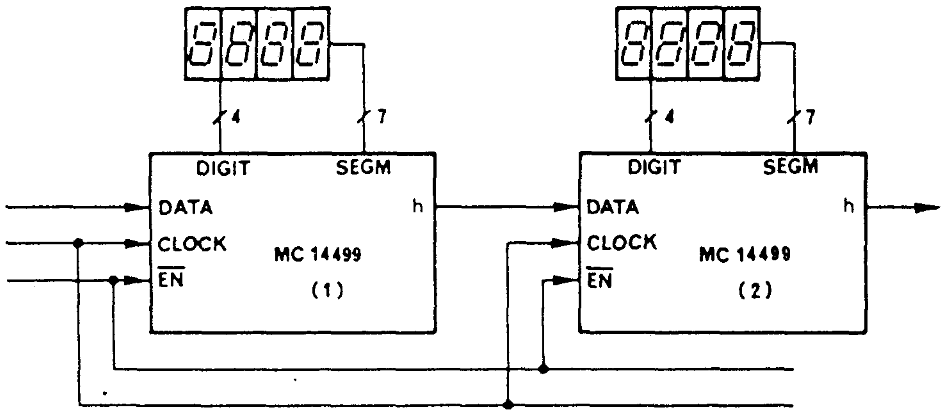


Deze schakeling accepteert 20-bits data: 16-bits voor de 4-digit display plus 4-bits voor de decimale punt (optioneel). De volgorde van data-opname is eerst de decimale punt-code en dan de vier cijfers. Om data op te nemen moet de enable-ingang $\overline{EN}$ laag zijn (=0).



Sample en shift worden verricht op de dalende flank van de clock (er kan zowel een positieve als negatieve clock worden toegepast). Data wordt uit het schuifregister in de latches geklokt als $\overline{EN}$ hoog gaat. Terwijl het schuifregister wordt geladen is de voorgaande informatie in de latches opgeslagen. Als de decimale punt wordt gebruikt, zijn 20 pulsen nodig, anders 16.

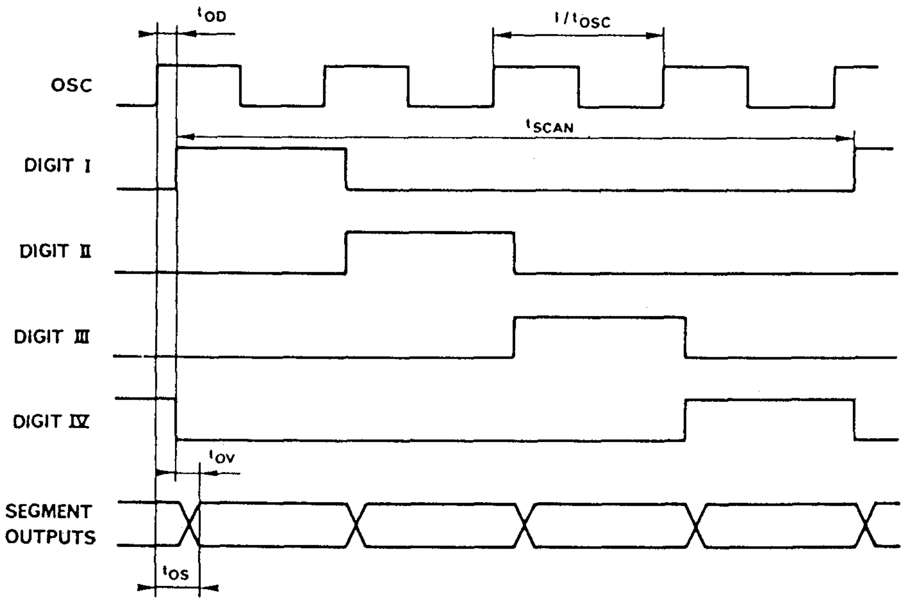
5.3 (1)4xxx-serie CMOS



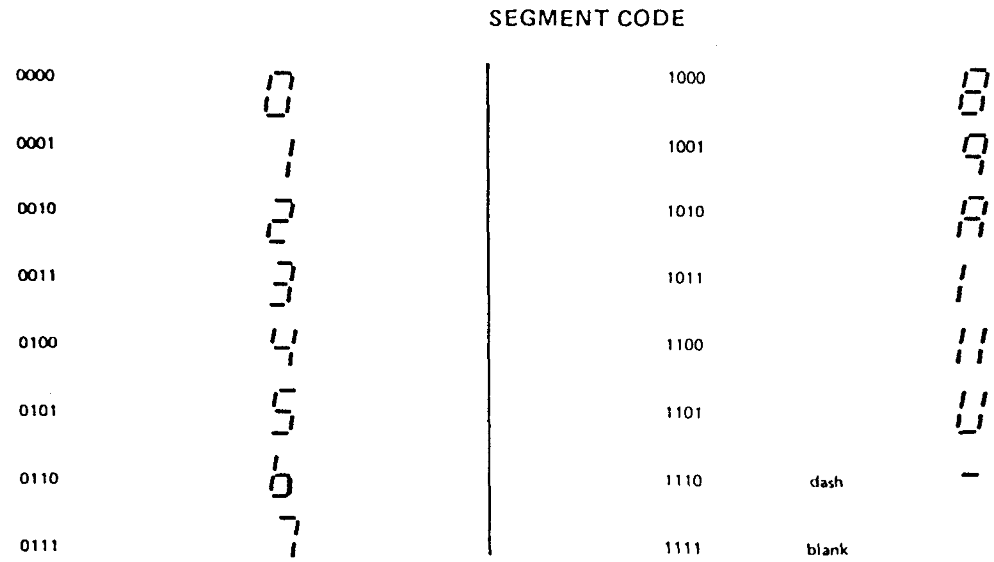
Er kunnen meerdere 14499's in cascade worden geschakeld.
Door een 1111-woord in de latch van de decimale punt te laden wordt de uitgang van het schuifregister naar de driver van de decimale punt geschakeld. Voor het in cascade schakelen van n 4-digit display-drivers wordt zodoende een set-up gebruikt waarbij eerst het 111 cascade-woord wordt geladen:

- $\overline{EN} = 0$
- laad 20-bits (de eerste vier 1111) met 20 clockpulsen
- $\overline{EN} = 1$ (om de latch te laden)
- herhaal de eerste drie stappen
- (nx20)-bits kunnen in n MC1 4499's worden geladen met 1111 als decimale punt-woord omde cascadering voort te zetten

5.3 (1)4xxx-serie CMOS

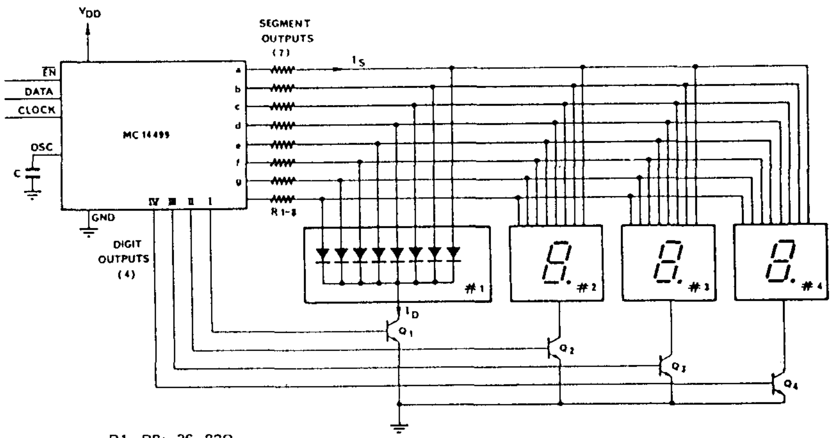


De scanfrequentie wordt bepaald door een op de chip aanwezige oscillator, die alleen een externe frequentiebepalende condensator nodig heeft. Ook kan een extern oscillatorsignaal (200 tot 800 Hz) worden gebruikt om geflikker en overlappen van de cijfers te vermijden (voor testdoeleinden is 10 kHz toegestaan). Een deel-door-vier teller regelt vier niet-overlappende, met de vier digits overeenkomende scangolven.



De in de matrix-decoders gebruikte code.

5.3 (1)4xxx-serie CMOS



R1 - R8: 36–82Ω
C: 22 nF

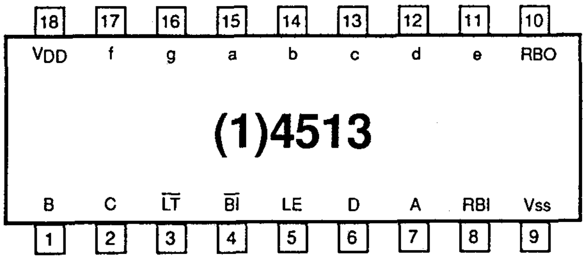
V_{DD} Typ: 5–6 V
I_S max.: 40–50 mA
$I_D$max.: 8I_S max.

Toepassingsvoorbeeld.

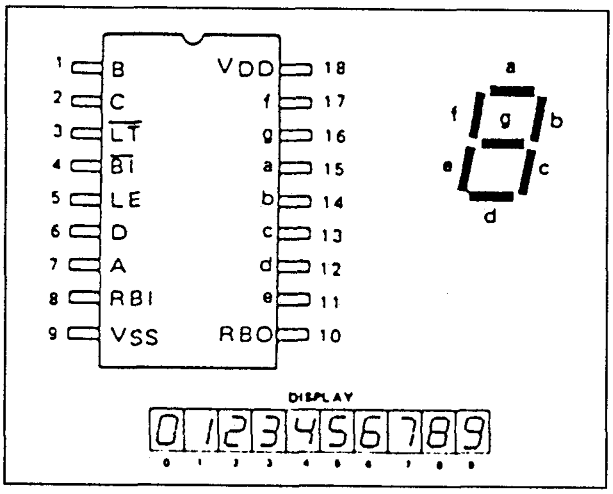
(1)4513

BCD-naar-7 segment latch/decoder/driver (aktief hoog)

met lamp test ($\overline{LT}$), blanking ($\overline{BI}$) en latch enable (LE) ingangen voor LED's, LCD, gloeilamp, gasontlading en fluorescerende display's (14511 met ripple blanking in/out),
V_{dd} = 3 V tot 18 V



Figuur 5/5.3-513



Segmentcodering.

INPUTS								OUTPUTS								
RBI	LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	RBO	a	b	c	d	e	f	g	DISPLAY
X	X	X	0	X	X	X	X	*	1	1	1	1	1	1	1	8
X	X	0	1	X	X	X	X	*	0	0	0	0	0	0	0	Blank
1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	Blank
0	0	1	1	0	0	0	0	0	1	1	1	1	1	1	0	0
X	0	1	1	0	0	0	1	0	0	1	1	0	0	0	0	1
X	0	1	1	0	0	1	0	0	1	1	0	1	1	0	1	2
X	0	1	1	0	0	1	1	0	1	1	1	1	0	0	1	3
X	0	1	1	0	1	0	0	0	0	1	1	0	0	1	1	4
X	0	1	1	0	1	0	1	0	1	0	1	1	0	1	1	5
X	0	1	1	0	1	1	0	0	1	0	1	1	1	1	1	6
X	0	1	1	0	1	1	1	0	1	1	1	0	0	0	0	7
X	0	1	1	1	0	0	0	0	1	1	1	1	1	1	1	8
X	0	1	1	1	0	0	1	0	1	1	1	1	0	1	1	9
X	0	1	1	1	0	1	0	0	0	0	0	0	0	0	0	Blank
X	0	1	1	1	0	1	1	0	0	0	0	0	0	0	0	Blank
X	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	Blank
X	0	1	1	1	1	0	1	0	0	0	0	0	0	0	0	Blank
X	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	Blank
X	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	Blank
X	1	1	1	X	X	X	X	*	•							•

X Don't Care

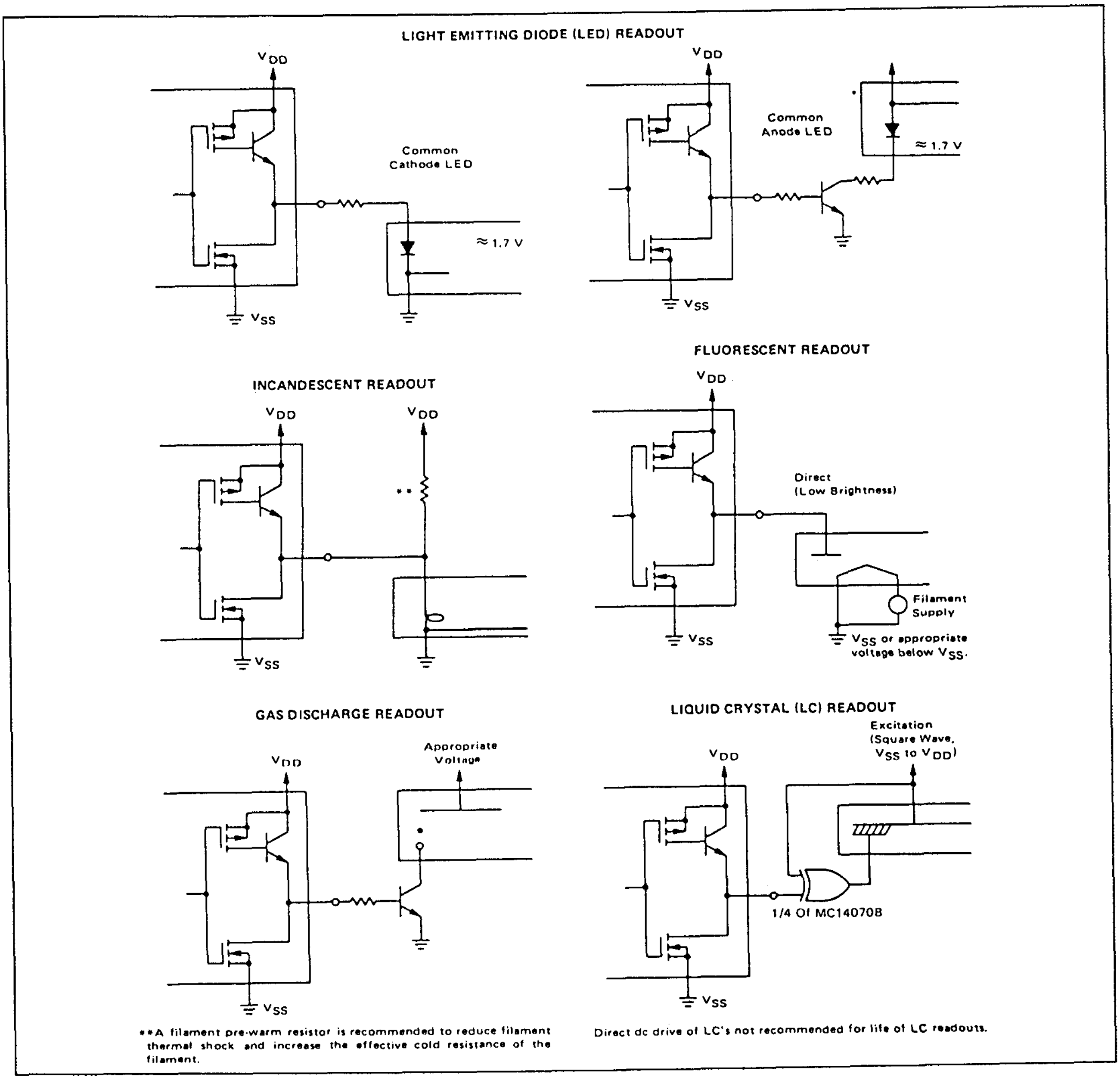
* RBO = RBI ($\overline{D}\,\overline{C}\,\overline{B}\,\overline{A}$) indicated by other rows of table

• Depends upon the BCD code previously applied when LE = 0

Waarheidstabel.

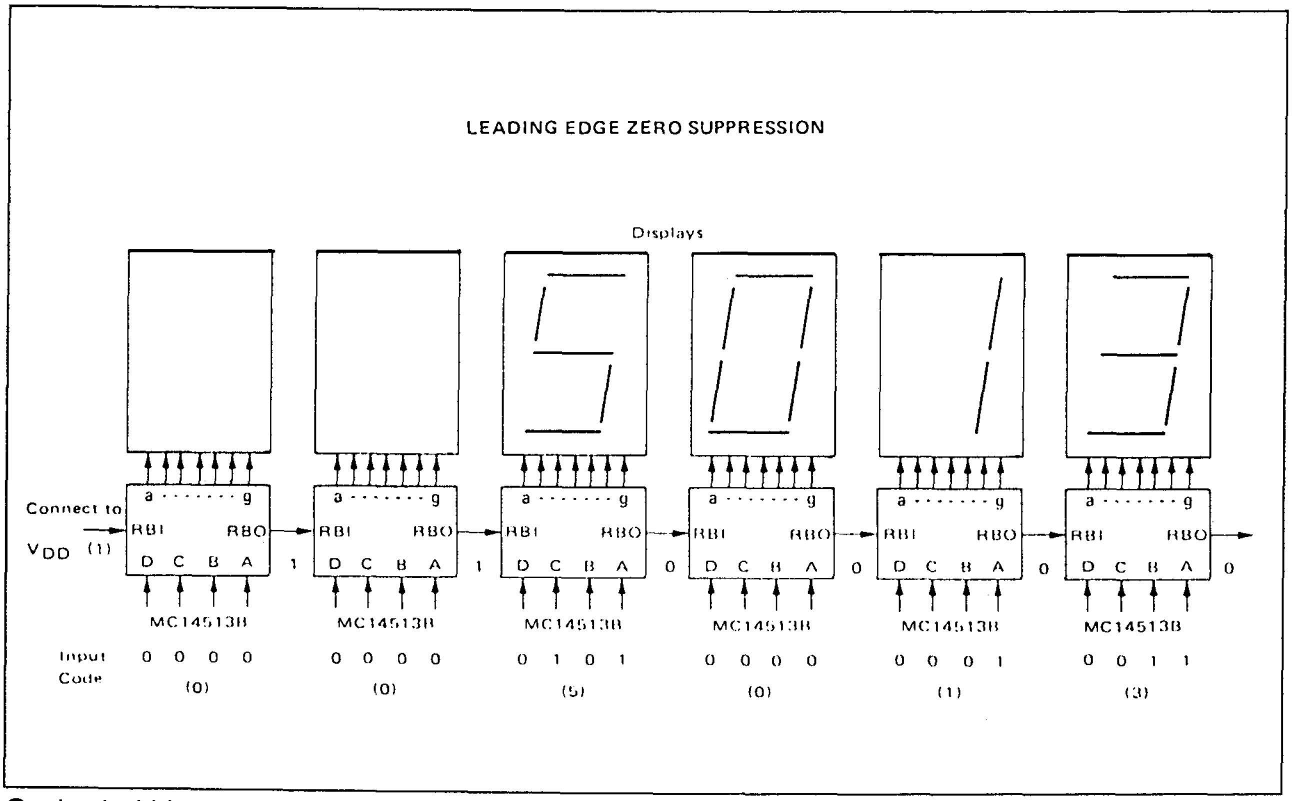
o.a. leverbaar:
MC 14513 B, µPD 4513 BC

5.3 (1)4xxx-serie CMOS

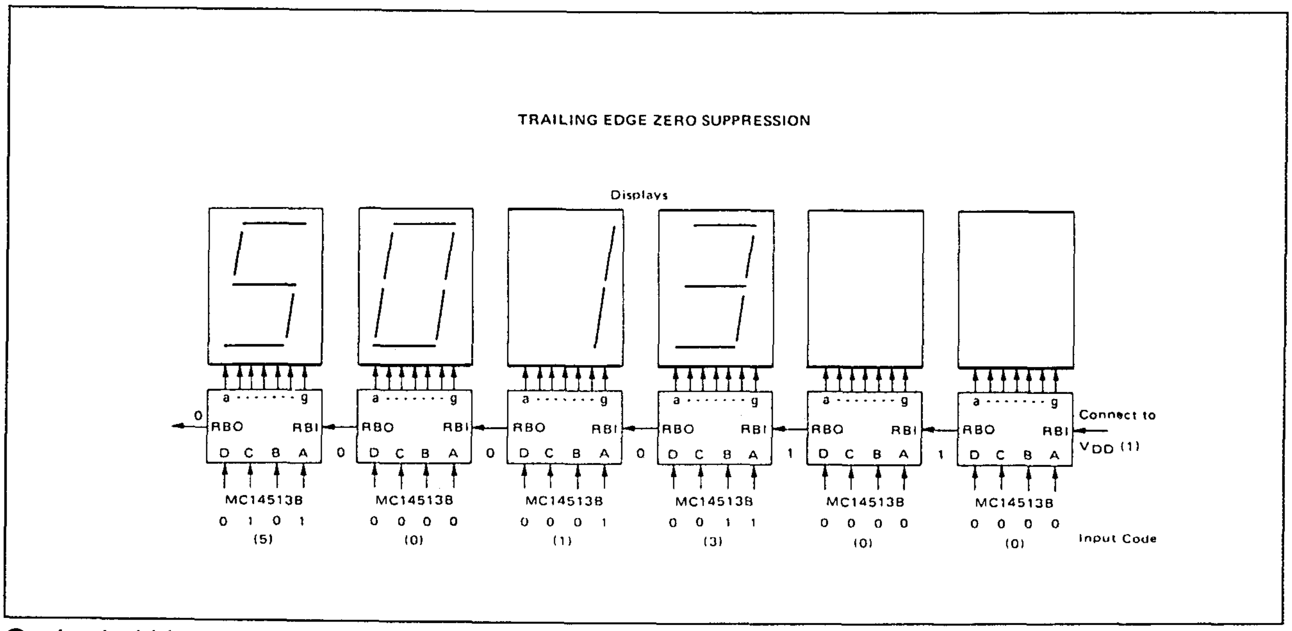


Toepassingsvoorbeelden.

5.3 (1)4xxx-serie CMOS



Onderdrukking voorste nullen (leading zero's).



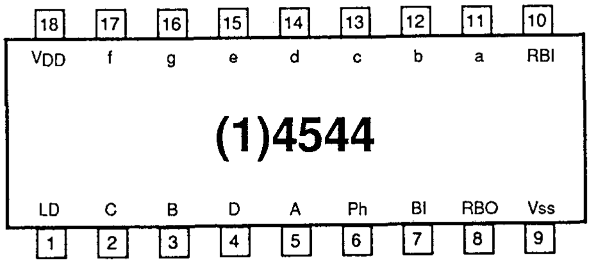
Onderdrukking achteraankomende nullen (trailing zero's).

5.3 (1)4xxx-serie CMOS

(1)4544

BCD-naar-7 segment latch/decoder/driver (aktief hoog)

voor LCD display's met fase (Ph), blanking (BI) en latch disable (LD) ingangen, V_{dd} = 3 V tot 18 V



Figuur 5/5.3-544

INPUTS								OUTPUTS								
RBI	LD	BI	Ph*	D	C	B	A	RBO	a	b	c	d	e	f	g	DISPLAY
X	X	1	0	X	X	X	X	≠	0	0	0	0	0	0	0	Blank
1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	Blank
0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0
X	1	0	0	0	0	0	1	0	0	1	1	0	0	0	0	1
X	1	0	0	0	0	1	0	0	1	1	0	1	1	0	1	2
X	1	0	0	0	0	1	1	0	1	1	1	1	0	0	1	3
X	1	0	0	0	1	0	0	0	0	1	1	0	0	1	1	4
X	1	0	0	0	1	0	1	0	1	0	1	1	0	1	1	5
X	1	0	0	0	1	1	0	0	1	0	1	1	1	1	1	6
X	1	0	0	0	1	1	1	0	1	1	1	0	0	0	0	7
X	1	0	0	1	0	0	0	0	1	1	1	1	1	1	1	8
X	1	0	0	1	0	0	1	0	1	1	1	1	0	1	1	9
X	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	Blank
X	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	Blank
X	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	Blank
X	1	0	0	1	1	0	1	0	0	0	0	0	0	0	0	Blank
X	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	Blank
X	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	Blank
X	0	0	0	X	X	X	X	≠	**							**
↑	↑	↑	1	↑				↑	Inverse of Output Combinations Above							Display as above

X Don't Care

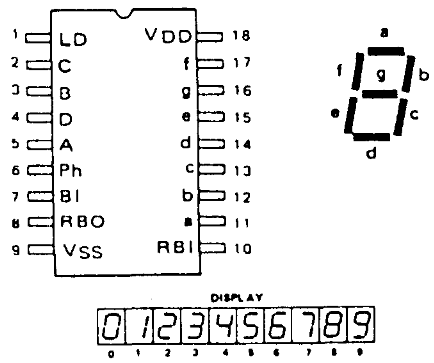
↑ Above Combinations

* For liquid crystal readouts, apply a square wave to Ph. For common cathode LED readouts, select Ph = 0. For common anode LED readouts, select Ph = 1.

** Depends upon the BCD Code previously applied when LD = 1.

≠ RBO=RBI • ($\overline{A}\overline{B}\overline{C}\overline{D}$)

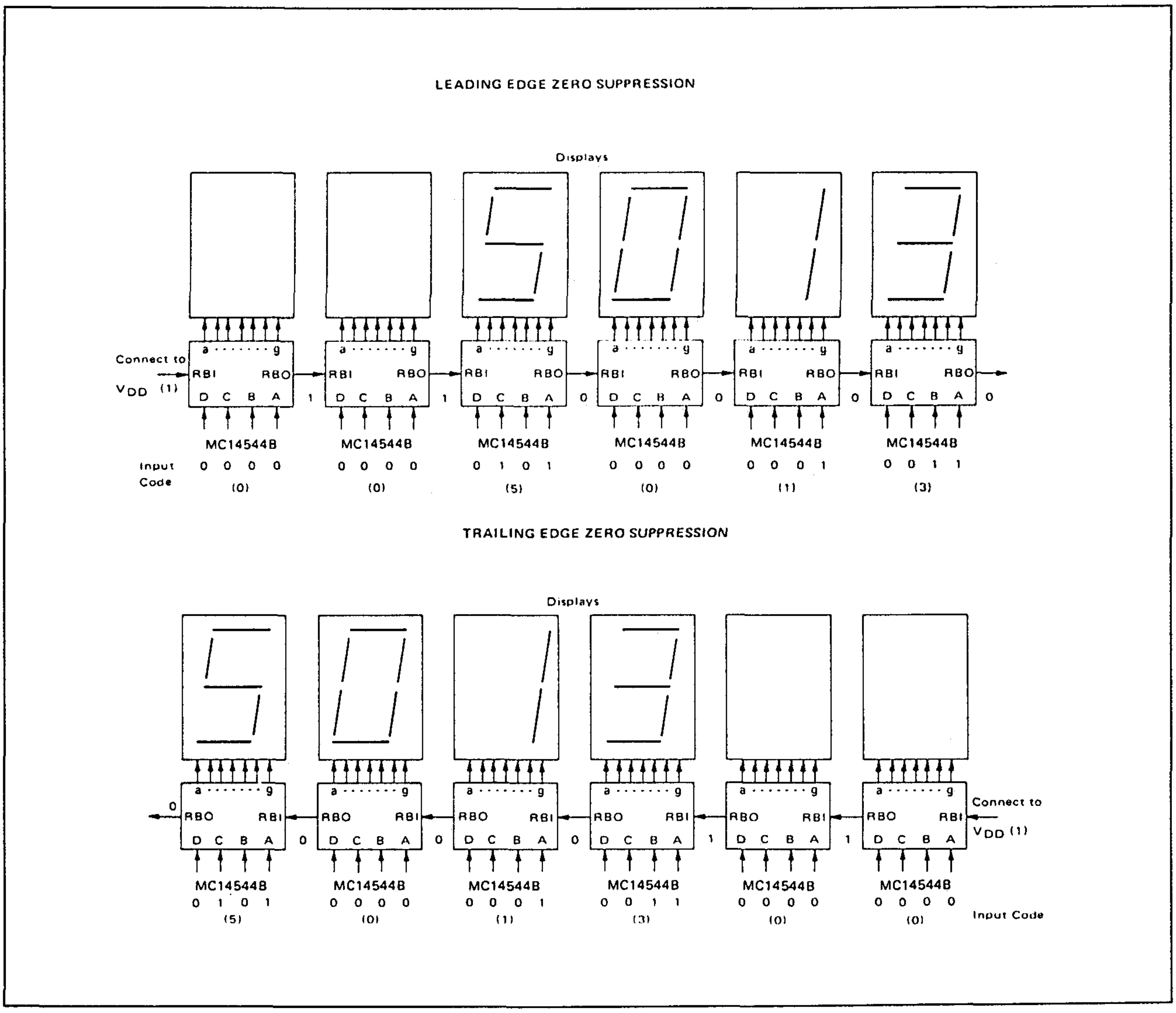
Waarheidstabel.



Segmentcodering.
Voor LCD display's wordt op de Ph-ingang en het elektrisch doorverbonden backplane van de display's een blokvormig signaal gezet. De uitgangen a tot en met g worden direct met de segmenten van het display verbonden.

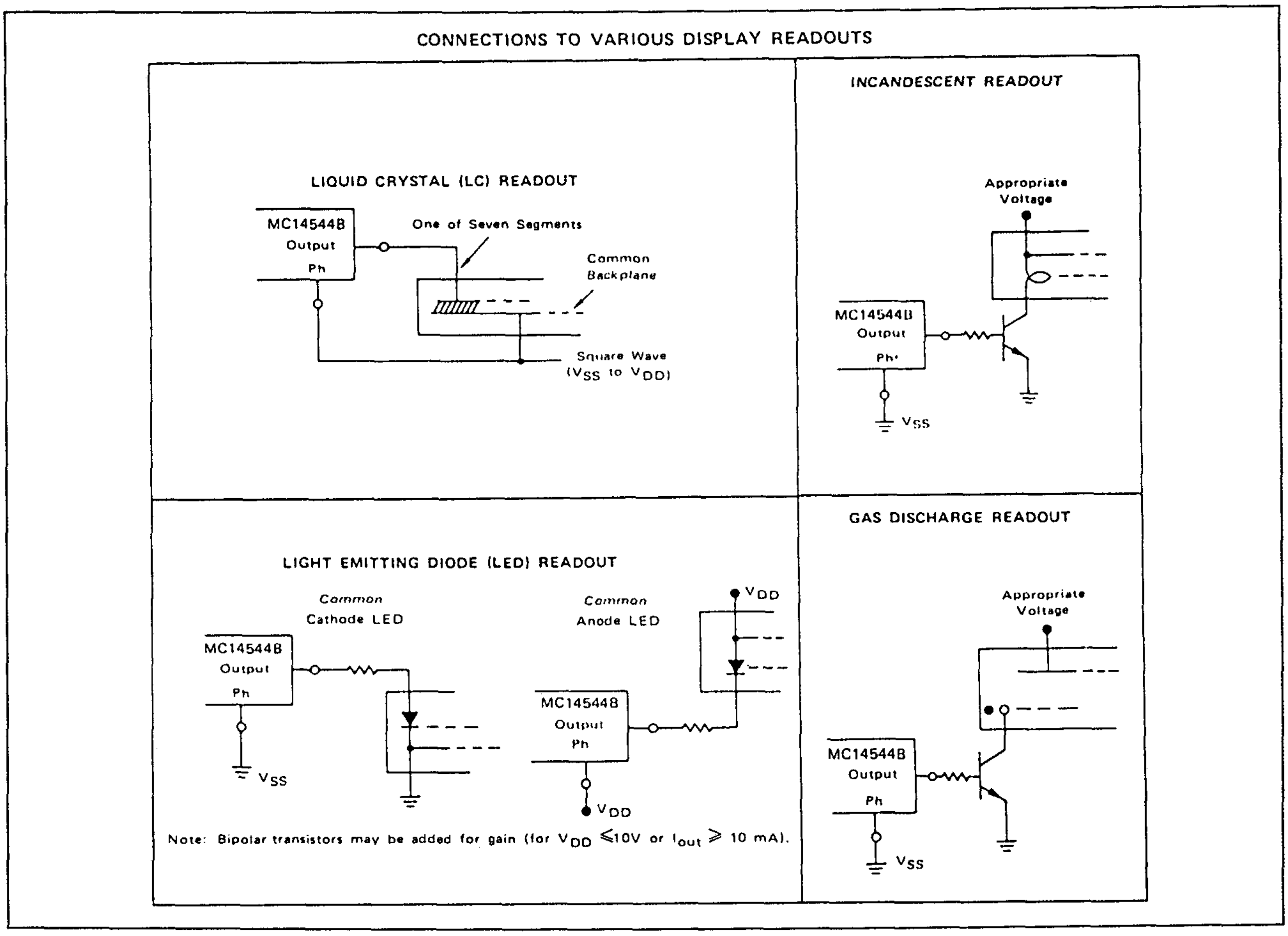
leverbaar:
MC 14544 B

5.3 (1)4xxx-serie CMOS



Onderdrukking van voorop- (leading) en achterop- (trailing) lopende nullen.

5.3 (1)4xxx-serie CMOS



Het aansluiten van diverse display's.

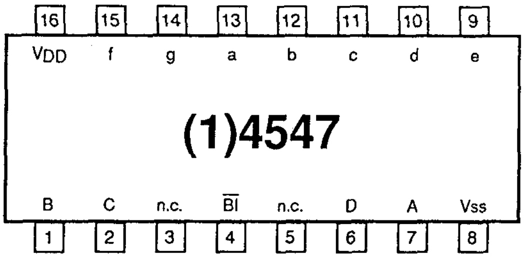
5.3 (1)4xxx-serie CMOS

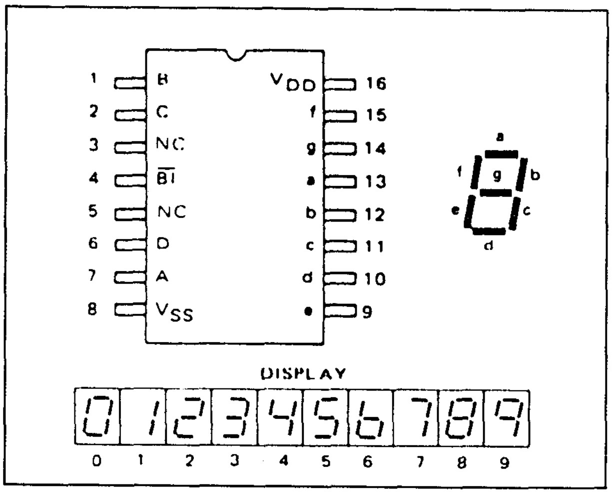
(1)4547

High current BCD-naar-7 segment decoder/driver (actief hoog)

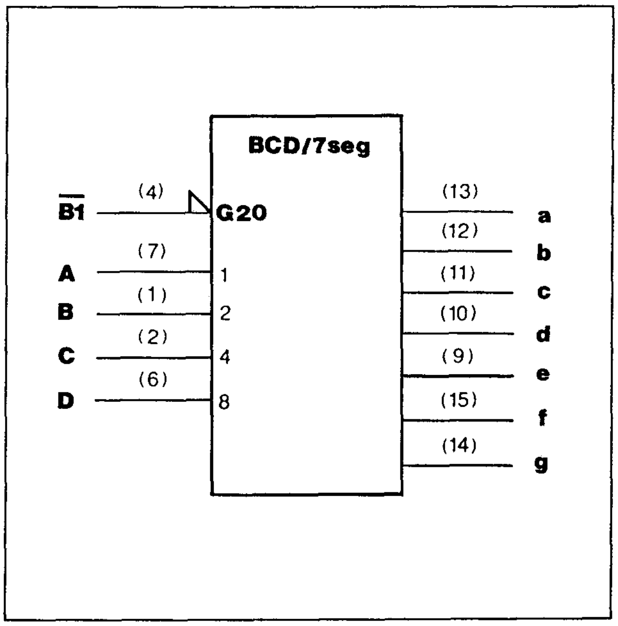
voor LED, gloeilamp, fluorescerende- of gasontladings-display's, V_{dd} = 3 V tot 18 V, I_{out} = maximaal 65 mA

Figuur 5/5.3-547





Segmentcodering.



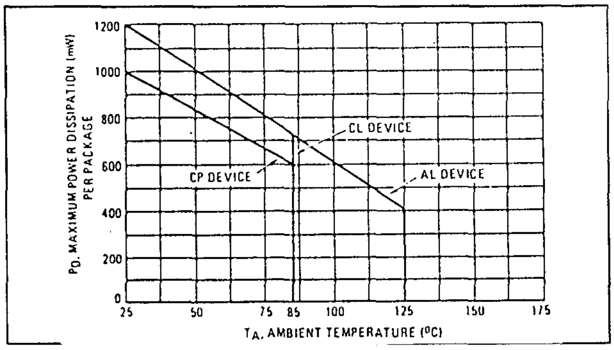
INPUTS					OUTPUTS							
BI	D	C	B	A	a	b	c	d	e	f	g	DISPLAY
0	X	X	X	X	0	0	0	0	0	0	0	Blank
1	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	1	1	1	1	1	1	0	0	1	3
1	0	1	0	0	0	1	1	0	0	1	1	4
1	0	1	0	1	1	0	1	1	0	1	1	5
1	0	1	1	0	0	0	1	1	1	1	1	6
1	0	1	1	1	1	1	1	0	0	0	0	7
1	1	0	0	0	1	1	1	1	1	1	1	8
1	1	0	0	1	1	1	1	0	0	1	1	9
1	1	0	1	0	0	0	0	0	0	0	0	Blank
1	1	0	1	1	0	0	0	0	0	0	0	Blank
1	1	1	0	0	0	0	0	0	0	0	0	Blank
1	1	1	0	1	0	0	0	0	0	0	0	Blank
1	1	1	1	0	0	0	0	0	0	0	0	Blank
1	1	1	1	1	0	0	0	0	0	0	0	Blank

X = Don't care

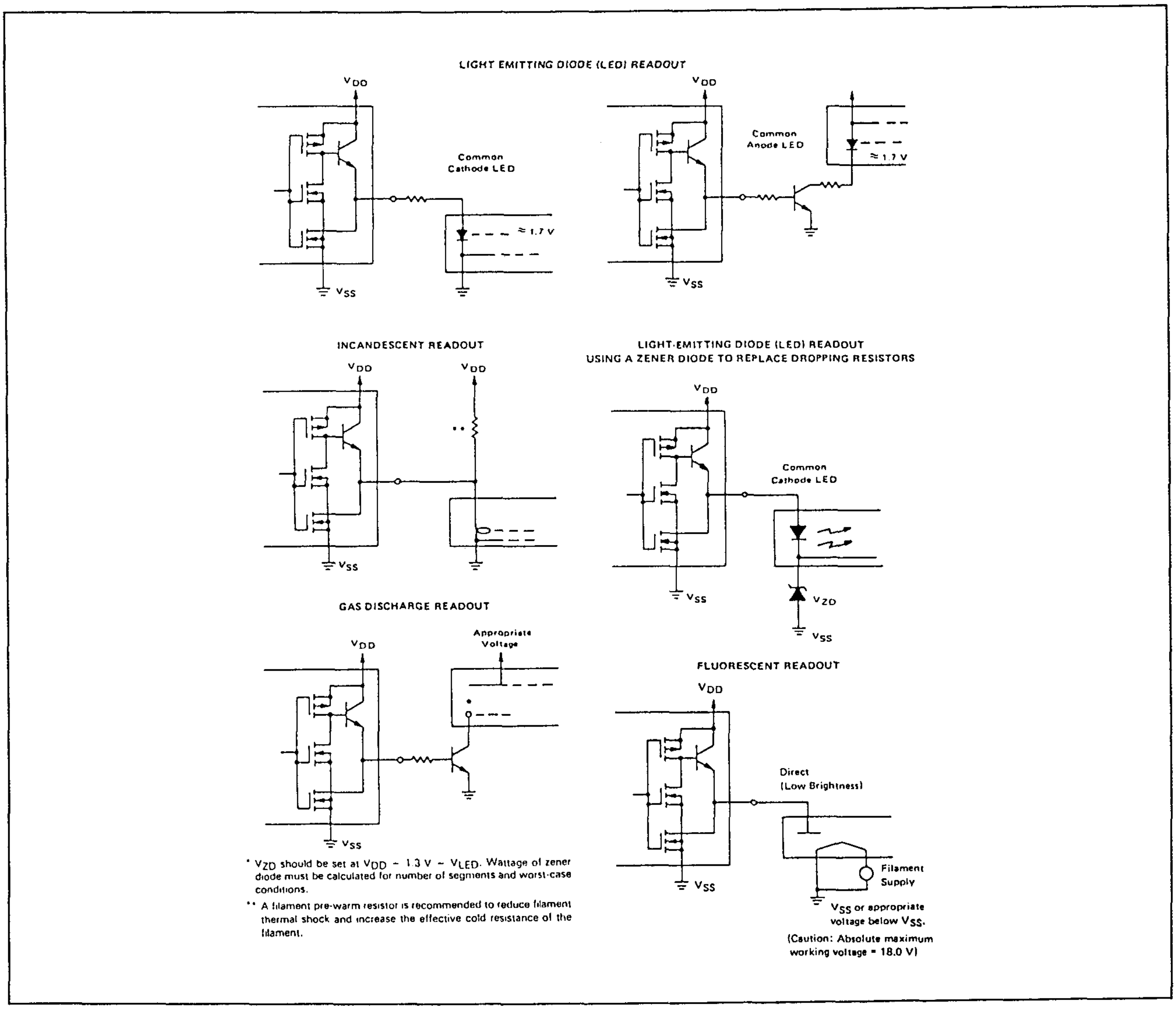
Waarheidstabel.

leverbaar:
MC 14547 B

5.3 (1)4xxx-serie CMOS



Vermogen/temperatuur karakteristiek. De intensiteit kan eventueel worden gemoduleerd met behulp van het $\overline{BI}$-signaal.



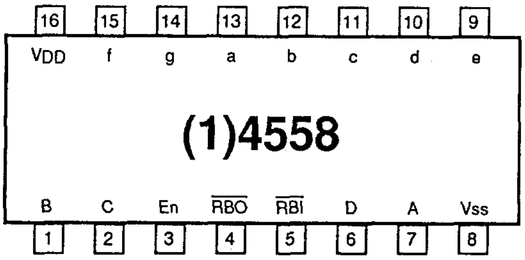
Toepassingsvoorbeelden.

5.3 (1)4xxx-serie CMOS

(1)4558

BCD-naar-7 segment decoder (aktief hoog)

decodering afhankelijk van Enable en $\overline{\text{RBI}}$-ingangen, V_{dd} = 3 V tot 18 V

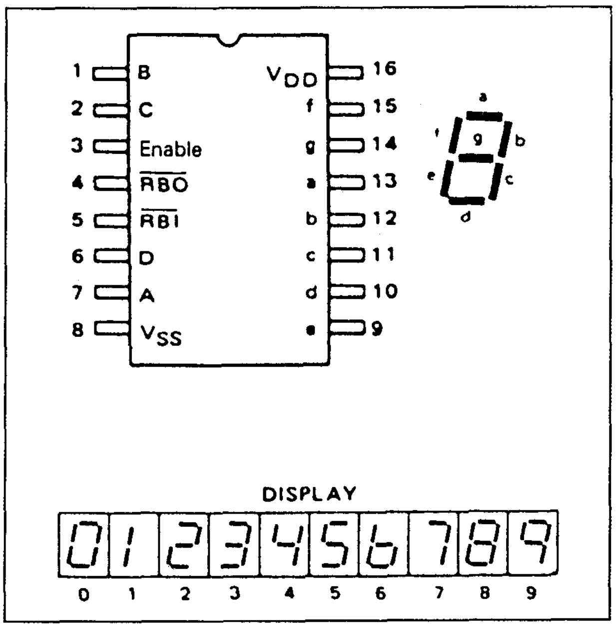


Figuur 5/5.3-558

Enable Pin 3	$\overline{\text{RBI}}$ Pin 5	BCD Input Code	$\overline{\text{RBO}}$ Pin 4	Function Performed
0	0	X	0	Lamp Test
0	1	X	1	Blank Segments
1	1	0	1	Display Zero
1	0	0	0	Blank Segments
1	X	1-9	1	1-9 Displayed

X = Don't Care
$\overline{\text{RBI}}$ = Ripple Blanking Input
$\overline{\text{RBO}}$ = Ripple Blanking Output

Waarheidstabel En/$\overline{\text{RBI}}$-ingangen.



Segmentcodering.

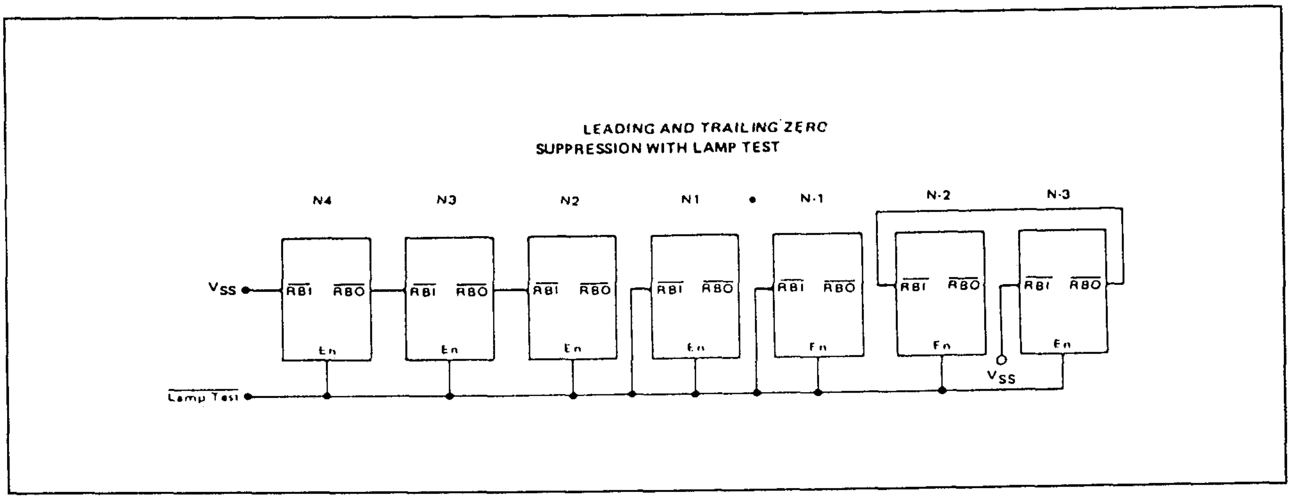
INPUTS						OUTPUTS*								
Enable Pin 3	$\overline{\text{RBI}}$ Pin 5	D Pin 6	C Pin 2	B Pin 1	A Pin 7	a Pin 13	b Pin 12	c Pin 11	d Pin 10	e Pin 9	f Pin 15	g Pin 14	$\overline{\text{RBO}}$ Pin 4	DISPLAY
1	1	0	0	0	0	1	1	1	1	1	1	0	1	0
1	X	0	0	0	1	0	0	0	0	1	1	0	1	1
1	X	0	0	1	0	1	1	0	1	1	0	1	1	2
1	X	0	0	1	1	1	1	1	1	0	0	1	1	3
1	X	0	1	0	0	0	1	1	0	0	1	1	1	4
1	X	0	1	0	1	1	0	1	1	0	1	1	1	5
1	X	0	1	1	0	0	0	1	1	1	1	1	1	6
1	X	0	1	1	1	1	1	1	0	0	0	0	1	7
1	X	1	0	0	0	1	1	1	1	1	1	1	1	8
1	X	1	0	0	1	1	1	1	0	0	1	1	1	9
1	0	0	0	0	0	0	0	0	0	0	0	0	0	Blank
0	0	X	X	X	X	1	1	1	1	1	1	1	0	8
0	1	X	X	X	X	0	0	0	0	0	0	0	1	Blank

*All non-valid BCD input codes produce a blank display.
X = Don't Care

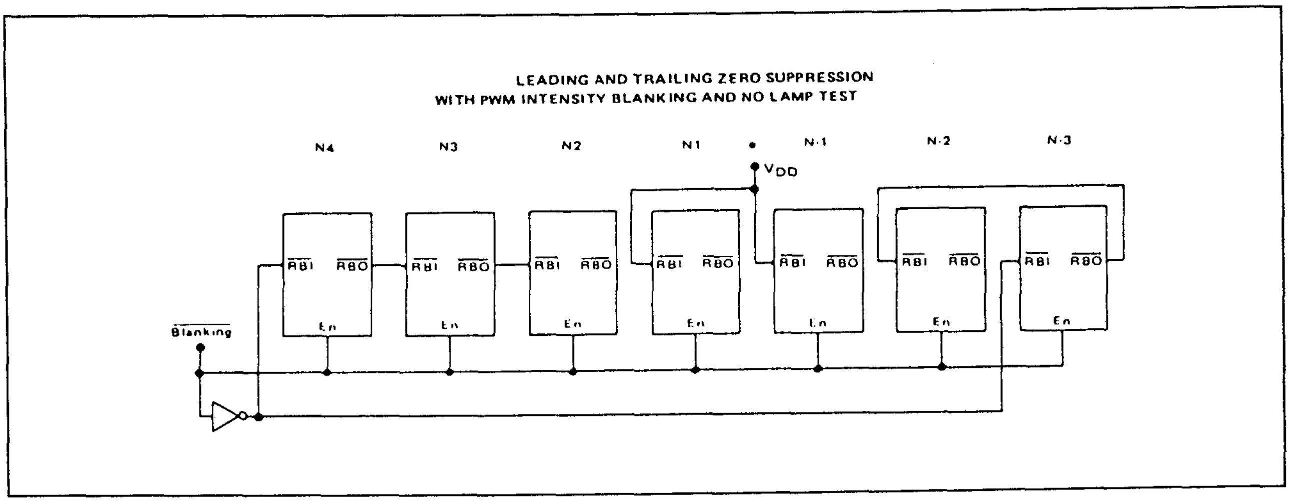
Waarheidstabel data-ingangen.

o.a. leverbaar:
MC 14558 B, HD 14558 B.

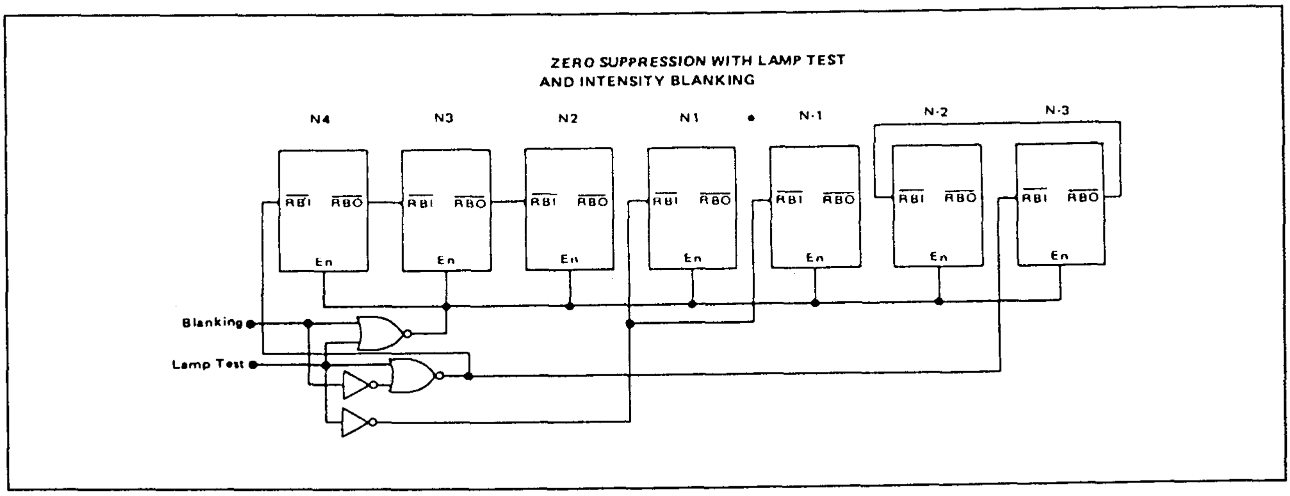
5.3 (1)4xxx-serie CMOS



Toepassingsvoorbeeld 1.



Toepassingsvoorbeeld 2.



Toepassingsvoorbeeld 3.

(1)45000 en (1)45001

Gemultiplexte LCD drivers met seriële ingang

De (1)45000 master en de (1)45001 slave zijn geschikt voor het aansturen van vloeibare kristal (LCD) display's in een "per-vier" gemultiplexte configuratie. De mastereenheid genereert de golfvormen voor zowel frontplane als backplane en kan zelfstandig werken. De slave-eenheid genereert alleen frontplane golfvormen en wordt met de backplanes van de master-eenheid gesynchroniseerd. Er kunnen meerdere slave-eenheden in cascade op de master-eenheid worden aangesloten, waardoor het aantal aan te sturen LED-elementen kan worden uitgebreid. Het maximale aantal frontplanes is afhankelijk van de capacitieve belasting van de backplane-drivers en de aandrijf-frequentie.
De schakelingen gebruiken data van een microprocessor of seriële data en clock uit een andere bron voor het aansturen van een LCD-segment per bit.

Werking van de master

In het blokschema van de master is te zien dat deze uit twee onafhankelijke delen bestaat: het data-ingangscircuit met bijbehorende clock en het LCD-aandrijfcircuit met daarbij behorende clock. Op de dalende flanken van de externe data-clock worden 48 bits data serieel in het schuifregister geklokt. Aan het begin van elk frame-periode wordt data van het schuifregister in de 48-bit latch opgeslagen. Zoals in de tijddiagrammen "voltage wavevorms" te zien is, is de frame-periode t_{frame} de tijd waarin alle LCD-segmenten in de gewenste "ON" of "OFF" toestand worden gezet. De binaire informatie in de latch bepaalt de juiste vorm van het signaal dat voor aandrijving van het frontplane nodig is, terwijl de golfvormen voor het backplane niet veranderen. De golfvormen voor frontplane (FPn) en backplane (Bpn) worden met behulp van de systeemclock (de oscillator, gedeeld door 256) en spanningen uit de V/3 generator opgewekt. Te zien is dat de frontplane en backplane golfvormen en de "ON" en "OFF" segment-golfvormen perioden hebben die gelijk zijn aan t_{frame} en frequenties van een kwart van de systeemclock. De mastereenheid heeft 12 frontplane en 4 backplane drivers.

Werking van de slave

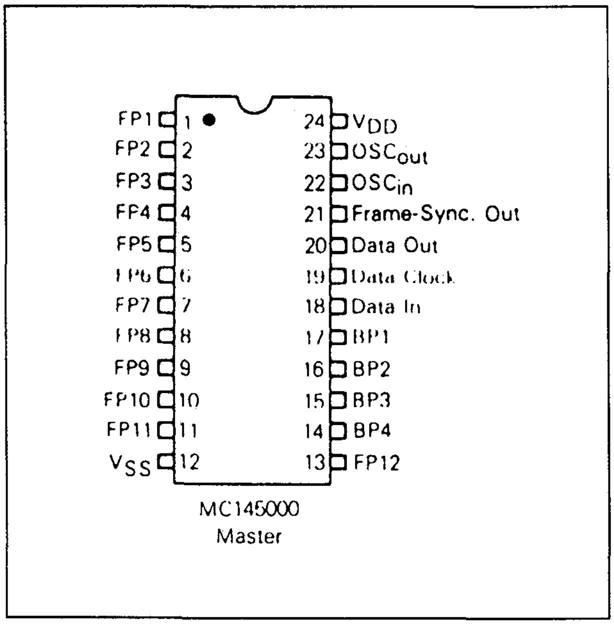
De slave eenheid heeft dezelfde opbouw als de master, op twee uitzonderingen na, hij heeft geen backplane drivers en zijn schuifregisters en latch zijn 44-bits groot. De slave eenheid heeft 11 frontplane drivers en GEEN backplane drivers.

Systeem-configuratie

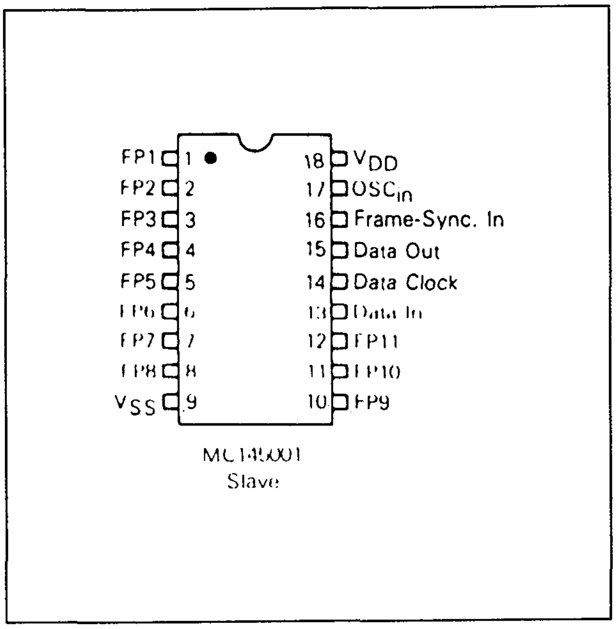
De basis systeem-configuratie voor het aansturen van een LCD-display bestaat uit een master en verschillende slave-eenheden (zie toepassingsschema "basic system configuration"). Data wordt op de dalende flank van de gemeenschappelijke data-clock eerst in de master geschoven en daarna in de daarachter geschakelde slaves. Aan het begin van elke frame-periode wekt de master een frame-sync puls op die door de slave-eenheden wordt ontvangen. Deze puls dient om te garanderen dat alle slave-eenheden worden gesychroniseerd op de backplane drive-schakelingen van de master.
Ook wordt een enkel, door 4 lijnen aanstuurbaar (multiplexed-by-four) 7-segment (plus decimale punt) LCD display getoond plus de mogelijke aansluitingen van frontplane en backplane.
Als in een systeem meerdere van dergelijke displays worden gebruikt, hebben alle LCD-digits de vier, door de master opgewekte, backplanes gemeenschappelijk. Met de 12 frontplanes van de master-eenheid kunnen 48 LCD-elementen (6 LCD digits) worden bestuurd, terwijl de 11 frontplanes van de slave-eenheid goed zijn voor 44 LCD-elementen (5 1/2 LCD digits).

leverbaar:
Motorola MC 145000, MC 145001.

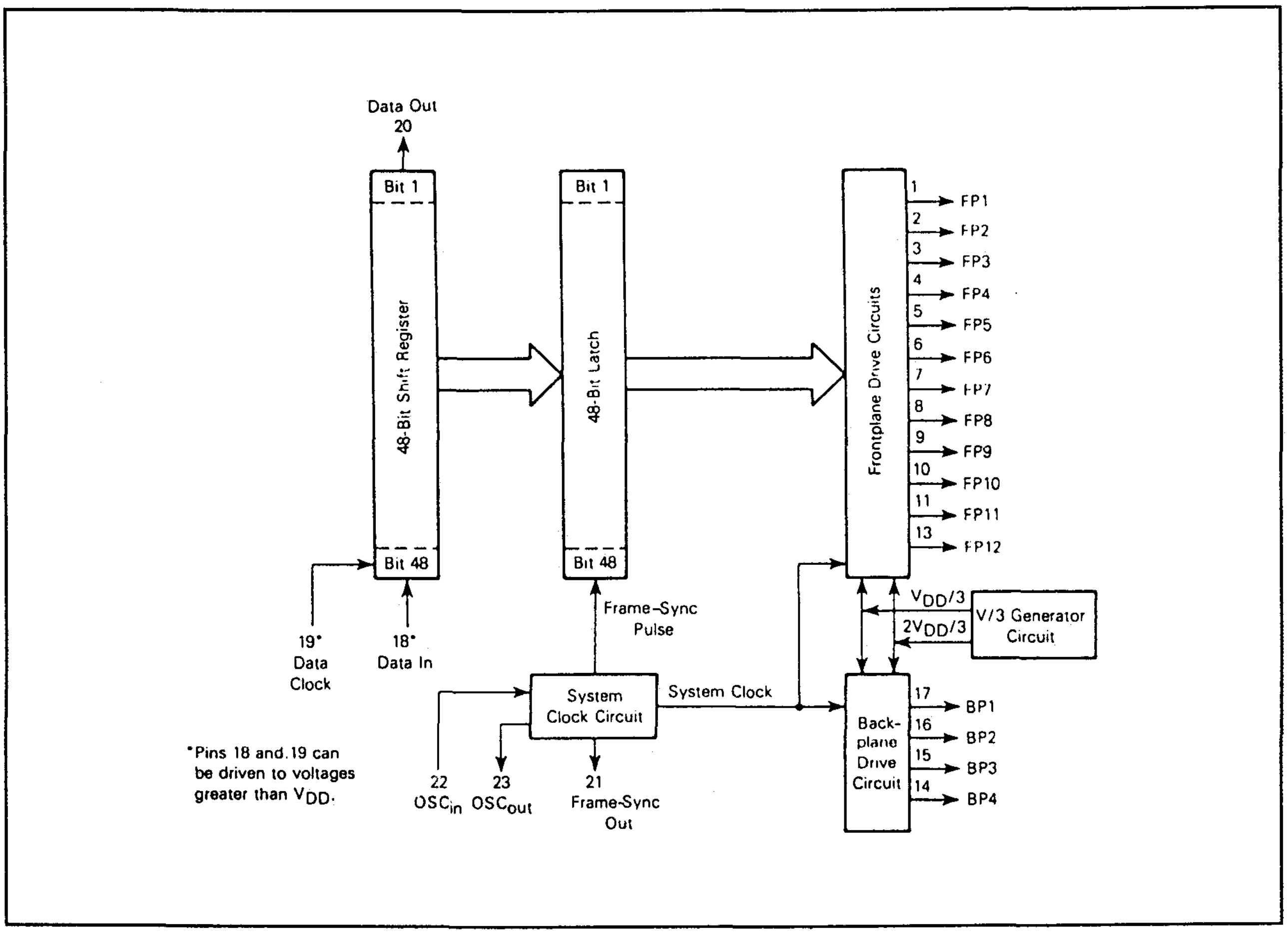
5.3 (1)4xxx-serie CMOS



Aansluitgegevens master.

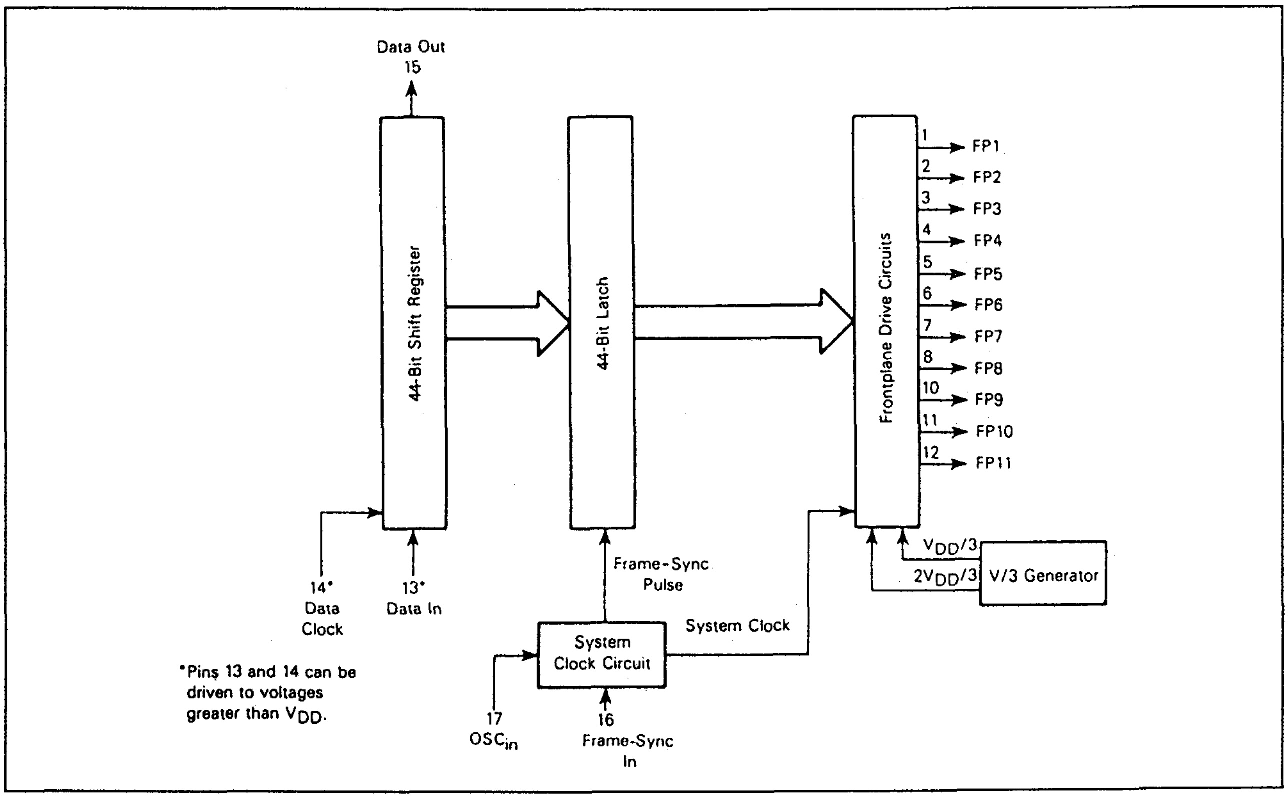


Aansluitgegevens van de slave.

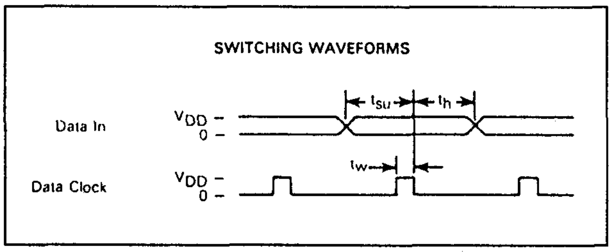


Blokschema van de (1)45000 (master).

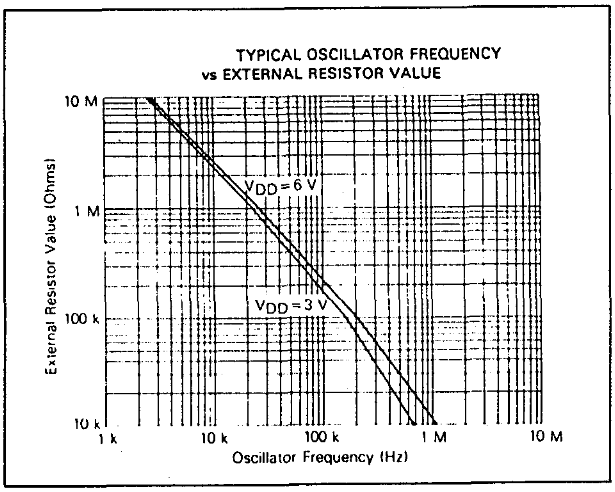
5.3 (1)4xxx-serie CMOS



Blokschema van de (1)45001 (slave).

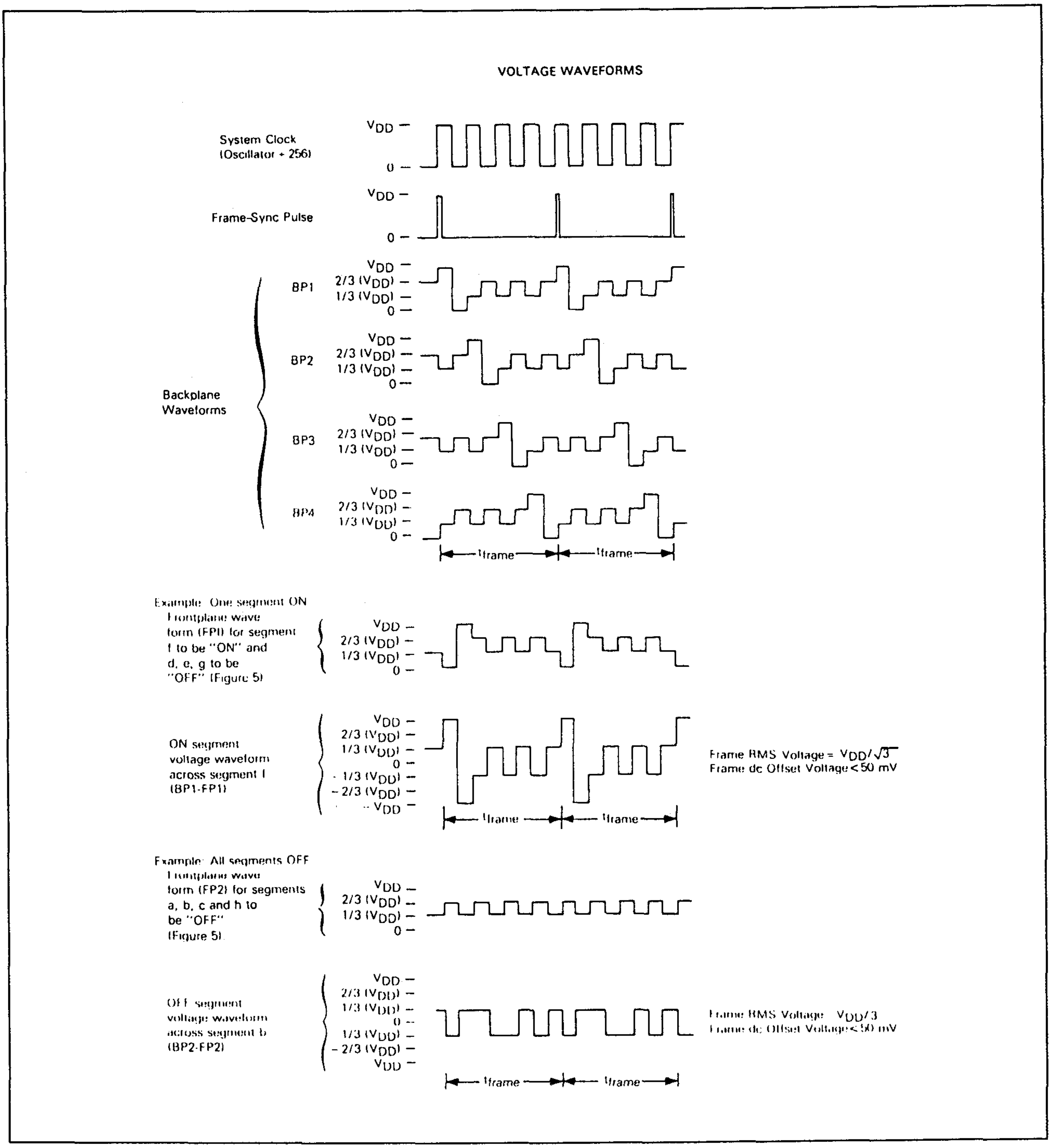


Schakeltijden.



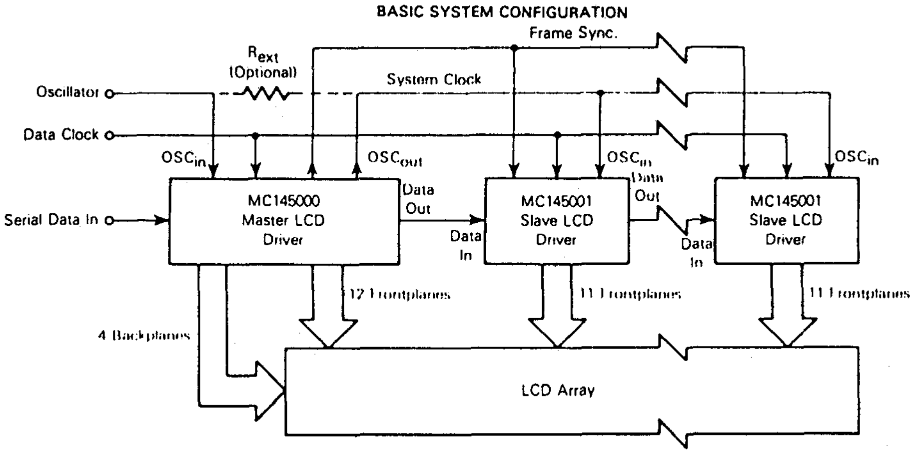
Verband tussen de oscillator-frequentie en de externe weerstand $F_{osc} = f(R_{ext})$.

5.3 (1)4xxx-serie CMOS



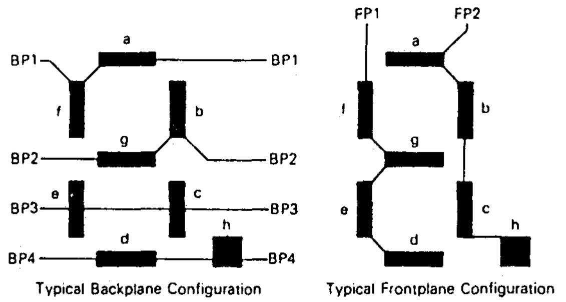
Tijddiagram en spanningsvormen.

5.3 (1)4xxx-serie CMOS



Toepassing van een master en meerdere slaves bij het aansturen van een LCD-array.

FRONTPLANE AND BACKPLANE CONNECTIONS TO A MULTIPLEXED-BY-FOUR 7-SEGMENT (PLUS DECIMAL POINT) LCD



SEGMENT TRUTH TABLE*

	FP1	FP2
BP1	f	a
BP2	g	b
BP3	e	c
BP4	d	d

*Because there is no standard for backplane and frontplane connections on multiplexed displays, this truth table may be used only for this example.

Aansluitingen van een gemultiplexte 7-segment LCD-display.

Characteristic	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	− 0.5 to + 6.5	V
Input Voltage, Data In and Data Clock	V_{in}	− 0.5 to 15	V
Input Voltage, Pin 22 of Master	$V_{in\ osc}$	− 0.5 to V_{DD} + 0.5	V
DC Input Current, per Pin	I_{in}	± 10	mA
Operating Temperature Range	T_A	− 40 to + 85	°C
Storage Temperature Range	T_{stg}	− 65 to + 150	°C

Maximaal toegelaten waarden.

5.3 (1)4xxx-serie CMOS

Characteristic		Symbol	V_{DD} V	40°C Min	40°C Max	25°C Min	25°C Typ	25°C Max	85°C Min	85°C Max	Unit
RMS Voltage Across a Segment (BPi-FPj)	"ON" Segment	V_{ON}	3.0	–	–	–	1.73	–	–	–	V
			6.0	–	–	–	3.46	–	–	–	
	"OFF" Segment	V_{OFF}	3.0	–	–	–	1.00	–	–	–	V
			6.0	–	–	–	2.00	–	–	–	
Average DC Offset Voltage		Vdc	3.0	–	30	–	10	30	–	30	mV
			6.0	–	50	–	20	50	–	50	
Input Voltage	"0" Level	V_{IL}	3.0	–	0.90		1.35	0.90	–	0.90	V
			6.0	–	1.80	–	2.70	1.80	–	1.80	
	"1" Level	V_{IH}	3.0	2.10	–	2.10	1.65	–	2.10	–	V
			6.0	4.20	–	4.20	3.30	–	4.20	–	
Output Drive Current – Backplanes											
High-Current State*											
V_O = 2.85 V		I_{BH}	3.0	150	–	75	190	–	35	–	μA
V_O = 1.85 V				220	–	110	200	–	55	–	
V_O = 1.15 V				160	–	80	200	–	40	–	
V_O = 0.15 V				400	–	200	300	–	100	–	
V_O = 5.85 V		I_{BH}	6.0	500	–	250	300	–	125	–	μA
V_O = 3.85 V				1000	–	500	600	–	250	–	
V_O = 2.15 V				800	–	400	500	–	200	–	
V_O = 0.15 V				500	–	250	300	–	125	–	
Low-Current State*											
V_O = 2.85 V		I_{BL}	3.0	140	–	70	80	–	35	–	μA
V_O = 1.85 V				2.4	–	1.2	2.8	–	0.6	–	
V_O = 1.15 V				2.2	–	1.1	2.5	–	0.5	–	
V_O = 0.15 V				400	–	200	330	–	100	–	
V_O = 5.85 V		I_{BL}	6.0	190	–	95	105	–	45	–	μA
V_O = 3.85 V				15		7.5	10	–	3.7	–	
V_O = 2.15 V				13	–	6.5	9	–	3.2	–	
V_O = 0.15 V				850	–	425	570	–	210	–	
Output Drive Current – Frontplanes											
High-Current State*											
V_O = 2.85 V		I_{FH}	3.0	80	–	40	60	–	20	–	μA
V_O = 1.85 V				140	–	70	120	–	35	–	
V_O = 1.15 V				180	–	60	100	–	30	–	
V_O = 0.15 V				100	–	50	95	–	25	–	
V_O = 5.85 V		I_{FH}	6.0	140	–	70	90	–	35	–	μA
V_O = 3.85 V				360	–	180	250	–	90	–	
V_O = 2.15 V				400	–	200	240	–	100	–	
V_O = 0.15 V				100	–	50	120	–	25	–	
Low-Current State*											
V_O = 2.85 V		I_{FL}	3.0	60	–	30	40	–	15	–	μA
V_O = 1.85 V				2.8	–	1.4	2.8	–	0.7	–	
V_O = 1.15 V				2.2	–	1.1	2.5	–	0.5	–	
V_O = 0.15 V				100	–	50	100	–	25	–	
V_O = 5.85 V		I_{FL}	6.0	100	–	50	60	–	25	–	μA
V_O = 3.85 V				16	–	8.0	10	–	4.0	–	
V_O = 2.15 V				13	–	6.5	9	–	3.2	–	
V_O = 0.15 V				200	–	100	175	–	50	–	
Input Current		I_{in}	6.0	–	± 0.1	–	± 0.00001	± 0.1	–	± 1.0	μA
Input Capacitance		C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (Per Package) V_{in} = 0 or V_{DD}, I_{out} = 0 μA		I_{DD}	3.0	–	10	–	2.5	15	–	20	μA
			6.0	–	185	–	50	175	–	130	

*For a time (t ≅ 2.56/osc. freq.) after the backplane or frontplane waveform changes to a new voltage level, the circuit is maintained in the high-current state to allow the load capacitances to charge quickly. Then the circuit is returned to the low-current state until the next voltage level change occurs.

Gelijkspanningscondities.

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Data Clock Frequency	f_{cl}	3.0	–	12.5	7.5	MHz
		6.0	–	24	12.5	
Rise and Fall Times – Data clock	t_r, t_f	3.0	–	–	125	μs
		6.0	–	–	10	
Setup Time Data In to Data Clock	t_{su}	3.0	48	–	–	ns
		6.0	16	–	–	
Hold Time Data In to Data Clock	t_h	3.0	– 5	–	–	ns
		6.0	0	–	–	
Pulse Width Data Clock	t_w	3.0	65	–	–	ns
		6.0	40	–	–	

Schakeltijden.

(1)45453

LCD driver met seriële interface

De (1)45453 driver voor vloeibare kristal display's (LCD's) bestaat uit een 36-traps serie-in/parallel-uit schuifregister met 33 latches en drivers. Per (1)45453 kunnen maximaal 33 niet-gemultiplexte LCD-segmenten worden aangestuurd (bijvoorbeeld een 4 1/2 digit 7-segment plus decimale punt display). Het aantal aangedreven segmenten kan worden verhoogd door meerdere drivers parallel te schakelen.
Het ingangsformaat is een startbit (HOOG), gevolgd door 33 display-bits en 2 nalopende bits ("don't cares").
Wanneer de HOGE startbit op de laatste plaats in het schuifregister is gekomen, triggert deze het opwekken van een intern load-signaal waardoor de 33 databits in de latches worden overgedragen. Hierna maakt een intern resetsignaal alleen het schuifregister leeg, waardoor de schakeling klaar staat voor de volgende bitstroom.

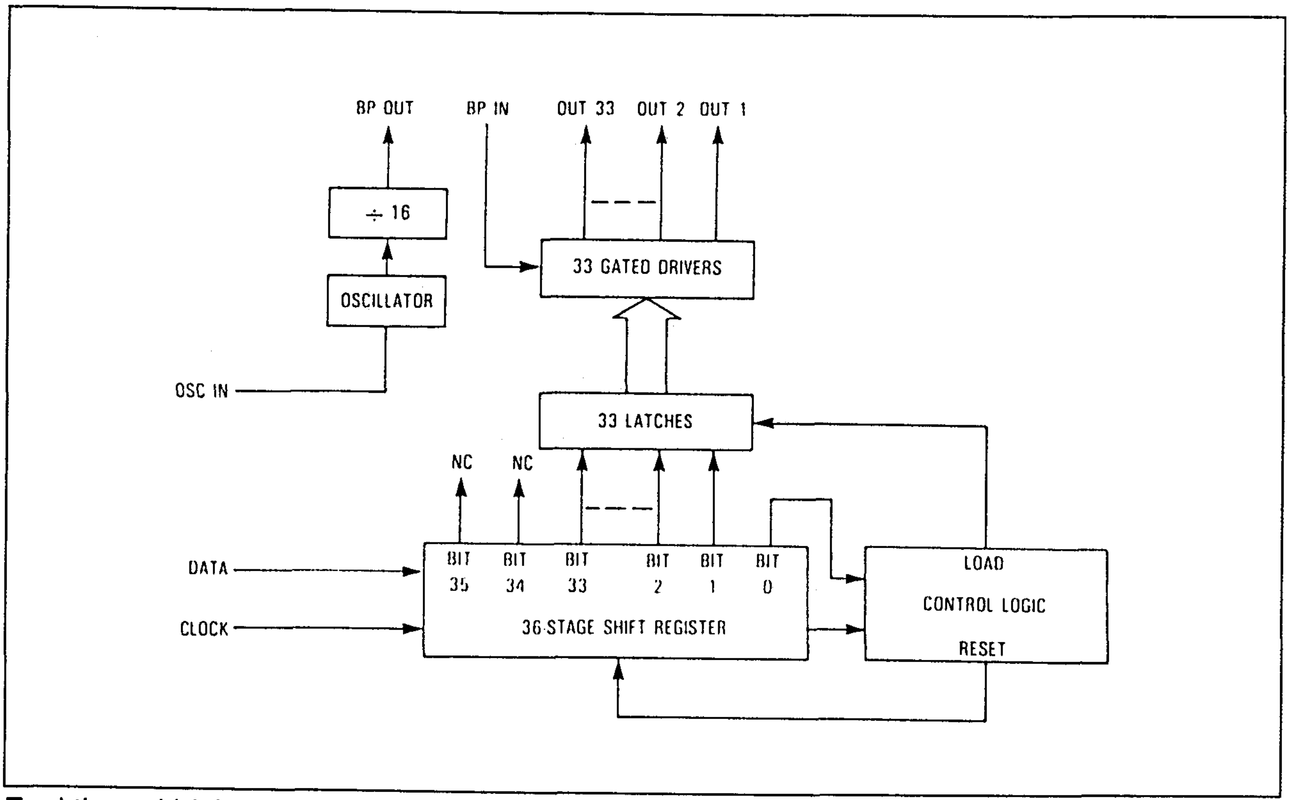
Kenmerken

- On-chip oscillator levert 50 % duty cycle backplane drive
- Geen extern load-signaal nodig
- Voeding: 3 tot 10 V
- Bedrijfstemperatuur: -40 tot +85 °C
- TTL-compatibele ingangen ook geschikt voor CMOS- signalen
- Geschikt voor gesegmenteerde alfanumerieke, bar-graph of dot-matrix LCD's
- Voordelen ten opzichte van gemultiplexte LCD-systemen zijn optimaal contrast bij lage spanning, grotere gezichtshoek, betrouwbaarder bij extreme temperaturen

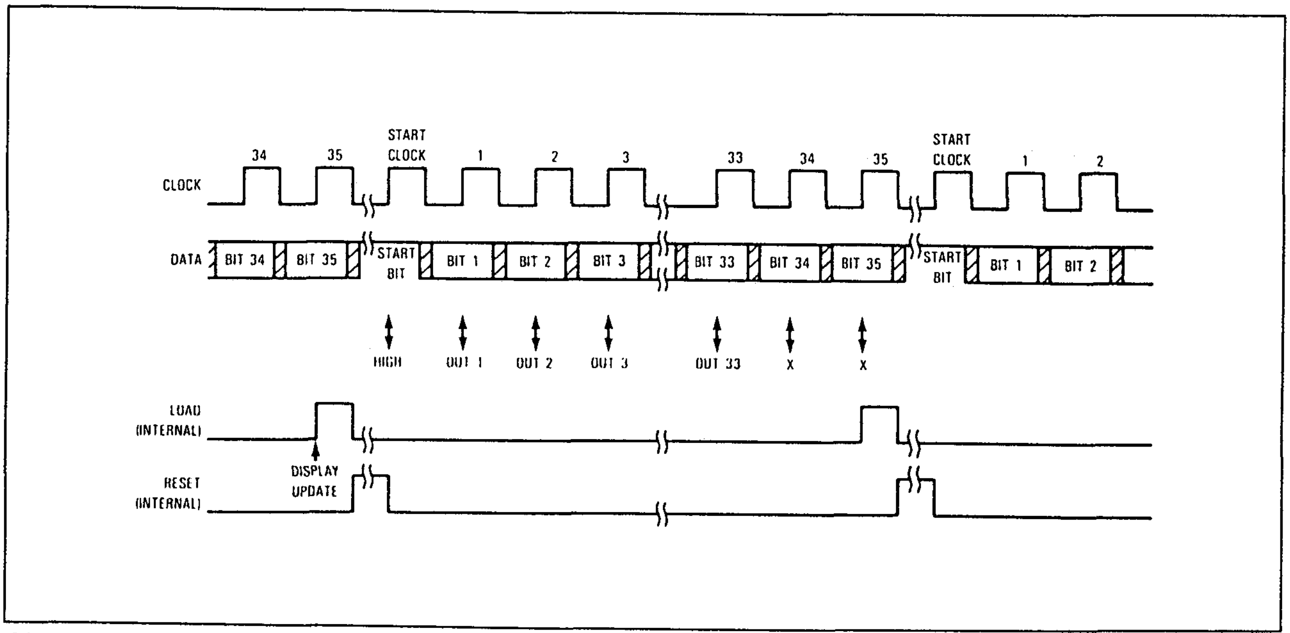
Ingangspennen

- Data
  Data op deze ingang wordt in serie in het op de chip aanwezige schuifregister geklokt op de stijgende flank van clock. De datastroom bestaat uit 1 HOOG startbit, 33 display bits en 2 naloopbits (don't cares). De schakeling bevat geen decoder, waardoor de segment-informtie extern kan worden geformatteerd. Displaybit 1 bestuurt het met uitgang 1 verbonden LCD-segment, bit 2 bestuurt uitgang 2, enzovoorts.
  Wanneer een displaybit HOOG is, wordt het overeenkomstige segment geaktiveerd. De displaybits worden opgeslagen in latches waardoor flikkeren van de display tijdens het schuiven wordt voorkomen.
- Clock
  Bij elke stijgende flank van het clocksignaal wordt data een plaats verder in het 36-traps schuifregister geschoven. Het schuifregister is volledig statisch, waardoor clock-snelheden vanaf DC of onderbroken zijn toegestaan. Clock behoeft niet synchroon te zijn met Osc In of BP In. Met "internal load" in het tijddiagram worden de 33 databits in de latches geklokt. De interne reset maakt uitsluitend het schuifregister leeg en klaar voor de volgende groep data.
- BP In
  Het signaal dat op deze backplane ingang komt, moet ook met het backplane van de LCD worden verbonden. BP In is de gemeenschappelijke ingang naar de 33 "gated" drivers en mag op de oscillator-uitgang BP Out worden aangesloten. Om interferentie door de display driver in analoge systemen te verminderen kan BP In door een systeemclock worden gesynchroniseerd. Om een offset spanning op de LCD te vermijden moet de BP In golfvorm een 50 % duty-cycle hebben. Afhankelijk van het display moet de BP In frequentie tussen 25 en 250 Hz liggen.
- Osc In
  Op deze oscillator ingangspen worden een weerstand en een condensator aangesloten om een oscillator te vormen. De oscillatie-frequentie wordt door 16 gedeeld en verschijnt op BP Out.
  Met een 5 V voeding produceren nominale waarden van 1 MΩ en 470 pF een 60 tot 150 Hz golfvorm op BP Out.

5.3 (1)4xxx-serie CMOS



Funktioneel blokschema.



Algemene timing.

5.3 (1)4xxx-serie CMOS

Als de interne oscillator niet wordt gebruikt, moet OSC In aan V_{SS} worden gelegd.

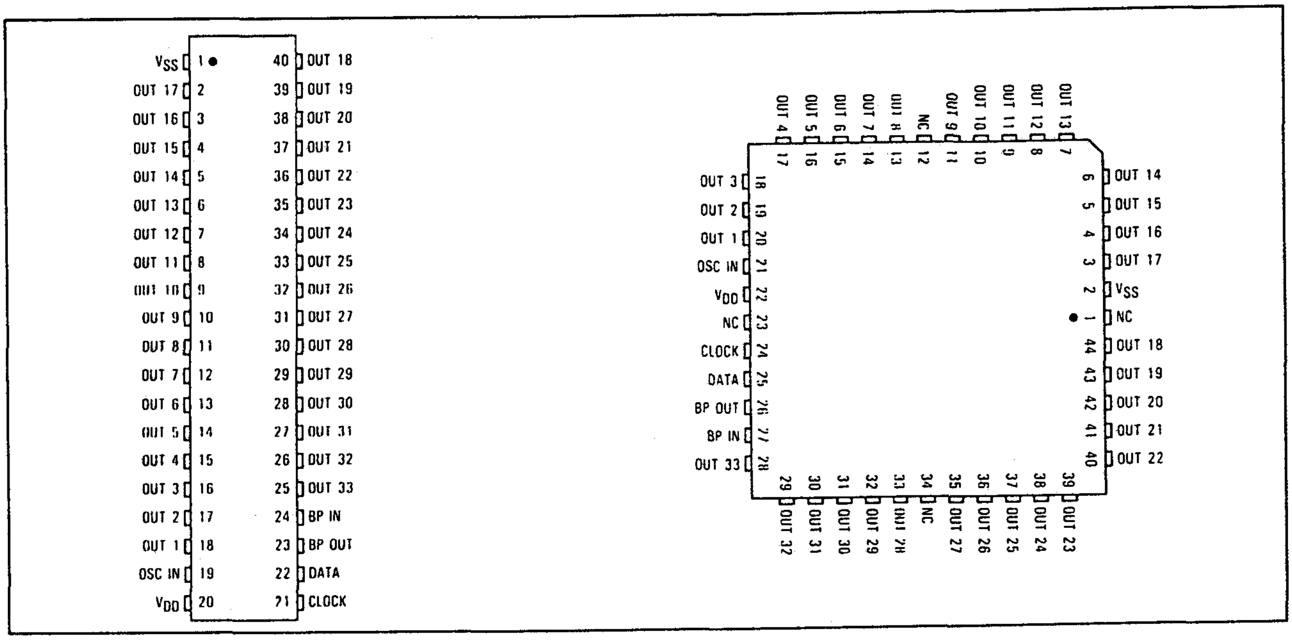
Uitgangspennen

- BP Out
  Deze backplane uitgangspen kan worden gebruikt om een golfvorm met 50 % "duty-cycle" direct op het backplane van de LCD en BP In te zetten. Wanneer de on-chip oscillator niet wordt gebruikt, moet BP Out open blijven. Als schakelingen parallel worden gezet, is een BP Out voldoende voor het aandrijven van alle BP In's.
- Out 1 tot en met Out 33
  Deze frontplane driver-uitgangen kunnen direct op de LCD worden aangesloten.

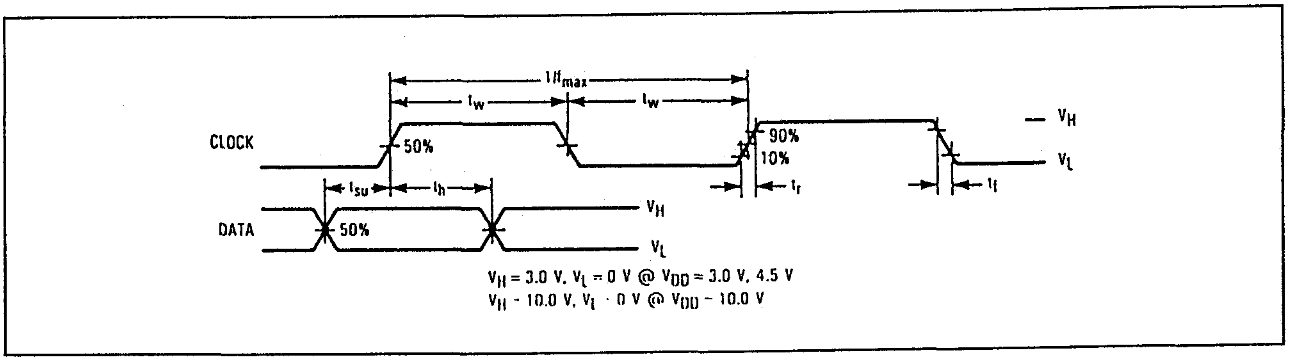
Voeding

- V_{SS}
  Dit is de meest negatieve voedingslijn. Meestal wordt deze pen aan aarde (GND) gelegd.
- V_{dd}
  De meest positieve voedingslijn. De spanning ten opzichte van V_{SS} mag 3 tot 10 V bedragen.

leverbaar:
Motorola MC 145453

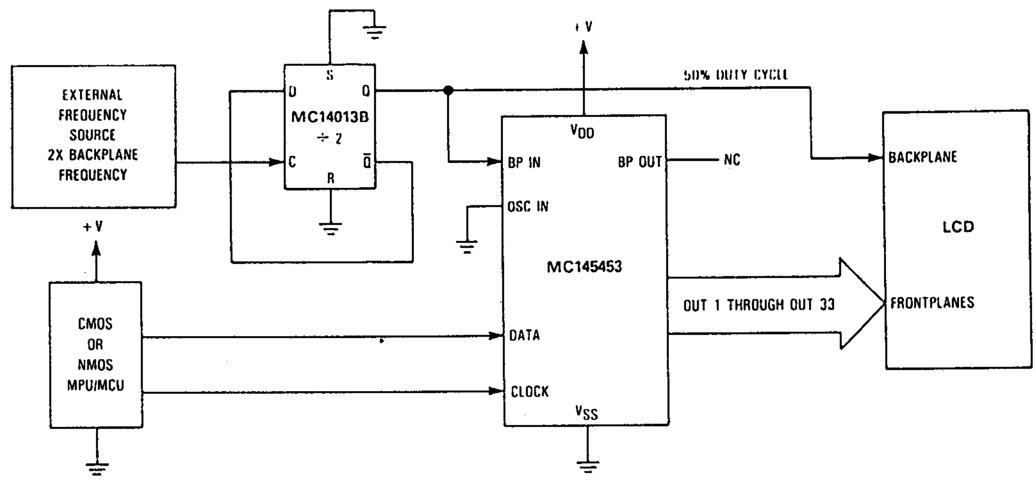


Aansluitgegevens.



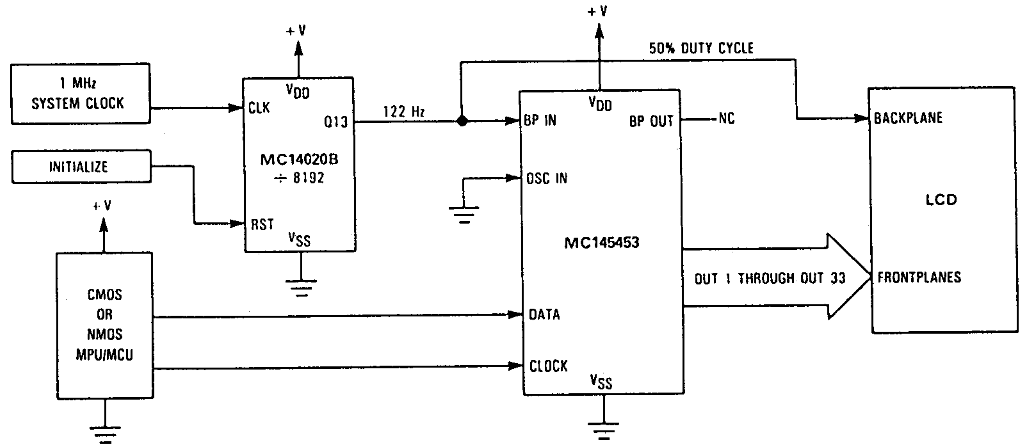
Input timing.

5.3 (1)4xxx-serie CMOS



Converting External Backplane Frequency Source to 50% Duty Cycle

Toepassing 1.



Using Low-Cost Divider to Sync Backplane Frequency

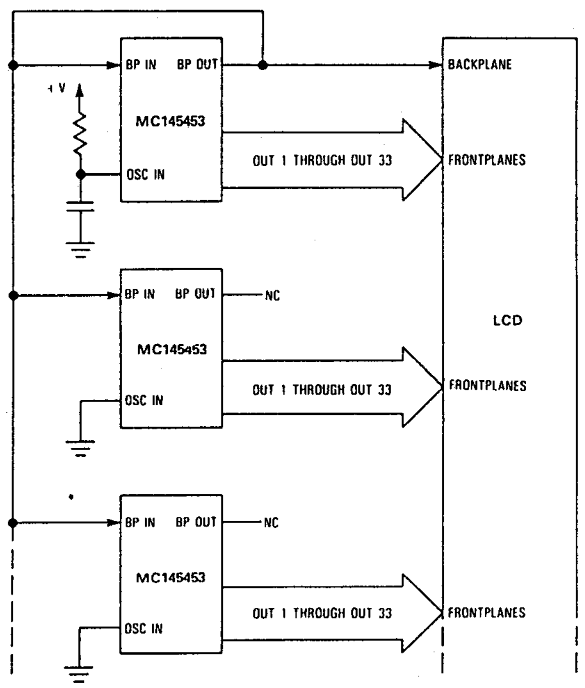
Toepassing 2.

5.3 (1)4xxx-serie CMOS

ELECTRICAL CHARACTERISTICS ($-40°C \le T_A \le 85°C$, Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	Guaranteed Limit	Unit
V_{DD}	Power Supply Voltage Range			3.0 to 10.0	V
V_{IL}	Maximum Low-Level Input Voltage (Data, Clock, BP In)		3.0 4.5 10.0	0.4 0.8 0.8	V
V_{IH}	Minimum High-Level Input Voltage (Data, Clock, BP In)		3.0 5.5 10.0	2.0 2.0 8.0	V
I_{OL}	Minimum Low-Level Output Current (BP Out) (Out 1 to Out 33)	$V_{out} = 0.3$ V	 3.0 3.0	 320 20	μA
I_{OH}	Minimum High-Level Output Current (BP Out) (Out 1 to Out 33)	V_{out} 2.7 V	 3.0 3.0	 320 −20	μA
V_{OO}	Average DC Output Offset Voltage (BP Out Relative to Out 1 through Out 33)	BP Out: $C_L = 8750$ pF Out 1 to 33: $C_L = 250$ pF	3.0 10.0	±50 ±50	mV
I_{in}	Maximum Input Leakage Current (Data, Clock, BP In)	$V_{in} = V_{DD}$ or V_{SS}	10.0	±1.0	μA
I_{DD}	Maximum Quiescent Supply Current (per Package)	Osc In: $V_{in} = V_{SS}$ BP In, Data, Clock: $V_{in} = V_{DD}$ or V_{SS} $I_{out} = 0$ μA	10.0	10	μA
I_{dd}	Maximum RMS Operating Supply Current (per Package)	$R_X = 1.0$ MΩ, $C_X = 470$ pF BP Out Tied to BP In Clock, Data: $V_{in} = V_{DD}$ or V_{SS} $I_{out} = 0$ μA	10.0	40	μA

Gelijkspanningscondities.



Paralleling Devices to Increase Number of Driven Segments

Toepassing 3.

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	0.5 to +11.0	V
V_{in}	DC Input Voltage	0.5 to V_{DD} + 0.5	V
V_{out}	DC Output Voltage	0.5 to V_{DD} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{DD} and V_{SS} Pins	±50	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	65 to +150	°C
T_L	Lead Temperature (10-Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
†Power Dissipation Temperature Derating: 12 mW/°C from 65°C to 85°C.

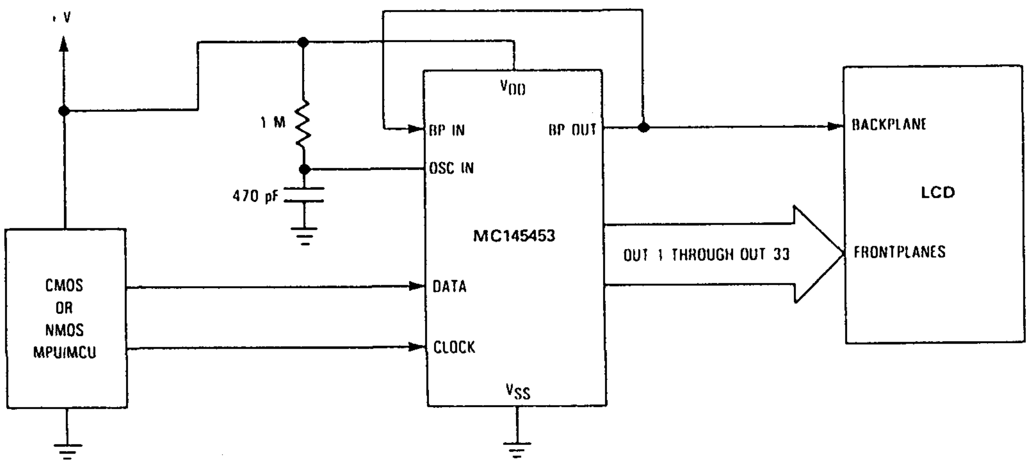
Maximaal toegelaten waarden.

5.3 (1)4xxx-serie CMOS

AC ELECTRICAL CHARACTERISTICS ($-40°C \le T_A \le 85°C$, Input $t_r = t_f = 50$ ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit	Unit
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figure 1)	3.0 4.5 10.0	400 850 1800	kHz
t_{su}	Minimum Setup Time, Data to Clock (Figure 1)	3.0 4.5 10.0	300 180 100	ns
t_h	Minimum Hold Time, Clock to Data (Figure 1)	3.0 4.5 10.0	300 130 50	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	3.0 4.5 10.0	1250 585 275	ns
t_r, t_f	Maximum Input Rise and Fall Times, Clock (Figure 1)	3.0 4.5 10.0	300 300 300	ns
C_{in}	Maximum Input Capacitance	--	10	pF

Schakeltijden.



Using On-Chip Oscillator

Toepassing 4.

5.3 (1)4xxx-serie CMOS

5/5.5

Speciale IC's uit de 74C-serie

74C911

4-digit Expandable Segment Display Controller

De 74C911 display controller is een interface element met geheugen voor aandrijving van een 4-digit, 8-segment LED display. Met dit IC kan elk segment in de 4-digit display individueel worden bestuurd. Het aantal segmenten per digit (alfanumerieke positie) kan worden uitgebreid zonder externe componenten te gebruiken. Met behulp van twee 74C911's kan bijvoorbeeld een 16-segment alfanumerieke display worden bestuurd (zie toepassingen).

De display controller krijgt data-informatie toegevoerd via 8 datalijnen a tot en met DP en digit-informatie via 2 adresingangen K1 en K2.
De ingangsdata wordt naar het register geleid dat door de adres-informatie wordt aangewezen als Chip-Enable ($\overline{CE}$) en Write-Enable ($\overline{WE}$) LAAG zijn en ingelatcht als $\overline{CE}$ of $\overline{WE}$ weer HOOG wordt. Data-houdtijd is niet vereist.

Door middel van een interne oscillator wordt de opgeslagen data achtereenvolgens gepresenteerd aan de 3-state uitgangsdrivers (100 mA typisch) die de LED display direct aansturen. De drivers zijn aktief wanneer de Segment Output Enable $\overline{SOE}$-ingang LAAG is. Hiermee kan de display worden gesperd om energie te sparen en kan ook de helderheid worden geregeld.

De digit-uitgangen sturen direct de basis van de digit-transistoren aan wanneer de Digit Input Output-pen $\overline{DIO}$ LAAG is. Is $\overline{DIO}$ HOOG, dan worden de digitlijnen ingangen en wordt de interne scan-multiplexer uitgeschakeld.

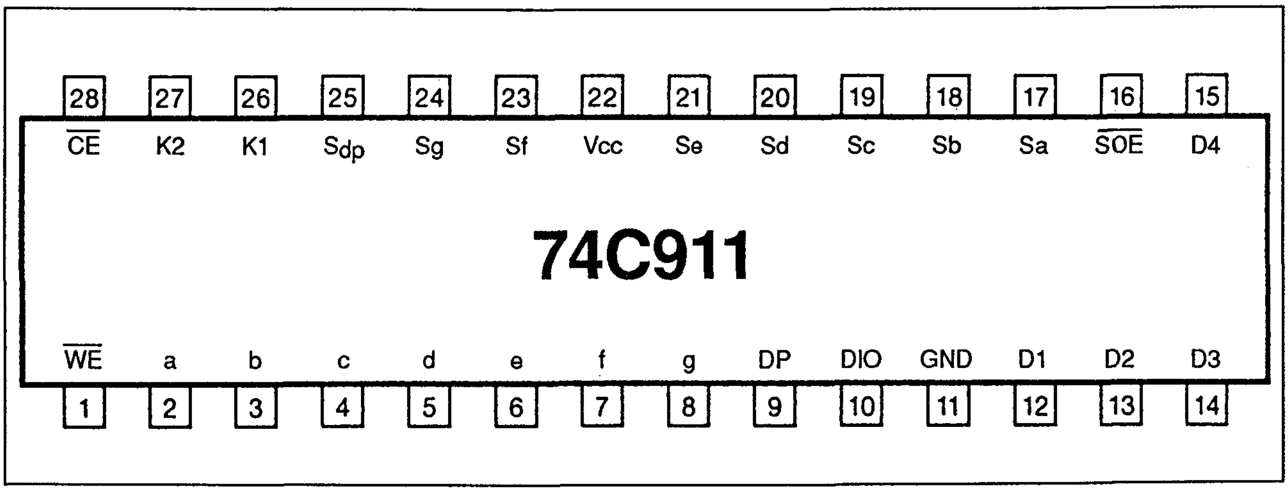
Wordt een digitlijn door een externe schakeling (gewoonlijk nog een 74C911) HOOG getrokken dan wordt de data-informatie voor die digit aan de uitgang doorgegeven. Op deze wijze kunnen 16-segment alfanumerieke displays, 24- of 32-segment displays of een array van LED's worden bestuurd door eenvoudig meerdere 74C911's in cascade te schakelen.
Alle ingangen, behalve de digit-ingangen zijn TTL-compatibel.

Alleen de CMOS-versie MM74C911 van National Semiconductor is leverbaar.

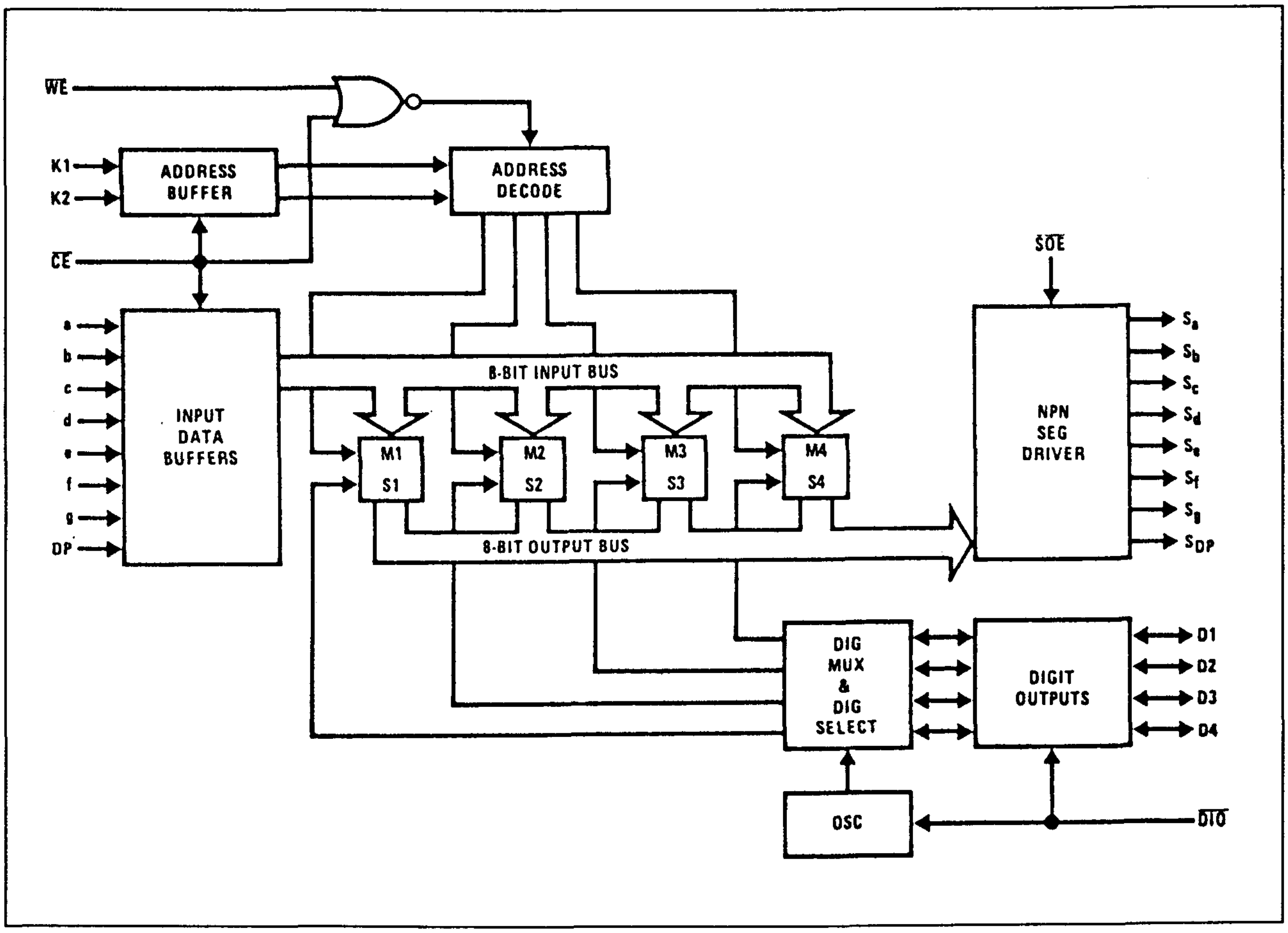
Technische gegevens

De technische gegevens van de 74C911 zijn samengevat in de figuren 5/5.5-1 tot en met 5/5.5-11.

5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-1: Aansluitgegevens van de 74C911.



Figuur 5/5.5-2: Functioneel blokschema van de 74C911.

5.5 Speciale IC's uit de 74C-serie

Absolute Maximum Ratings

Voltage at Any Pin Except Inputs	−0.3V to V_{CC} + 0.3V	Package Dissipation	Refer to $P_{D(MAX)}$ vs T_A Graph
Voltage at Any Input Except Digits	−0.3V to +15V	Operating V_{CC} Range	3V to 6V
Operating Temperature Range, T_A	−40°C to +85°C	Absolute Maximum V_{CC}	6.5V
Storage Temperature Range	−65°C to +150°C	Lead Temperature (Soldering, 10 seconds)	300°C

Figuur 5/5.5-5: Absoluut maximale waarden van de 74C911.

DC Electrical Characteristics
Min/max limits apply at −40°C ≤ T_J ≤ +85°C, unless otherwise noted

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5V	3.0			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current	V_{CC} = 5V, V_{IN} = 15V		0.005	1.0	µA
$I_{IN(0)}$	Logical "0" Input Current	V_{CC} = 5V, V_{IN} = 0V	−1.0	−0.005		µA
I_{CC}	Supply Current (Normal)	V_{CC} = 5V, Outputs Open		0.50	2.5	mA
I_{CC}	Supply Current (Power Saver)	V_{CC} = 5V, $\overline{SOE}$, $\overline{DIO}$ = "1", D1, D2, D3, D4 = "0"		1	600	µA
I_{OUT}	TRI-STATE Output Current	V_O = 5V V_O = 0V	 −10	0.03 −0.03	10	µA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 4.75V	V_{CC}−2.0			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 4.75V			0.8	V
OUTPUT DRIVE						
I_{SH}	High Level Segment Current	V_{CC} = 5V, V_O = 3.4V T_J = 25°C T_J = 100°C	 −60 −40	 −100 −60		 mA mA
I_{DH}	High Level Digit Current	V_{CC} = 5V, V_O = 3V T_J = 25°C T_J = 100°C V_{CC} = 5V, V_O = 1V T_J = 25°C T_J = 100°C	 −10 −7 −15 −10	 −20 −10 −40 −15		 mA mA mA mA
$V_{OUT(1)}$	Logical "1" Output Voltage, Any Digit	V_{CC} = 5V, I_O = −360 µA	4.6			V
$V_{OUT(0)}$	Logical "0" Output Voltage, Any Output	V_{CC} = 5V, I_O = 360 µA			0.4	V
θ_{JA}	Thermal Resistance	(Note 3)		100		°C/W

Figuur 5/5.5-6: Gelijkspanningscondities van de 74C911.

5.5 Speciale IC's uit de 74C-serie

Input Control

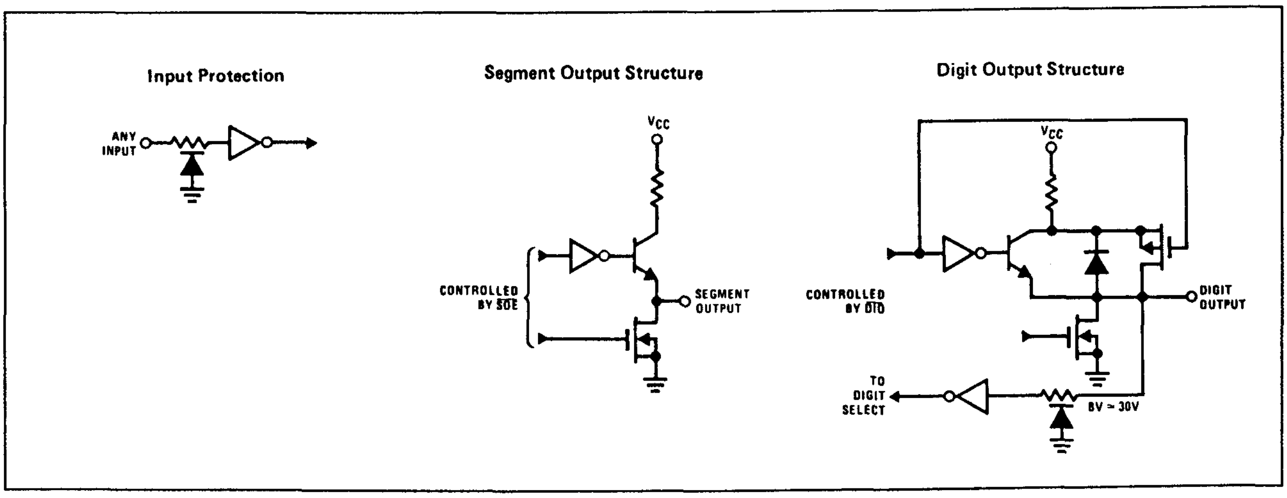
$\overline{CE}$	DIGIT ADDRESS K2	DIGIT ADDRESS K1	$\overline{WE}$	OPERATION
0	0	0	0	Write digit 1
0	0	0	1	Latch digit 1
0	0	1	0	Write digit 2
0	0	1	1	Latch digit 2
0	1	0	0	Write digit 3
0	1	0	1	Latch digit 3
0	1	1	0	Write digit 4
0	1	1	1	Latch digit 4
1	X	X	X	Disable writing

Output Control

$\overline{DIO}$	$\overline{SOE}$	DIGIT LINES D4	D3	D2	D1	OPERATION
0	0	R	R	R	R	Refresh display
0	1	R	R	R	R	Disable segment outputs
1	0	0	0	0	0	Digits are now inputs
1	0	0	0	0	1	Display digit 1
1	0	0	0	1	0	Display digit 2
1	0	0	1	0	0	Display digit 3
1	0	1	0	0	0	Display digit 4
1	1	0	0	0	0	Power saver mode

R = Refresh (digit lines sequentially pulsed)
X = Don't care

Figuur 5/5.5-3: Waarheidstabellen van de 74C911.



Figuur 5/5.5-4: Uitgangsstructuren van de 74C911.

5.5 Speciale IC's uit de 74C-serie

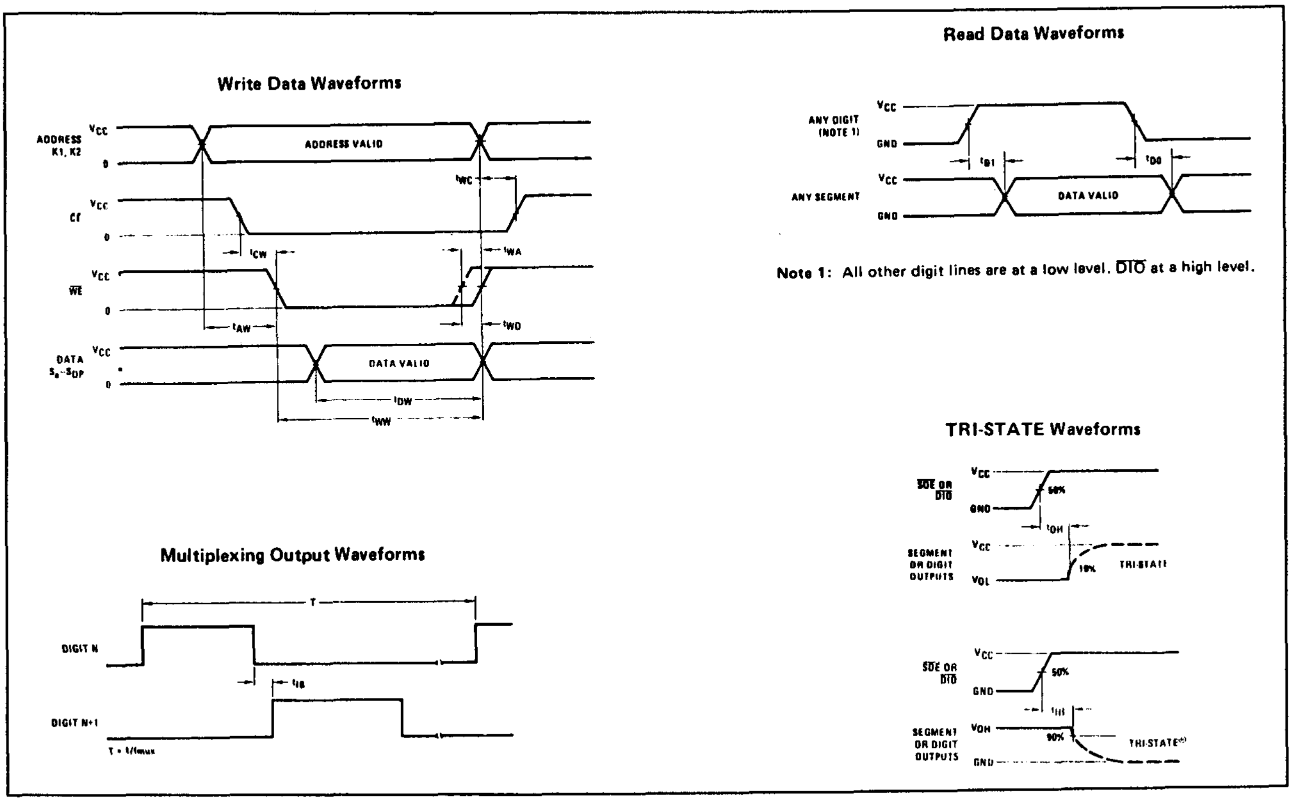
AC Electrical Characteristics V_{CC} = 5V, t_r = t_f = 20 ns, C_L = 50 pF

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CW}	Chip Enable to Write Enable Set-Up Time	T_J = 25°C T_J = 125°C	35 50	15 20		ns ns
t_{AW}	Address to Write Enable Set-Up Time	T_J = 25°C T_J = 125°C	35 50	15 20		ns ns
t_{WW}	Write Enable Width	T_J = 25°C T_J = 125°C	400 450	225 250		ns ns
t_{DW}	Data to Write Enable Set-Up Time	T_J = 25°C T_J = 125°C	390 430	225 250		ns ns
t_{WD}	Write Enable to Data Hold Time	T_J = 25°C T_J = 125°C	0 0	−10 −15		ns ns
t_{WA}	Write Enable to Address Hold Time	T_J = 25°C T_J = 125°C	0 0	−10 −15		ns ns
t_{WC}	Write Enable to Chip Enable Hold Time	T_J = 25°C T_J = 125°C	55 75	30 40		ns ns
t_{1H}, t_{0H}	Logical "1", Logical "0" Levels into TRI-STATE	R_L = 10k, C_L = 10 pF T_J = 25°C T_J = 125°C		275 325	500 600	ns ns
t_{H1}, t_{H0}	TRI-STATE to Logical "1" or Logical "0" Levels	R_L = 10k, C_L = 50 pF T_J = 25°C T_J = 125°C		325 375	600 700	ns ns
t_{D1}, t_{D0}	Propagation Delay From Digit Input to Segment Output	T_J = 25°C T_J = 125°C		500 700	1000 1400	ns ns
t_{IB}	Interdigit Blanking Time	T_J = 25°C T_J = 125°C	5 10	10 20		µs µs
f_{MUX}	Multiplex Scan Frequency	T_J = 25°C T_J = 125°C		525 375		Hz Hz
C_{IN}	Input Capacitance	(Note 4)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	(Note 4)		30	50	pF

Note 4: Capacitance guaranteed by periodic testing.

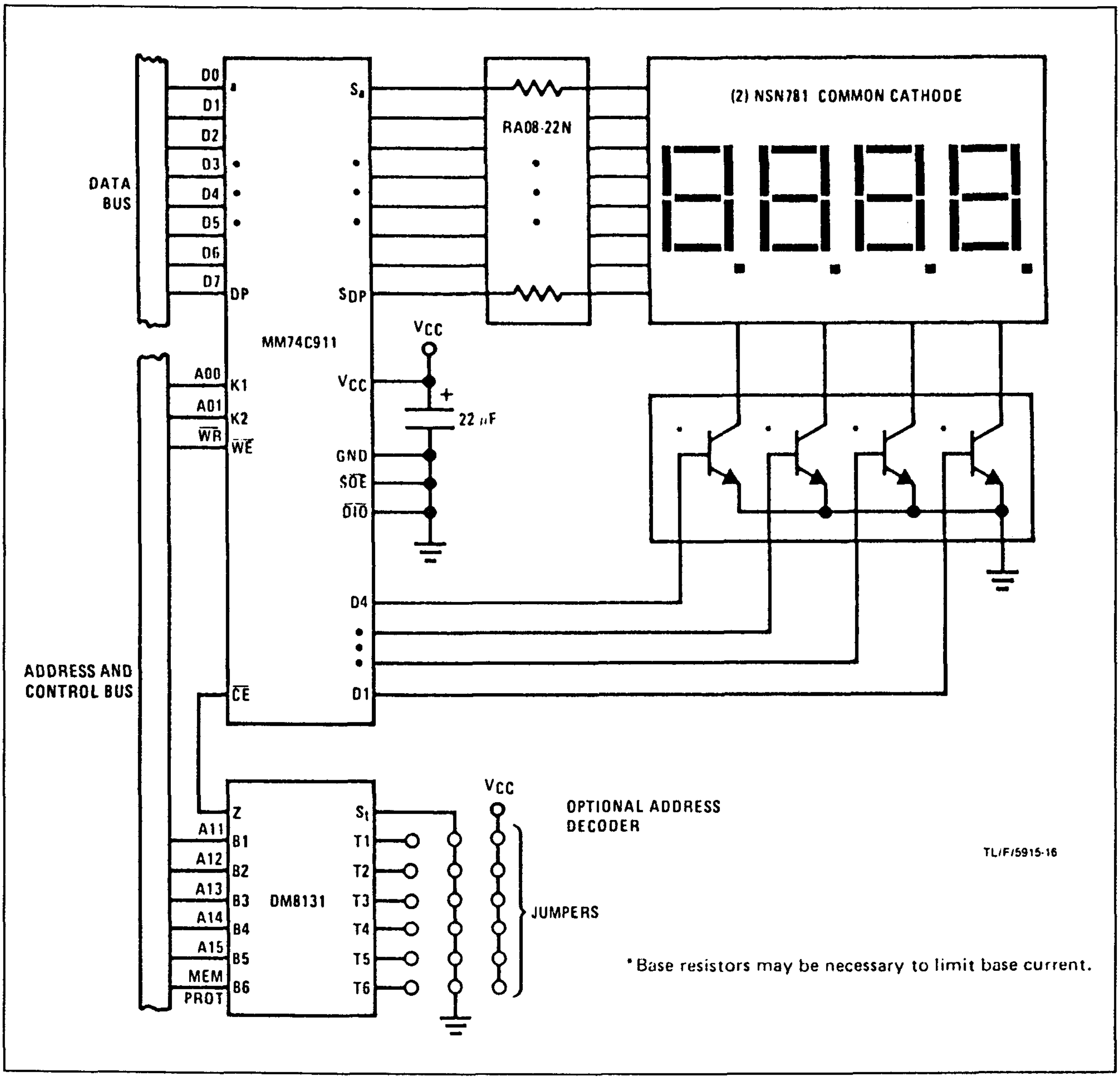
Figuur 5/5.5-7: Schakeltijden van de 74C911.

5.5 Speciale IC's uit de 74C-serie



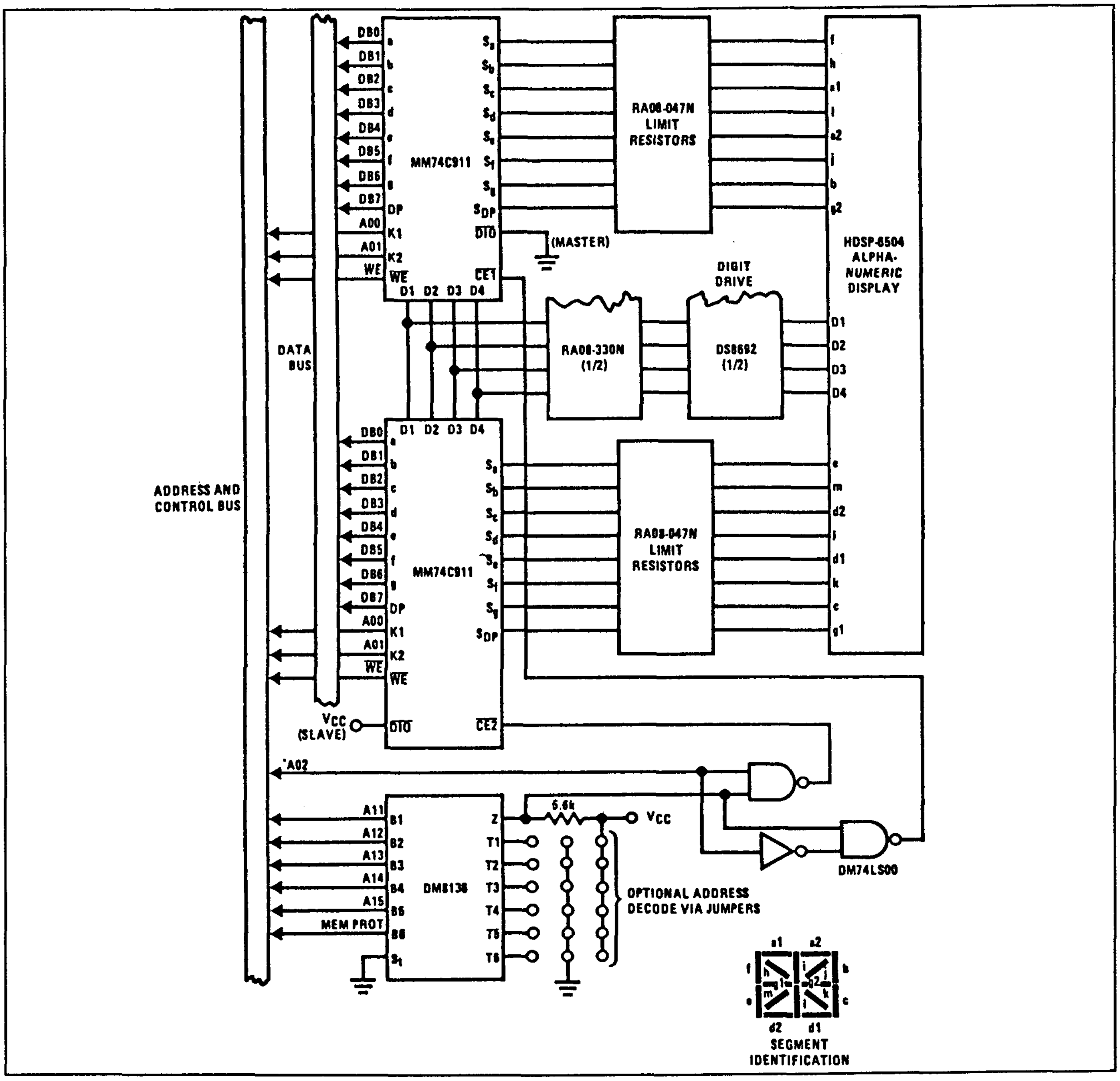
Figuur 5/5.5-8: Golfvormen van de 74C911.

5.5 Speciale IC's uit de 74C-serie



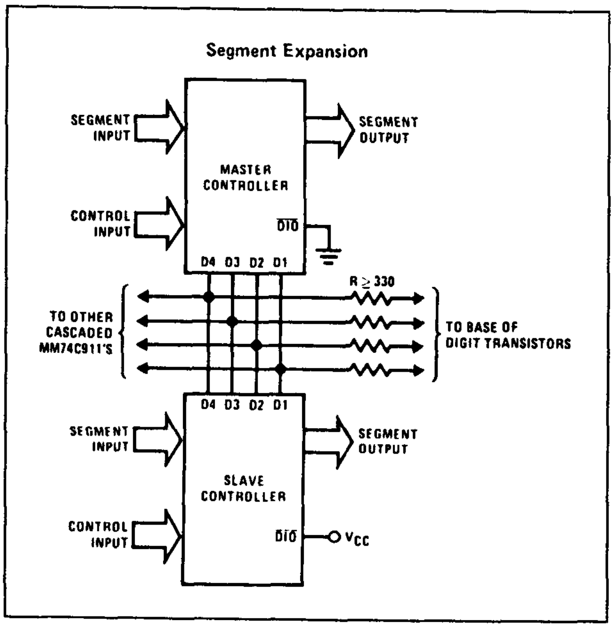
Figuur 5/5.5-9: Aanbevolen schakeling rond de 74C911.

5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-10: Alfanumeriek display met vier digits van zestien segmenten.

5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-11: Uitbreidingsmogelijkheid van de 74C911.

74C912

6-Digit BCD Display Controller/Driver

De 74C912 display controller is een interface-schakeling met geheugen die een 6-digit, 8-segment LED display kan aansturen.
De display controller krijgt data-informatie toegevoerd via de 5 data-ingangen A, B, C, D en DP, terwijl digit-informatie via de 3 adres-ingangen K1, K2 en K3 binnenkomt.

De ingangsdata wordt naar het door de adres-informatie geselecteerde register gebracht als Chip-Enable ($\overline{CE}$) en Write-Enable ($\overline{WE}$) LAAG zijn en daarin gelatcht als $\overline{CE}$ en/of $\overline{WE}$ weer HOOG gaat. Data-houdtijd is niet vereist.

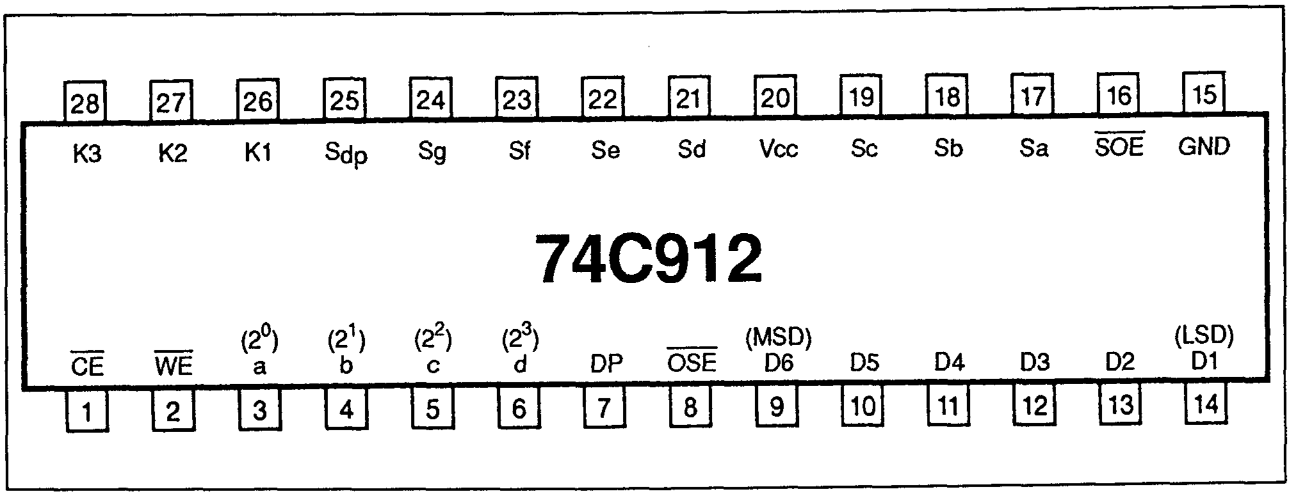
Met behulp van een interne oscillator wordt de opgeslagen data achtereenvolgens naar een decoder gebracht, waarbij 4 databits het formaat van het getoonde karakter regelen en 1 bit de decimale punt bestuurt.
De interne oscillator wordt bestuurd door een signaal op de Oscillator Enable ($\overline{OSE}$) ingang die bij normaal gebruik LAAG wordt gehouden.
Door een HOOG niveau op $\overline{OSE}$ wordt automatische verversing (refresh) van het display voorkomen.

De zeven-segment plus decimale punt uitgangsinformatie wordt via 3-state uitgangsdrivers (100 mA typisch) direct op een LED display aangesloten. De drivers zijn aktief wanneer de Segment Output Enable ($\overline{SOE}$)-pen LAAG is en bevinden zich in de hoogimpedante toestand als $\overline{SOE}$ HOOG is. Hierdoor kunnen de uitgangsdrivers worden afgeschakeld om de dissipatie te verminderen en kan de helderheid met de "duty-cycle" worden geregeld.

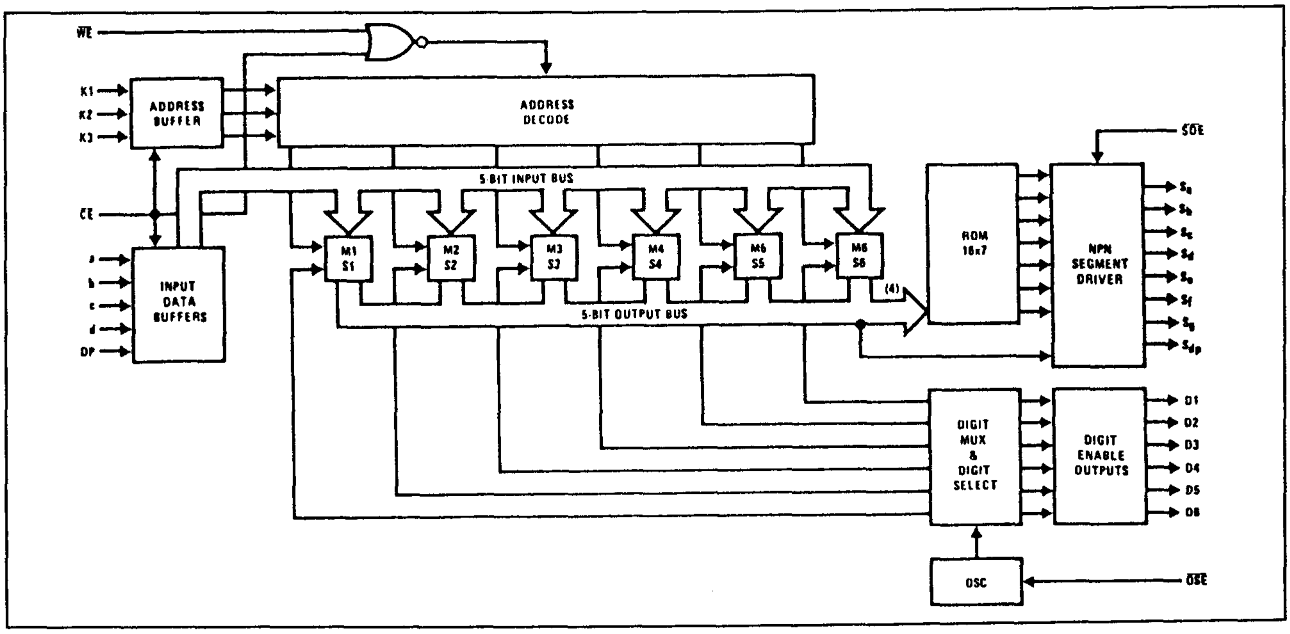
De 74C912 zet BCD data om in zeven-segment formaat (zie waarheidstabel met karakter-font) en wordt alleen geleverd door National Semiconductor onder code MM74C912.

Technische gegevens
De technische gegevens van de 74C912 zijn samengevat in de figuren 5/5.5-12 tot en met 5/5.5-22.

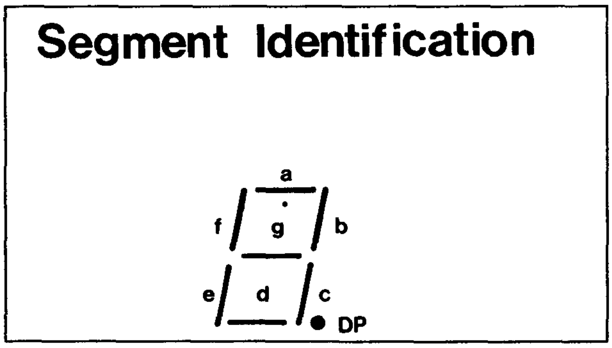
5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-12: Aansluitgegevens van de 74C912.



Figuur 5/5.5-13: Functioneel blokschema van de 74C912.



Figuur 5/5.5-14: Segment-identificatie aan de uitgangen van de 74C912.

5.5 Speciale IC's uit de 74C-serie

Input Control

$\overline{CE}$	DIGIT ADDRESS			$\overline{WE}$	OPERATION
	K3	K2	K1		
0	0	0	0	0	Write Digit 1
0	0	0	0	1	Latch Digit 1
0	0	0	1	0	Write Digit 2
0	0	0	1	1	Latch Digit 2
0	0	1	0	0	Write Digit 3
0	0	1	0	1	Latch Digit 3
0	0	1	1	0	Write Digit 4
0	0	1	1	1	Latch Digit 4
0	1	0	0	0	Write Digit 5
0	1	0	0	1	Latch Digit 5
0	1	0	1	0	Write Digit 6
0	1	0	1	1	Latch Digit 6
0	1	1	0	0	Write Null Digit
0	1	1	0	1	Latch Null Digit
0	1	1	1	0	Write Null Digit
0	1	1	1	1	Latch Null Digit
1	X	X	X	X	Disable Writing

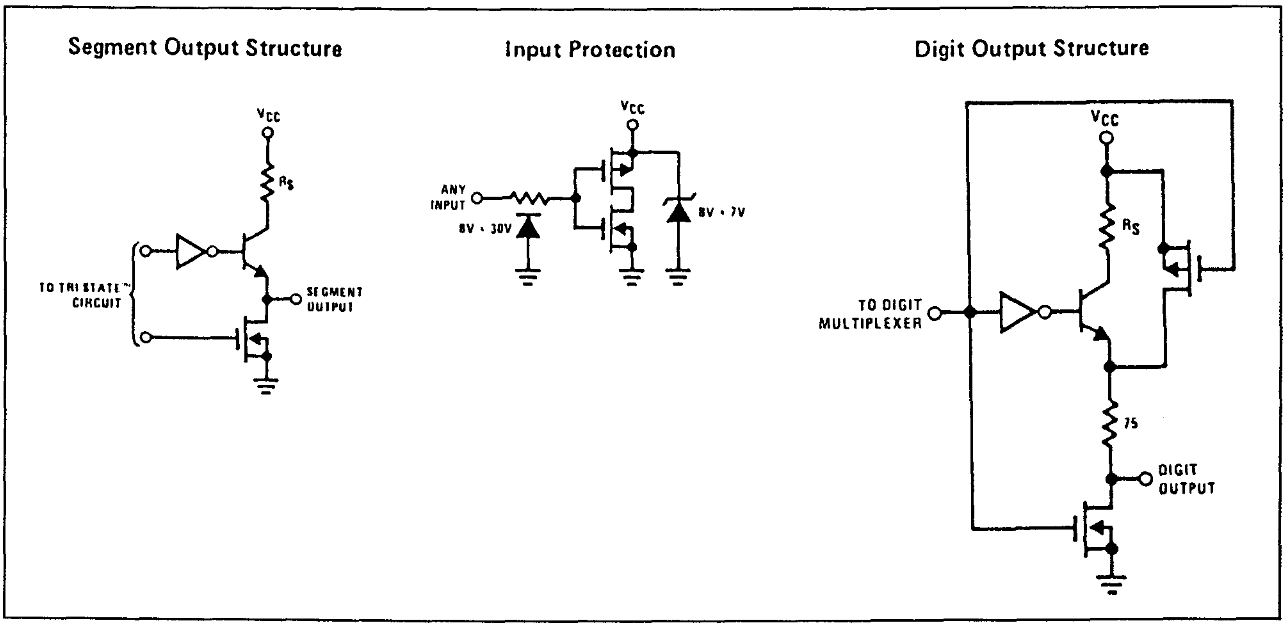
X = don't care

Output Control

$\overline{SOE}$	$\overline{OSE}$	OPERATION
0	0	Refresh Display
0	1	Stop Oscillator*
1	0	Disable Segment Outputs
1	1	Standby Mode

*Segment drive may exceed maximum display dissipation.

Figuur 5/5.5-15: Waarheidstabellen van de 74C912.



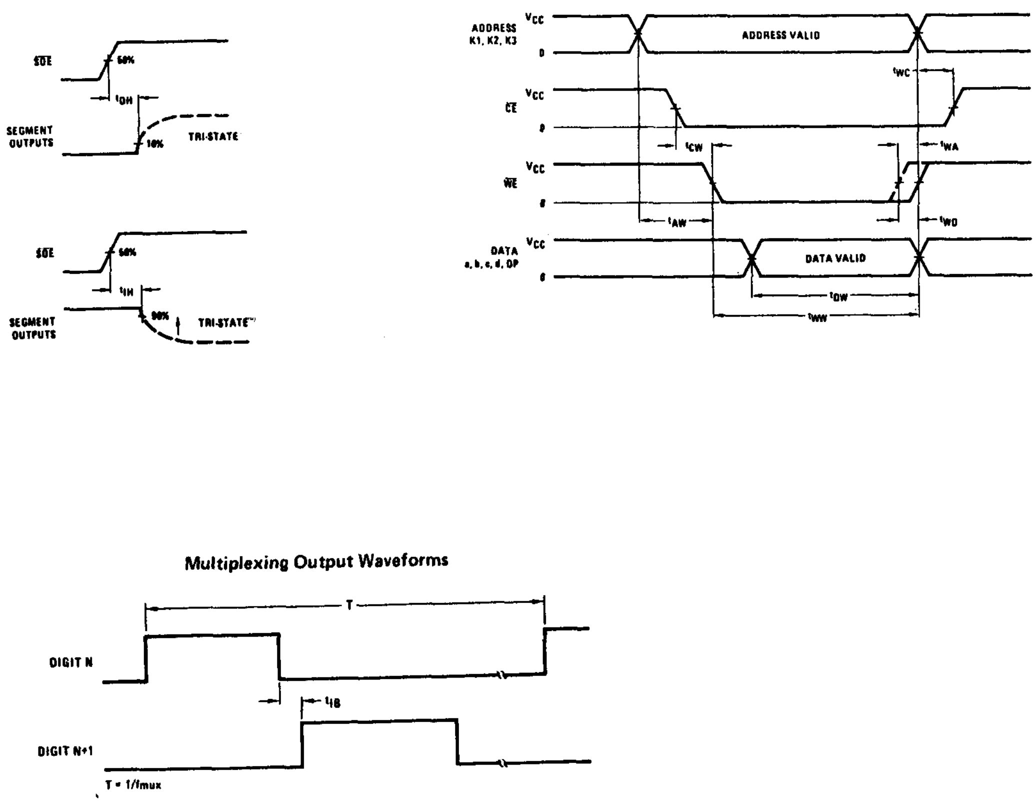
Figuur 5/5.5-16: Structuren van de in- en de uitgangen van de 74C912.

5.5 Speciale IC's uit de 74C-serie

Character Font

MM74C912	Hi-Z	0	1	2	3	4	5	6	7	8	9	o	°	‾	-	_		.
Input A 2^0	X	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1
Data B 2^1	X	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	1
C 2^2	X	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	1
D 2^3	X	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
DP	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Output Enable $\overline{SOE}$	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figuur 5/5.5-17: Karakterfonts van de 74C912.



Figuur 5/5.5-18: Golfvormen en schakeltijden.

5.5 Speciale IC's uit de 74C-serie

Absolute Maximum Ratings

Voltage at Any Pin Except Inputs	$-0.3V$ to $V_{CC}+0.3V$
Voltage at Any Input	$-0.3V$ to $+15V$
Operating Temperature Range (T_A)	$-40°C$ to $+85°C$
Storage Temperature Range	$-65°C$ to $+150°C$
Package Dissipation	Refer to $P_{D\,MAX}$ vs T_A Graph
Operating V_{CC} Range	3V to 6V
Absolute Maximum V_{CC}	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Figuur 5/5.5-19: Absoluut maximale waarden van de 74C912.

DC Electrical Characteristics
Min/max limits apply at $40°C \leq T_J \leq 85°C$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5V	3.0			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5V			1.5	V
$I_{IN(1)}$	Logical "1" Input Current	V_{CC} = 5V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	V_{CC} = 5V, V_{IN} = 0V	−1.0	−0.005		μA
I_{CC}	Supply Current	V_{CC} = 5V, Outputs Open		0.5	2	mA
I_{OUT}	TRI-STATE Output Current	V_{CC} = 5V, V_O = 5V V_{CC} = 5V, V_O = 0V	 −10	0.03 −0.03	10	μA μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 4.75V	V_{CC}−2.0			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 4.75V			0.8	V
OUTPUT DRIVE						
I_{SH}	High Level Segment Current	V_{CC} = 5V, V_O = 3.4V, T_J = 25°C T_J = 100°C	 −60 −40	 −100 −60		mA mA
I_{DH}	High Level Digit Current	V_{CC} = 5V, V_O = 1V, T_J = 25°C T_J = 100°C	 −10 −7	 −20 −15		 mA mA
$V_{OUT(1)}$	Logical "1" Output Voltage Any Digit	V_{CC} = 5V, I_O = −360 μA	4.6			V
$V_{OUT(0)}$	Logical "0" Output Voltage Any Output	V_{CC} = 5V, I_O = 360 μA			0.4	V
θ_{JA}	Thermal Resistance			100		°C/W

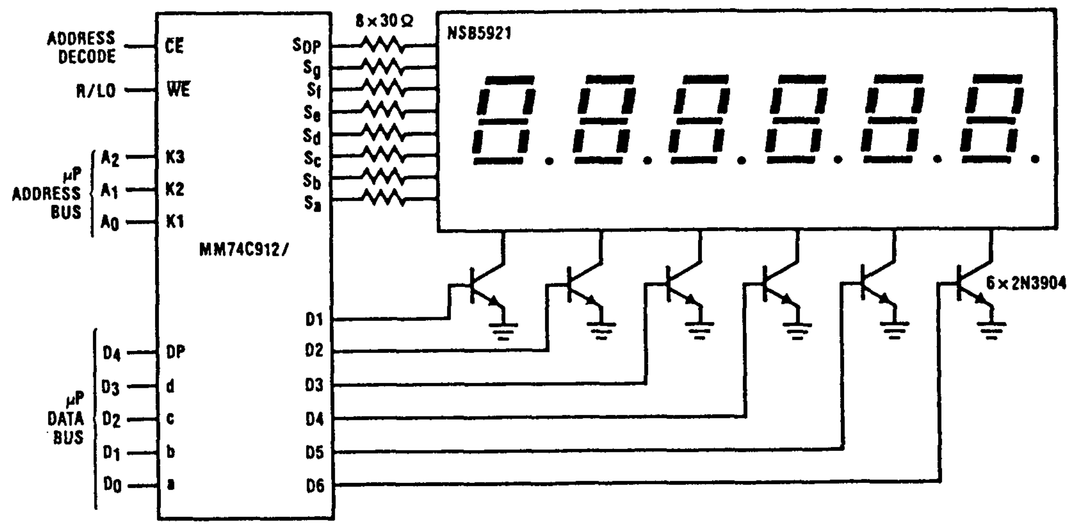
Figuur 5/5.5-20: Gelijkspanningscondities van de 74C912.

5.5 Speciale IC's uit de 74C-serie

AC Electrical Characteristics V_{CC} = 5V, t_r = t_f = 20 ns, C_L = 50 pF

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CW}	Chip Enable to Write Enable Setup Time	T_J = 25°C	35	15		ns
		T_J = 125°C	50	20		ns
t_{AW}	Address to Write Enable Setup Time	T_J = 25°C	35	15		ns
		T_J = 125°C	50	20		ns
t_{WW}	Write Enable Width	T_J = 25°C	400	225		ns
		T_J = 125°C	450	250		ns
t_{DW}	Data to Write Enable Setup Time	T_J = 25°C	390	225		ns
		T_J = 125°C	430	250		ns
t_{WD}	Write Enable to Data Hold Time	T_J = 25°C	0	−10		ns
		T_J = 125°C	0	−15		ns
t_{WA}	Write Enable to Address Hold Time	T_J = 25°C	0	−10		ns
		T_J = 125°C	0	−15		ns
t_{WC}	Write Enable to Chip Enable Hold Time	T_J = 25°C	50	30		ns
		T_J = 125°C	75	40		ns
t_{1H}, t_{0H}	Logical "1", Logical "0" Levels Into TRI-STATE	R_L = 10k, T_J = 25°C		275	500	ns
		C_L = 10 pF, T_J = 125°C		325	600	ns
t_{H1}, t_{H0}	TRI-STATE to Logical "1" to Logical "0" Level	R_L = 10k, T_J = 25°C		325	600	ns
		C_L = 50 pF, T_J = 125°C		375	700	ns
t_{IB}	Interdigit Blanking Time	T_J = 25°C	5	10		µs
		T_J = 125°C	10	20		µs
f_{MUX}	Multiplex Scan Frequency	T_J = 25°C		350		Hz
		T_J = 125°C		250		Hz
C_{IN}	Input Capacitance			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance			30	50	pF

Figuur 5/5.5-21: Schakeltijden van de 74C912.



Figuur 5/5.5-22: Aanbevolen schakeling rond de 74C912.

5.5 Speciale IC's uit de 74C-serie

74C917

6-Digit Hexadecimaal Display Controller/Driver

De 74C917 display controller is een interface-element met geheugen voor het aansturen van een zes digit, acht-segment LED display.
De data-informatie komt de display controller binnen via de 5 data-ingangen A, B, C, D en DP en de digit-informatie via de 3 adresingangen K1, K2 en K3.

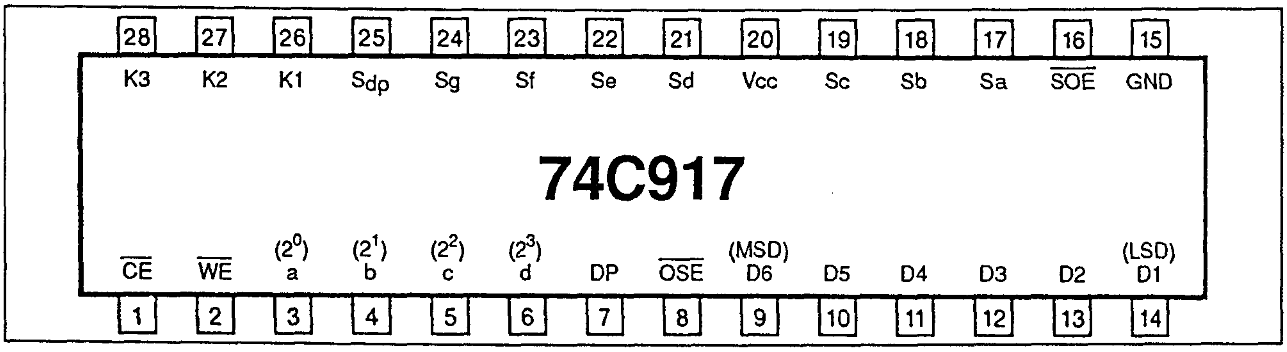
De ingangsdata wordt naar het door de adres-informatie geselecteerde register gebracht als Chip-Enable ($\overline{\text{CE}}$) en Write-Enable ($\overline{\text{WE}}$) LAAG zijn en wordt ingelatcht als $\overline{\text{CE}}$ en/of $\overline{\text{WE}}$ weer HOOG gaan. Data-houdtijd is niet vereist.

Door middel van een interne oscillator wordt de opgeslagen data achtereenvolgens naar een decoder gebracht, waarbij 4 databits het formaat van het zichtbare karakter regelen en 1 bit de decimale punt bestuurt. De interne oscillator wordt bestuurd door een signaal op de Oscillator Enable ($\overline{\text{OSE}}$) ingang die bij normaal gebruik aan GND (0 V) wordt gelegd. Door een HOOG niveau op $\overline{\text{OSE}}$ wordt automatische verversing (refresh) van het display voorkomen.
Een LED-display kan via de 3-state uitgangsdrivers (100 mA typ) direct van de 7-segment plus decimale punt uitgangsinformatie worden voorzien. De drivers zijn aktief wanneer de Segment Output Enable ($\overline{\text{SOE}}$)-pen LAAG is en als $\overline{\text{SOE}}$ HOOG is bevinden zij zich in de hoog-impedante toestand. Hierdoor kan de helderheid met de "duty-cycle" worden geregeld en kunnen de uitgangsdrivers worden uitgeschakeld om de dissipatie te verminderen.

De 74C917 zet binaire informatie om in hexadecimaal formaat (zie waarheidstabel met karakter-font) en wordt alleen geleverd door National Semimiconductor onder typecode MM74C917.

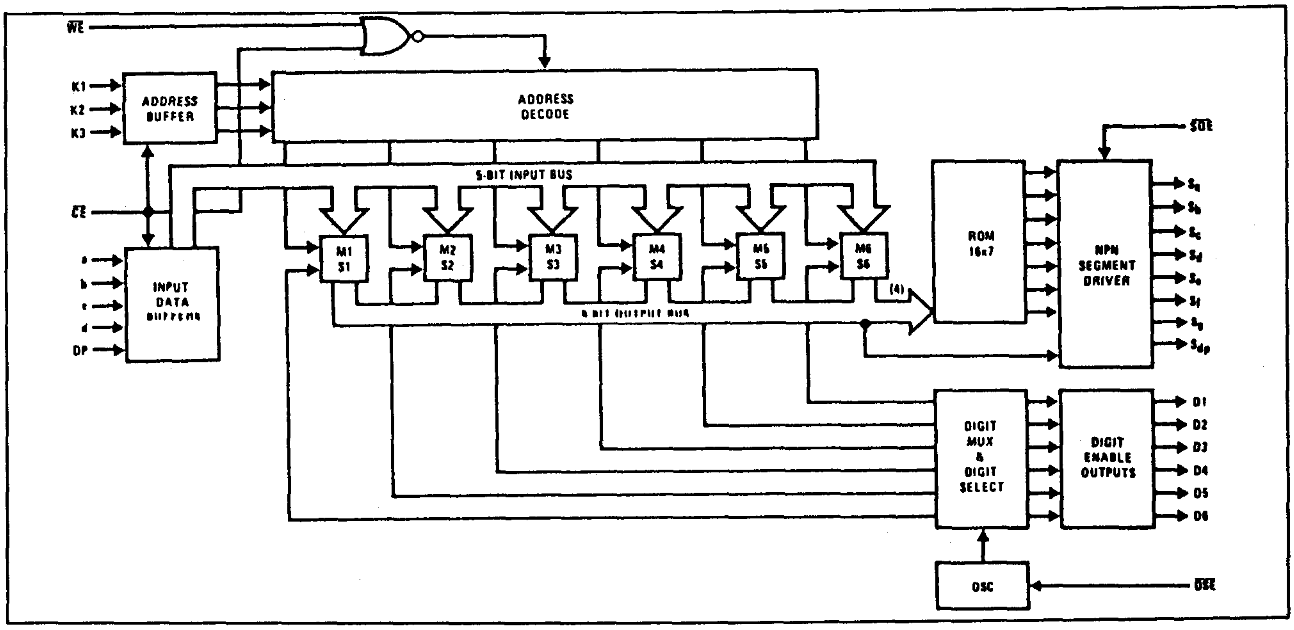
Technische gegevens

De technische gegevens van de 74C917 zijn samengevat in de figuren 5/5.5-23 tot en met 5/5.5-32.



Figuur 5/5.5-23: Aansluitgegevens van de 74C917.

5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-24: Functioneel blokschema van de 74C917.

Input Control

$\overline{CE}$	DIGIT ADDRESS			$\overline{WE}$	OPERATION
	K3	K2	K1		
0	0	0	0	0	Write Digit 1
0	0	0	0	1	Latch Digit 1
0	0	0	1	0	Write Digit 2
0	0	0	1	1	Latch Digit 2
0	0	1	0	0	Write Digit 3
0	0	1	0	1	Latch Digit 3
0	0	1	1	0	Write Digit 4
0	0	1	1	1	Latch Digit 4
0	1	0	0	0	Write Digit 5
0	1	0	0	1	Latch Digit 5
0	1	0	1	0	Write Digit 6
0	1	0	1	1	Latch Digit 6
0	1	1	0	0	Write Null Digit
0	1	1	0	1	Latch Null Digit
0	1	1	1	0	Write Null Digit
0	1	1	1	1	Latch Null Digit
1	X	X	X	X	Disable Writing

X = don't care

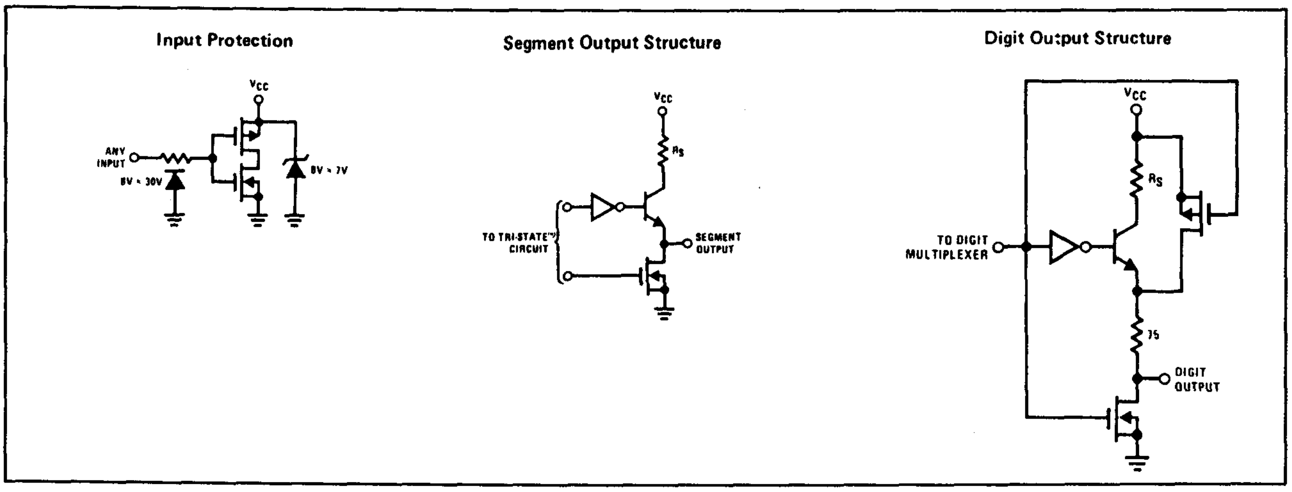
Output Control

$\overline{SOE}$	$\overline{OSE}$	OPERATION
0	0	Refresh Display
0	1	Stop Oscillator*
1	0	Disable Segment Outputs
1	1	Standby Mode

*Segment drive may exceed maximum display dissipation.

Figuur 5/5.5-25: Waarheidstabellen van de 74C917.

5.5 Speciale IC's uit de 74C-serie

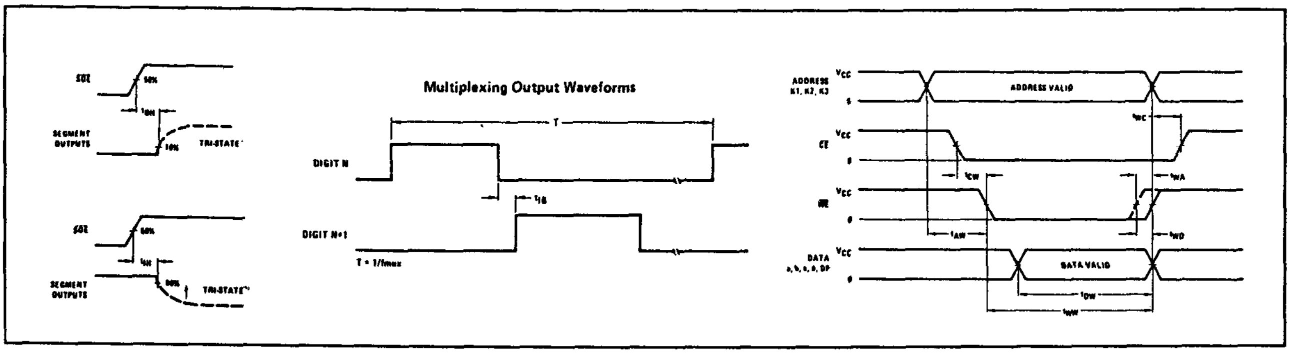


Figuur 5/5.5-26: In- en uitgangsstructuren van de 74C917.

Character Font

MM74C917	Hi-Z	0	1	2	3	4	5	6	7	8	9	A	b	C	d	E	F	F.
Input A 2^0	X	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1
Data B 2^1	X	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	1
C 2^2	X	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	1
D 2^3	X	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
DP	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Output Enable $\overline{SOE}$	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figuur 5/5.5-27: Karakter-fonts van de 74C917.



Figuur 5/5.5-28: Golfvormen en schakeltijden van de 74C917.

Absolute Maximum Ratings

Voltage at Any Pin Except Inputs	−0.3V to V_{CC}+0.3V
Voltage at Any Input	−0.3V to +15V
Operating Temperature Range (T_A)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	Refer to $P_{D\,MAX}$ vs T_A Graph
Operating V_{CC} Range	3V to 6V
Absolute Maximum V_{CC}	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Figuur 5/5.5-29: Absoluut maximale waarden van de 74C917.

5.5 Speciale IC's uit de 74C-serie

DC Electrical Characteristics Min/max limits apply at $40°C \leq T_J \leq 85°C$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5V	3.0			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5V			1.5	V
$I_{IN(1)}$	Logical "1" Input Current	V_{CC} = 5V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	V_{CC} = 5V, V_{IN} = 0V	−1.0	−0.005		μA
I_{CC}	Supply Current	V_{CC} = 5V, Outputs Open		0.5	2	mA
I_{OUT}	TRI-STATE Output Current	V_{CC} = 5V, V_O = 5V V_{CC} = 5V, V_O = 0V	 −10	0.03 −0.03	10	μA μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 4.75V	V_{CC}−2.0			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 4.75V			0.8	V
OUTPUT DRIVE						
I_{SH}	High Level Segment Current	V_{CC} = 5V, V_O = 3.4V, T_J = 25°C T_J = 100°C	 −60 −40	 −100 −60		mA mA
I_{DH}	High Level Digit Current	V_{CC} = 5V, V_O = 1V, T_J = 25°C T_J = 100°C	 −10 −7	 −20 −15		 mA mA
$V_{OUT(1)}$	Logical "1" Output Voltage Any Digit	V_{CC} = 5V, I_O 360 μA	4.6			V
$V_{OUT(0)}$	Logical "0" Output Voltage Any Output	V_{CC} = 5V, I_O = 360 μA			0.4	V
θ_{JA}	Thermal Resistance			100		°C/W

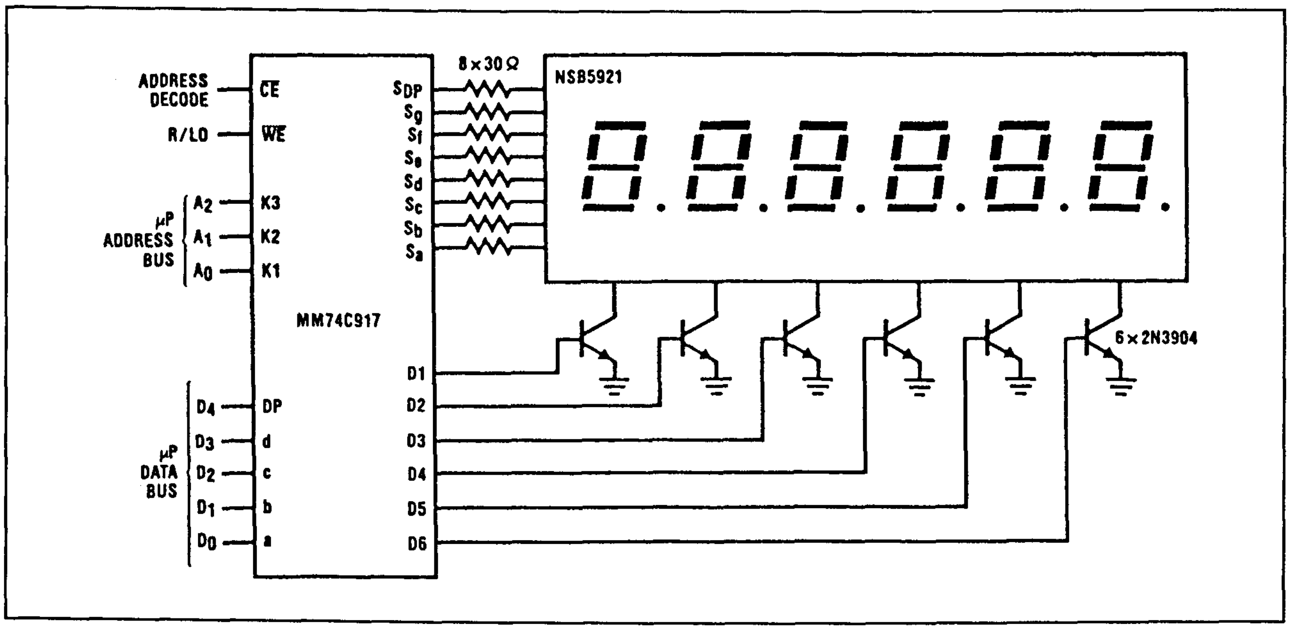
Figuur 5/5.5-30: Gelijkspanningskarakteristieken van de 74C917.

5.5 Speciale IC's uit de 74C-serie

AC Electrical Characteristics V_{CC} = 5V, t_r = t_f = 20 ns, C_L = 50 pF

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CW}	Chip Enable to Write Enable Setup Time	T_J = 25°C	35	15		ns
		T_J = 125°C	50	20		ns
t_{AW}	Address to Write Enable Setup Time	T_J = 25°C	35	15		ns
		T_J = 125°C	50	20		ns
t_{WW}	Write Enable Width	T_J = 25°C	400	225		ns
		T_J = 125°C	450	250		ns
t_{DW}	Data to Write Enable Setup Time	T_J = 25°C	390	225		ns
		T_J = 125°C	430	250		ns
t_{WD}	Write Enable to Data Hold Time	T_J = 25°C	0	−10		ns
		T_J = 125°C	0	−15		ns
t_{WA}	Write Enable to Address Hold Time	T_J = 25°C	0	−10		ns
		T_J = 125°C	0	−15		ns
t_{WC}	Write Enable to Chip Enable Hold Time	T_J = 25°C	50	30		ns
		T_J = 125°C	75	40		ns
t_{1H}, t_{0H}	Logical "1", Logical "0" Levels Into TRI-STATE	R_L = 10k, T_J = 25°C		275	500	ns
		C_L = 10 pF, T_J = 125°C		325	600	ns
t_{H1}, t_{H0}	TRI-STATE to Logical "1" to Logical "0" Level	R_L = 10k, T_J = 25°C		325	600	ns
		C_L = 50 pF, T_J = 125°C		375	700	ns
t_{IB}	Interdigit Blanking Time	T_J = 25°C	5	10		μs
		T_J = 125°C	10	20		μs
f_{MUX}	Multiplex Scan Frequency	T_J = 25°C		350		Hz
		T_J = 125°C		250		Hz
C_{IN}	Input Capacitance			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance			30	50	pF

Figuur 5/5.5-31: Wisselspanningskarakteristieken van de 74C917.



Figuur 5/5.5-32: Aanbevolen standaardschema rond de 74C917.

74C956

Driver voor 4-digit, 17-segment Alfanumeriek Display (met geheugen, decoder en LED-drivers)

De 74C956 monolithische, intelligente LED display driver is compatibel met microprocessorbussen en TTL. De schakeling is voorzien van geheugens voor de opslag van vier 7-bit ASCII-woorden die als de vier digits zichtbaar worden. Bovendien bevat hij een ASCII-naar-17 segment alfanumerieke ROM decoder en schakelingen voor multiplexen en aansturing van vier 17-segment digits. Gemiddeld kan per segment een stroom van 2,5 mA worden geleverd.

Het interne geheugen kan via de 7-bit databus (D0 tot en met D6) asynchroon worden beschreven op de digit-lokatie die door de 2-bit adresbus (A0 en A1) wordt geadresseerd. Bij toepassing van meerdere 74C956's kunnen de twee chip-select ingangen ($\overline{CE1}$ en $\overline{CE2}$) worden gedecodeerd of kan een 1-uit-n decoder worden gebruikt.

De cursor-functie maakt dat alle segmenten van een digit worden verlicht, maar zal de inhoud van het met deze digit overeenkomende geheugen niet overschrijven. Als de cursor wordt weggehaald zal daarom weer het originele karakter op die plaats verschijnen.

Toegang tot het Data-geheugen

Om een ASCII-code toe te laten moeten de $\overline{CE1}$ en $\overline{CE2}$ ingangen LAAG en de $\overline{CU}$-ingang HOOG zijn. Als het adres met A0 en A1 is gekozen, kan $\overline{WE}$ LAAG gaan, waardoor de interne RAM op de data-ingangen D0 tot en met D6 reageert. De data behoeft voor de $\overline{WE}$-overgang nog niet stabiel te zijn. Alle digits kunnen worden gecleared door de $\overline{CLR}$-ingang gedurende de gespecificeerde tijd LAAG te houden.

Toegang tot het Cursor-geheugen

Dit wordt bereikt door zowel $\overline{CE1}$ en $\overline{CE2}$ als $\overline{CU}$ LAAG te maken. Het cursor-geheugen bestaat uit 4, met de digits overeenkomende bits (elk adresseerbaar met de A0 en A1 ingangen). Zodra het adres stabiel is, moet $\overline{WE}$ LAAG gaan en reageert het cursorgeheugen op de D0-ingang. Als D0 HOOG is wordt een cursor geschreven en als D0 LAAG is wordt de cursor weggehaald. Een cursor is alleen zichtbaar als CUE HOOG is en de cursor-functie kan worden gepasseerd door CUE LAAG te maken. Door CUE te voorzien van pulsen kan een knipperende cursor worden verkregen. Hierdoor zal afwisselend de cursor en het originele karakter te zien zijn. Door CUE kunnen de inhouden van het data-geheugen en het cursor-geheugen niet worden veranderd.

Display-blanking

Het display kan worden ge"blank"t door de $\overline{BL}$-ingang te gebruiken. Door $\overline{BL}$ LAAG te maken wordt het display gesperd (waarbij de inhouden van cursor- en data-geheugen niet veranderen).
Als $\overline{BL}$ gevoed wordt met pulsen, zal het display knipperen.

Illegale code

Als een niet-toegestane (illegale) ASCII-code in het data-geheugen wordt gebracht (bijvoorbeeld als D6 = D5), zal de overeenkomende digit automatisch worden geblankt.

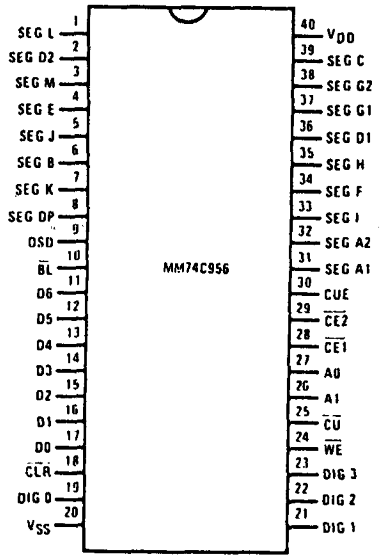
OSD-pen

Door de OSD-pen HOOG te maken wordt de interne oscillator gesperd en stopt het normale gemultiplexte aftasten. Deze pen wordt inwendig LAAG getrokken en is hoofdzakelijk bedoeld om de schakeling te testen. Bij normaal gebruik moet deze pen worden geaard of open gelaten.

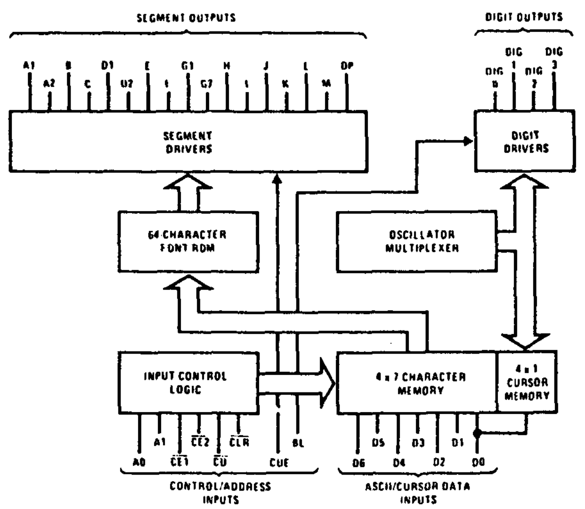
Clearen van het display

Door de $\overline{CLR}$-pen gedurende de gespecificeerde tijd LAAG te maken worden alle interne data-geheugens leeg gemaakt, terwijl de cursor-geheugens onveranderd blijven (zie voor genoemde functies ook waarheidstabel).

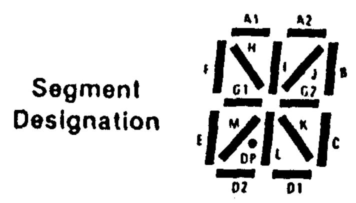
5.5 Speciale IC's uit de 74C-serie



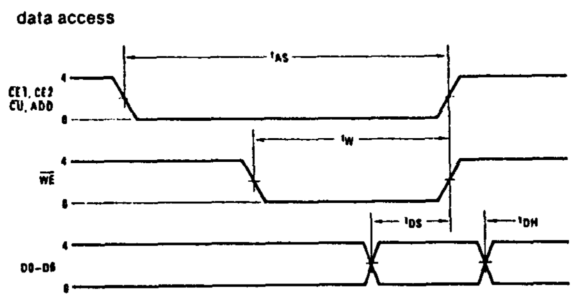
Figuur 5/5.5-33: Aansluitgegevens van de 74C956.



Figuur 5/5.5-34: Functioneel blokschema van de 74C956.



Figuur 5/5.5-35: Segment-codering bij de 74C956.



Figuur 5/5.5-36: Timing van de 74C956.

Opmerking

Alleen de CMOS-versie MM74C956 van National Semiconductor is leverbaar.

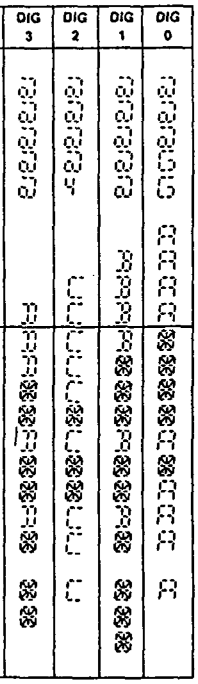
Technische gegevens

De technische gegevens van de 74C956 zijn samengevat in de figuren 5/5.5-33 tot en met 5/5.5-42.

5.5 Speciale IC's uit de 74C-serie

Assume initially D6 = 1 and D5 – D0 = 0 for all internal digit memories. Cursor memory is cleared. Table is intended to be read in sequence.

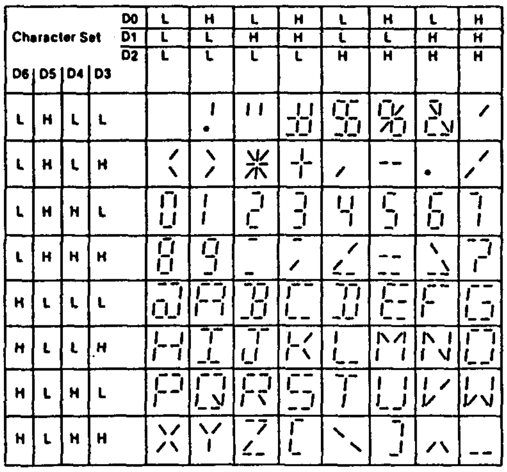
Function	$\overline{BL}$	$\overline{CE1}$	$\overline{CE2}$	CUE	$\overline{CU}$	$\overline{WR}$	$\overline{CLR}$	A1	A0	D6	D5	D4	D3	D2	D1	D0
DATA ENTRY FUNCTION	0	X	X	X	X	X	1	X	X	X	X	X	X	X	X	X
	1	1	0	X	X	X	1	X	X	X	X	X	X	X	X	X
	1	0	1	X	X	X	1	X	X	X	X	X	X	X	X	X
	1	0	0	X	X	1	1	X	X	X	X	X	X	X	X	X
	1	0	0	X	1	0	1	0	0	1	0	0	0	1	1	1
	1	0	0	X	1	0	1	1	0	0	1	1	0	1	0	0
	X	X	X	X	X	X	0	X	X	X	X	X	X	X	X	X
	1	0	0	X	1	0	1	0	0	1	0	0	0	0	0	1
	1	0	0	X	1	0	1	0	1	1	0	0	0	0	1	0
	1	0	0	X	1	0	1	1	0	1	0	0	0	0	1	1
	1	0	0	X	1	0	1	1	1	1	0	0	0	1	0	0
CURSOR ENTRY FUNCTION	1	0	0	1	0	0	1	0	0	X	X	X	X	X	X	1
	1	0	0	1	0	0	1	0	1	X	X	X	X	X	X	1
	1	0	0	1	0	0	1	1	1	X	X	X	X	X	X	1
	1	0	0	1	0	0	1	1	0	X	X	X	X	X	X	1
	1	X	X	0	1	1	1	X	X	X	X	X	X	X	X	X
	1	X	X	1	1	1	1	X	X	X	X	X	X	X	X	X
	1	0	0	1	0	0	1	0	0	X	X	X	X	X	X	0
	1	0	0	0	0	0	1	1	0	X	X	X	X	X	X	0
	1	X	X	1	1	1	1	X	X	X	X	X	X	X	X	X
	0	X	X	X	1	1	1	X	X	X	X	X	X	X	X	X
	1	X	X	1	1	1	1	X	X	X	X	X	X	X	X	X
	1	X	X	1	1	X	0	X	X	X	X	X	X	X	X	X
	1	0	0	1	0	0	1	1	1	X	X	X	X	X	X	0
	1	0	0	1	0	0	1	0	1	X	X	X	X	X	X	0



X = don't care

Figuur 5/5.5-37: Waarheidstabel 1 van de 74C956.

TABLE II. ROM OUTPUT FONT FOR ASCII TO ALPHA-NUMERIC DECODING



Figuur 5/5.5-38: Waarheidstabel 2 van de 74C956.

5.5 Speciale IC's uit de 74C-serie

Absolute Maximum Ratings

Voltage at Any Pin	$-0.3V$ to $V_{CC} + 0.3V$	Package Dissipation	700 mW
Operating Temperature Range		Operating V_{CC} Range	4.5V to 5.5V
MM74C956	$-40°C$ to $+85°C$	V_{CC}	6.0V
Storage Temperature Range	$-65°C$ to $+150°C$	Lead Temperature (Soldering, 10 seconds)	300°C

Figuur 5/5.5-39: Absoluut maximale waarden van de 74C956.

DC Electrical Characteristics $T_A = 25°C$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$	2.4			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$			0.8	V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 5V$, $V_{IN} = 5V$		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 5V$, $V_{IN} = 0V$	- 100.0	25.0		μA
I_{CC}	Supply Current	$V_{CC} = 5V$ @ $T_A = 25°C$ All Outputs Open All Inputs @ 5V		0.5	1.0	mA
OUTPUT DRIVE (Notes 2 and 3)						
	Peak Output Source Current (I_{SOURCE}) (P-Channel Segment Driver with 1 Segment On)	$V_{CC} = 5.0V$, $V_{OUT} = 1.9V$ $T_A = 25°C$			14.8	mA
	Peak Output Source Current (I_{SOURCE}) (P-Channel Segment Driver with 17 Segments On)	$V_{CC} = 10V$, $V_{OUT} = 3.3V$ $T_A = 25°C$	4.2			mA
	Peak Output Sink Current (I_{SINK}) (N-Channel Digit Driver with 3 Segments On)	$V_{CC} = 5.0V$, $V_{OUT} = 0.25V$ $T_A = 25°C$	18.5			mA
	Peak Output Sink Current (I_{SINK}) (N-Channel Digit Driver with 17 Segments On)	$V_{CC} = 10V$, $V_{OUT} = 1.3V$ $T_A = 25°C$			172.0	mA

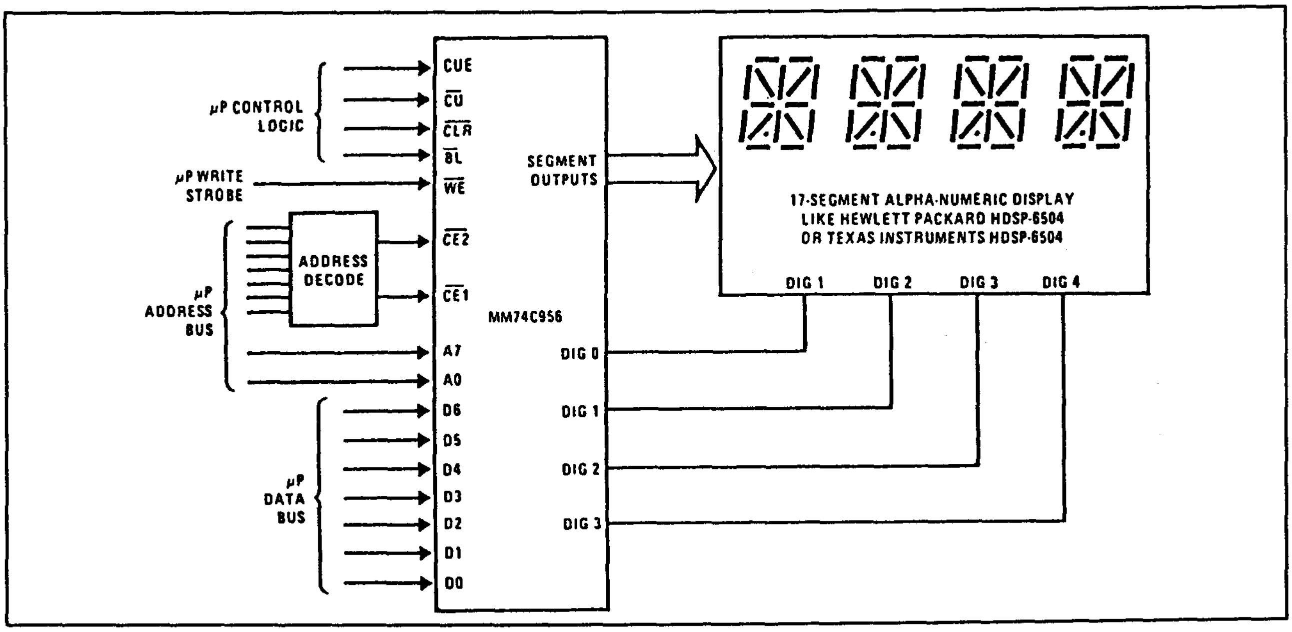
Figuur 5/5.5-40: Gelijkspanningskarakteristieken van de 74C956.

AC Electrical Characteristics $T_A = 25°C$, $V_{CC} = 5.0V$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_W	Write Pulse Width	All Inputs Swing from 0V-4V	240			ns
t_{DS}	Data Set-Up Time	All Inputs Swing from 0V-4V	100			ns
t_{DH}	Data Hold Time	All Inputs Swing from 0V-4V	50			ns
t_{AS}	Address Set-Up Time	All Inputs Swing from 0V-4V	300			ns
t_{AH}	Address Hold Time	All Inputs Swing from 0V-4V	0			ns
t_{CLR}	Clear Time	All Inputs Swing from 0V-4V	1			μs

Figuur 5/5.5-41: Wisselspanningskarakteristieken van de 74C956.

5.5 Speciale IC's uit de 74C-serie



Figuur 5/5.5-42: Aanbevolen schakeling rond de 74C956.

5/6

Diversen

Inhoud

5/6.2

Schakelingen uit de 74C-serie CMOS

74C915

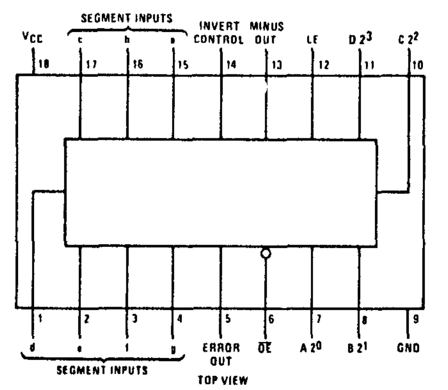
7 segment-naar-BCD code-omzetter

De 74C915 is een monolithische CMOS-schakeling voor het omzetten van 7-segments code in BCD-informatie. Deze omzetting is bijvoorbeeld nodig als cijfers in binaire vorm moeten worden verwerkt en er alleen informatie in de vorm van 7-segments code beschikbaar is (bijvoorbeeld bij tellers met ingebouwde decoder of calculators). De logische toestand van de segment-ingangen kan worden ingesteld met het Invert/Non-invert signaal. Met een "1" op deze ingang worden de segment-ingangen "aktief-LAAG waar" geselecteerd. Behalve de vier TTL-compatibele BCD-uitgangen zijn een Error-uitgang en een Minus-uitgang beschikbaar. De Error-uitgang gaat naar "1" als op de segment-ingangen een niet-standaard 7-segmentscode verschijnt. Wordt een fout gedetecteerd, dan gaan de BCD-uitgangen (net als bij een "1" op $\overline{OE}$) in de zwevende (3-state) toestand. De Minus-uitgang wordt "1" als een minuscode wordt gedetecteerd. Dit kan bijvoorbeeld als microprocessor-interrupt worden gebruikt.

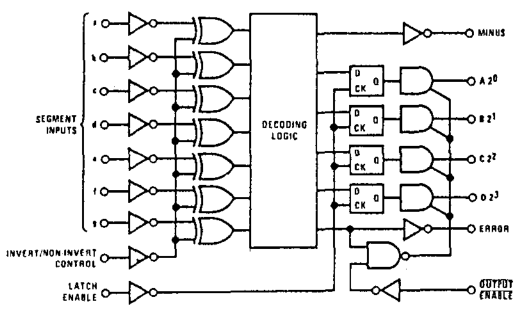
De BCD-uitgangen volgen de segment-ingangen als LE = "0" is en worden gelatched bij LE = "1".

Kenmerken

- voedingsspanning: 3 V tot 15 V
- storingsongevoeligheid: 0,45 V_{CC} typ.
- TTL-compatibele 3-state uitgangen (fan-out = 1)
- selecteerbare aktief "ware" ingangsniveaus
- on-chip latch
- error-uitgang en minus-uitgang



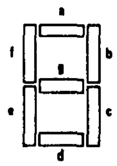
Figuur 5/6.2-1: Aansluitingen van de 74C915.



Figuur 5/6.2-2: Functioneel blokschema van de 74C915.

6.2 Schakelingen uit de 74C-serie CMOS

SEGMENT IDENTIFICATION



CHARACTER AT SEGMENT INPUTS	BCD OUTPUTS D 2^3	C 2^2	B 2^1	A 2^0	NON-BCD OUTPUTS ERROR	MINUS
0	0	0	0	0	0	0
1	0	0	0	1	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	0
3	0	0	1	1	0	0
4	0	1	0	0	0	0
5	0	1	0	1	0	0
6	0	1	1	0	0	0
b	0	1	1	0	0	0
7	0	1	1	1	0	0
8	1	0	0	0	0	0
9	1	0	0	1	0	0
9	1	0	0	1	0	0
	1	1	1	1	0	0
	X	X	X	X	1	1
All other input	X	X	X	X	1	0
combinations	X	X	X	X	1	0

X = represents TRI-STATE condition

Figuur 5/6.2-3: Waarheidstabel van de 74C915.

Voltage at Any Output	– 0.3V to V_{CC} + 0.3V
Voltage at Any Input	– 0.3V to 18V
Operating Temperature Range	
MM54C915	–55°C to +125°C
MM74C915	–40°C to +85°C
Storage Temperature Range	–65°C to +150°C
Package Dissipation	500 mW
Operating V_{CC} Range	4.0V to 15V
Maximum V_{CC}	18V
Lead Temperature, (Soldering, 10 seconds)	300°C

Figuur 5/6.2-4: Maximaal toegelaten waarden.

6.2 Schakelingen uit de 74C-serie CMOS

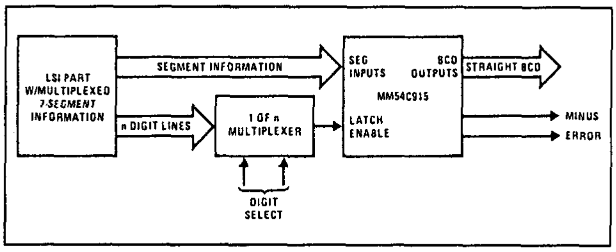
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V	3.5 8 12.5			V V V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V			1.5 2 2.5	V V V
$I_{IN(1)}$	Logical "1" Input Current	V_{IN} = 15V		0.005	1	μA
$I_{IN(0)}$	Logical "0" Input Current	V_{IN} = 0V	-1	-0.005		μA
$V_{OUT(1)}$	Logical "1" Output Voltage	I_O = 10 μA V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V	 4.5 9 13.5			 V V V
$V_{OUT(0)}$	Logical "0" Output Voltage	I_O = 10 μA V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V			 0.5 1 1.5	 V V V
I_{CC}	Supply Current	V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V		0.25 0.75 1.00	1 2.5 3	mA mA mA
CMOS/TTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage MM54C915 MM74C915	 V_{CC} = 4.5V V_{CC} = 4.75V	 V_{CC}-1.7 V_{CC}-1.7			 V V
$V_{IN(0)}$	Logical "0" Input Voltage MM54C915 MM74C915	 V_{CC} = 4.5V V_{CC} = 4.75V			 0.8 0.8	 V V
$V_{OUT(1)}$	Logical "1" Output Voltage MM54C915 MM74C915	I_O = -360 μA V_{CC} = 4.5V V_{CC} = 4.75V	 2.4 2.4			 V V
$V_{OUT(0)}$	Logical "0" Output Voltage MM54C915 MM74C915	I_O = 1.6 mA V_{CC} = 4.5V V_{CC} = 4.75V			 0.4 0.4	 V V
OUTPUT DRIVE (Short Circuit Current)						
I_{SOURCE}	Output Source Current P-Channel	T_A = 25°C, V_O = 0V, (Note 2) V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V	 -1.75 -8 -15	 -3.3 -15 -25		 mA mA mA
I_{SINK}	Output Sink Current N-Channel	T_A = 25°C, V_O = V_{CC} (Note 2) V_{CC} = 5V V_{CC} = 10V V_{CC} = 15V	 5 20 30	 8 30 50		 mA mA mA

Figuur 5/6.2-5: Gelijkspanningskarakteristieken van de 74C915.

6.2 Schakelingen uit de 74C-serie CMOS

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd0}, t_{pd1}	Propagation Delay Time to Logical "0" or a Logical "1"	$C_L = 50$ pF				
		$V_{CC} = 5V$		500	1000	ns
		$V_{CC} = 10V$		300	600	ns
		$V_{CC} = 15V$		300	600	ns
t_{0H}, t_{1H}	Propagation Delay Time From Logical "0" or Logical "1" into High Impedance State	$R_L = 10k, C_L = 10$ pF				
		$V_{CC} = 5V$		110	200	ns
		$V_{CC} = 10V$		75	130	ns
		$V_{CC} = 15V$		60	110	ns
t_{H0}, t_{H1}	Propagation Delay Time From High Impedance State to a Logical "0" or Logical "1"	$R_L = 10k, C_L = 50$ pF				
		$V_{CC} = 5V$		150	250	ns
		$V_{CC} = 10V$		80	140	ns
		$V_{CC} = 15V$		70	125	ns
t_s	*Input Data Set-Up Time*	$C_L = 50$ pF				
		$V_{CC} = 5V$		500	1000	ns
		$V_{CC} = 10V$		300	600	ns
		$V_{CC} = 15V$		300	600	ns
t_H	Input Data Hold Time	$C_L = 50$ pF				
		$V_{CC} = 5V$		−150	0	ns
		$V_{CC} = 10V$		−100	0	ns
		$V_{CC} = 15V$		−100	0	ns
C_{IN}	Input Capacitance	Any Input, (Note 3)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output, (Note 3)		10		pF

Figuur 5/6.2-6: Schakeltijden van de 74C915.



Figuur 5/6.2-7: Toepassing van de 74C915: het omzetten van een gemultiplext 7-segment signaal in een binair getal.

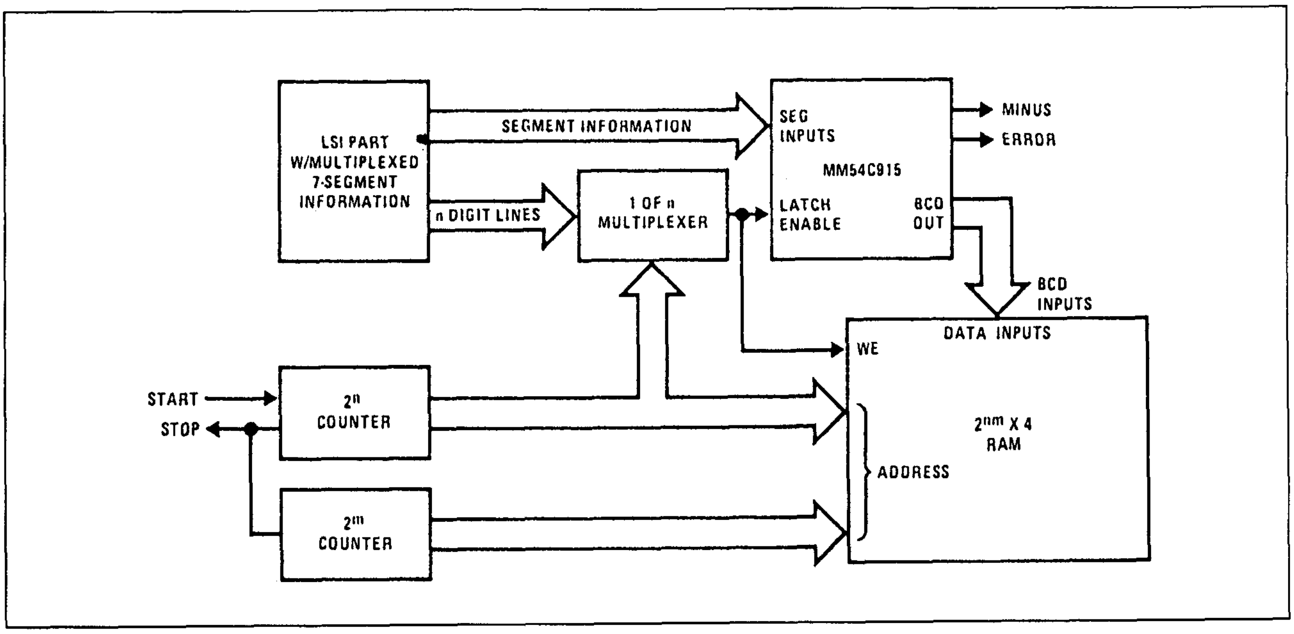
74C922, 74C923

16-, 20-key encoder

Deze CMOS toetsenbord encoders (key-encoders) bevatten alle benodigde logika voor het coderen van een array SPST (één-polig om) schakelaars. Het aftasten (scannen) van het toetsenbord kan worden uitgevoerd met behulp van een extern clocksignaal of een externe condensator (interne clock). De ingangen van beide encoders hebben interne optrekvoorzieningen die ze bruikbaar maken voor schakelaars met een on-weerstand van maximaal 50 kΩ. Voor een correcte uitlezing van de schakelaar-array zijn geen dioden nodig, terwijl voor de interne debounce-schakeling slechts één condensator nodig is.

Na detectie van een geldige toetsindruk gaat de Data Available-uitgang HOOG. Dit signaal gaat weer LAAG zodra de toets wordt losgelaten (ook al wordt ondertussen een andere ingedrukt). Een intern register onthoudt de laatste toets die werd ingedrukt (ook na loslaten).

6.2 Schakelingen uit de 74C-serie CMOS



Figuur 5/6.2-8: Het opslaan van geconverteerde 7-segment waarden in een binair geheugen.

Kenmerken

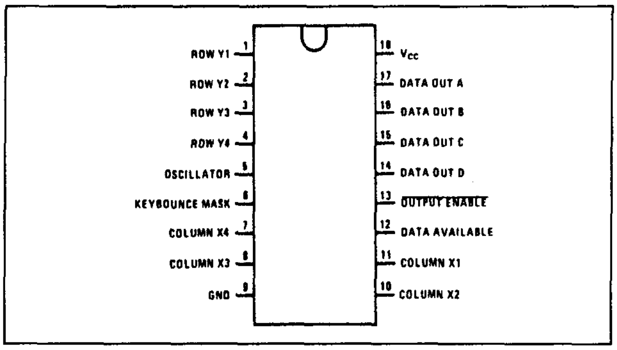
- maximum on-weerstand van de schakelaars: 50 kΩ
- interne of externe clock
- row pull-up voorzieningen
- 2 key roll-over
- anti-bounce door middel van een enkele condensator
- last-key register aan uitgangen
- low-power TTL-compatibele 3-state uitgangen
- voedingsspanning: 3 V tot 15 V

Werking

De 74C922/923 Keyboard Encoders bevatten alle logika die nodig is om een toetsenbordje met 16, respectievelijk 20 SPST (enkelpolige aan-) schakelaars aan te sluiten op een digitaal systeem. De encoder zet het sluiten van een contact om in een 4 bit nibble (74C922) of een 5 bit nibble (74C923). De aftastfrequentie (scan rate) kan worden ingesteld met de oscillatie-condensator C_{OSC} (figuur 5/6.2-14), terwijl C_{MSK} (key bounce mask condensator) ingrijpt in de debouncetijd (figuur 5/6.2-15).

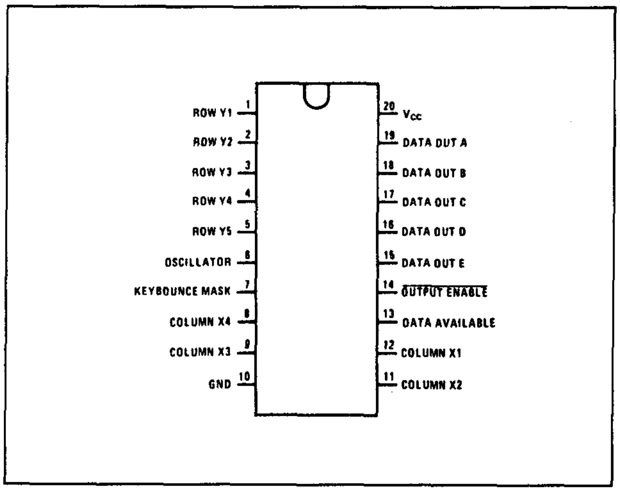
Op de keyboard encoders wordt een schakelaar-matrix van 4 (of 5) rijen en 4 kolommen aangesloten. Wanneer geen enkele toets is ingedrukt worden alle rij-ingangen HOOG getrokken, terwijl de kolomuitgangen achtereenvolgens logisch "0" worden. Deze uitgangen zijn "open-drain" en zijn daardoor 25 % van de tijd LAAG en de overige tijd "UIT". De aftastsnelheid van de kolommen wordt geregeld met de oscillatoringang, die uit een Schmitt-trigger oscillator, een 2 bit teller en een 2-naar-4 decoder bestaat. Wanneer een toets wordt ingedrukt (de 0 bijvoorbeeld), gebeurt er niets als de X1-ingang UIT is, omdat Y1 dan HOOG blijft. Wordt de X1-kolom echter afgetast, dan gaat X1 LAAG en Y1 dus ook. Hierdoor wordt de teller gesperd, zodat X1 LAAG blijft. Door het LAAG gaan van Y1 treedt de anti-bounce schakeling in werking en worden de andere Y-ingangen gesperd. De toets-code die op de uitgang komt is een combinatie van de bevroren teller-waarde en de gedecodeerde Y-ingang. Nadat de bounce-maskeertijd om is, wordt de data gelatched en gaat de Data Available (DAV) uitgang HOOG.

6.2 Schakelingen uit de 74C-serie CMOS

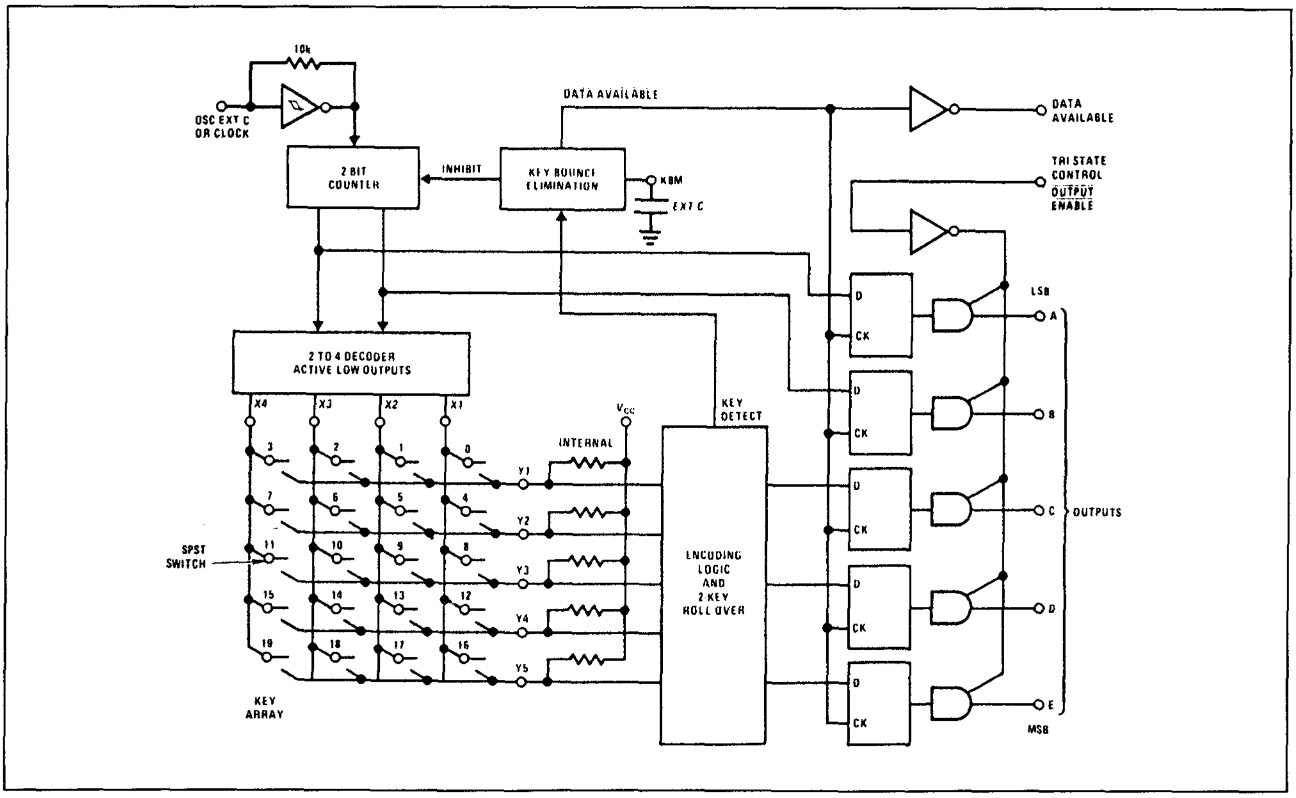


Figuur 5/6.2-9: Aansluitingen van de 74C922.

Als de schakelaar natrilt bij het sluiten van een contact ("bounce", zie ook figuur 5/6.2-13) gaat de Y1-ingang weer HOOG, waardoor het aftasten opnieuw wordt ingezet en de anti-bounce schakeling wordt gereset. Dit kan verschillende keren gebeuren, maar zodra de schakelaar gedurende de gehele debounce-tijd gesloten blijft, wordt aangenomen dat dit de bedoeling was en wordt de data gelatched.



Figuur 5/6.2-10: Aansluitingen van de 74C923.



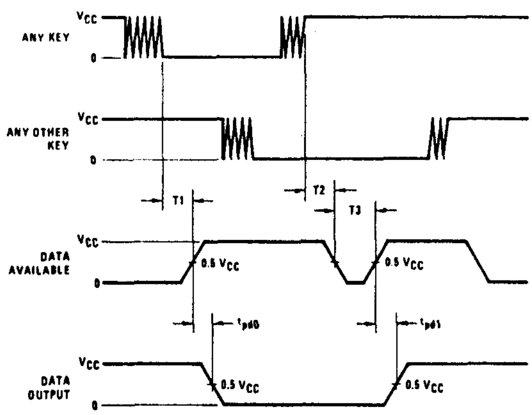
Figuur 5/6.2-11: Functioneel blokschema met aangesloten toetsenbord.

6.2 Schakelingen uit de 74C-serie CMOS

SWITCH POSITION	0 Y1,X1	1 Y1,X2	2 Y1,X3	3 Y1,X4	4 Y2,X1	5 Y2,X2	6 Y2,X3	7 Y2,X4	8 Y3,X1	9 Y3,X2	10 Y3,X3	11 Y3,X4	12 Y4,X1	13 Y4,X2	14 Y4,X3	15 Y4,X4	16 Y5*,X1	17 Y5*,X2	18 Y5*,X3	19 Y5*,X4
DATA OUT A	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
C	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
E*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

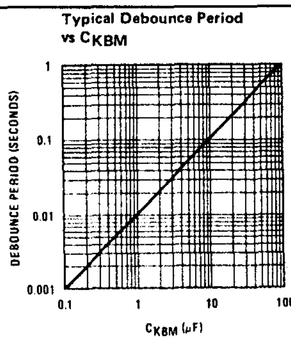
*Omit for MM54C922/MM74C922

Figuur 5/6.2-12: Waarheidstabel van de 74C922/923 (de met * gemarkeerde posities gelden NIET voor de 74C922).

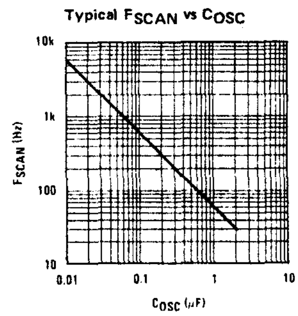


T1 ≈ T2 ≈ RC, T3 ≈ 0.7 RC where R ≈ 10k and C is external capacitor at KBM input.

Figuur 5/6.2-13: Timing en golfvormen van de 74C922/923.



Figuur 5/6.2-15: Instelling van de anti-bounce-tijd door middel van C_{KBM}.



Figuur 5/6.2-14: Instelling van de aftast-frequentie door middel van C_{OSC}.

Voltage at Any Pin	V_{CC} − 0.3V to V_{CC} + 0.3V
Operating Temperature Range	
MM54C922, MM54C923	−55°C to +125°C
MM74C922, MM74C923	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	500 mW
Operating V_{CC} Range	3V to 15V
V_{CC}	18V
Lead Temperature (Soldering, 10 seconds)	300°C

Figuur 5/6.2-16: Maximaal toegelaten waarden.

6.2 Schakelingen uit de 74C-serie CMOS

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd0}, t_{pd1}	Propagation Delay Time to	C_L = 50 pF, *(~~Figure~~ 1)*				
	Logical "0" or Logical "1"	V_{CC} = 5V		60	150	ns
	from D.A.	V_{CC} = 10V		35	80	ns
		V_{CC} = 15V		25	60	ns
t_{0H}, t_{1H}	Propagation Delay Time from	R_L = 10k, C_L = 10pF *(~~Figure~~ 2)*				
	Logical "0" or Logical "1"	V_{CC} = 5V R_L = 10k		80	200	ns
	into High Impedance State	V_{CC} = 10V C_L = 10 pF		65	150	ns
		V_{CC} = 15V		50	110	ns
t_{H0}, t_{H1}	Propagation Delay Time from	R_L = 10k, C_L = 50 pF, *(~~Figure~~ 2)*				
	High Impedance State to a	V_{CC} = 5V R_L = 10k		100	250	ns
	Logical "0" or Logical "1"	V_{CC} = 10V C_L = 50 pF		55	125	ns
		V_{CC} = 15V		40	90	ns
C_{IN}	*Input Capacitance*	Any Input, (Note 2)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output, (Note 2)		10		pF

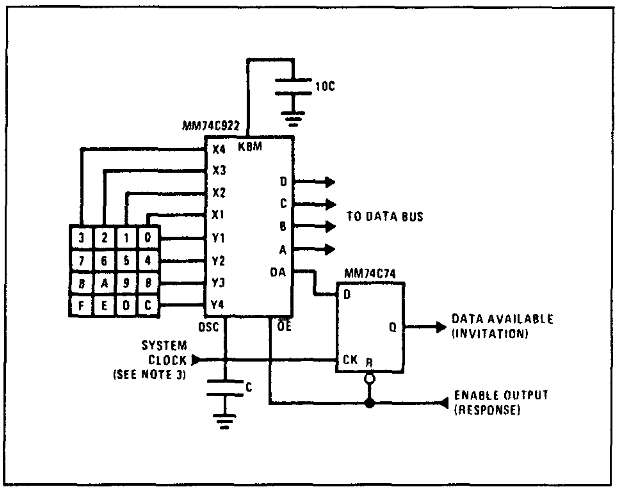
Figuur 5/6.2-17: Schakeltijden van de 74C922 en 74C923.

6.2 Schakelingen uit de 74C-serie CMOS

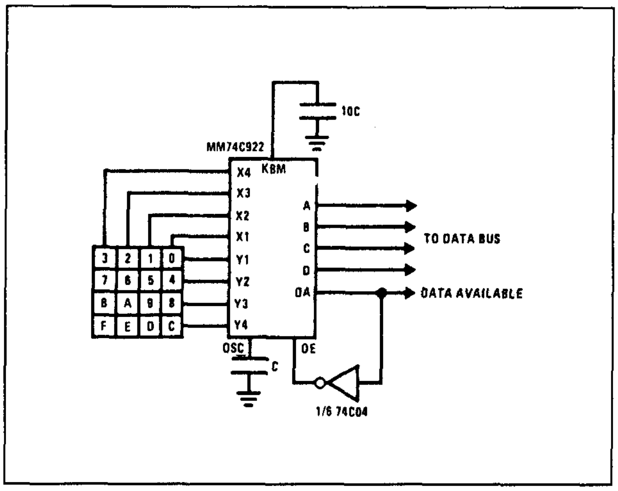
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq 0.7$ mA	3	3.6	4.3	V
		V_{CC} = 10V, $I_{IN} \geq 1.4$ mA	6	6.8	8.6	V
		V_{CC} = 15V, $I_{IN} \geq 2.1$ mA	9	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq 0.7$ mA	0.7	1.4	2	V
		V_{CC} = 10V, $I_{IN} \geq 1.4$ mA	1.4	3.2	4	V
		V_{CC} = 15V, $I_{IN} \geq 2.1$ mA	2.1	5	6	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V,	3.5	4.5		V
		V_{CC} = 10V,	8	9		V
		V_{CC} = 15V,	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V,		0.5	1.5	V
		V_{CC} = 10V,		1	2	V
		V_{CC} = 15V,		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	V_{CC} = 5V, V_{IN} = 0.1 V_{CC}		-2	-5	μA
		V_{CC} = 10V		-10	-20	μA
		V_{CC} = 15V		-22	-45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 5V, I_O = -10μA	4.5			V
		V_{CC} = 10V, I_O = -10μA	9			V
		V_{CC} = 15V, I_O = -10μA	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5V, I_O = 10μA			0.5	V
		V_{CC} = 10V, I_O = 10μA			1	V
		V_{CC} = 15V, I_O = 10μA			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	V_{CC} = 5V, V_O = 0.5V		500	1400	Ω
		V_{CC} = 10V, V_O = 1V		300	700	Ω
		V_{CC} = 15V, V_O = 1.5V		200	500	Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	V_{CC} = 5V,		0.55	1.1	mA
		V_{CC} = 10V		1.1	1.9	mA
		V_{CC} = 15V		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at Output Enable	V_{CC} = 15V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at Output Enable	V_{CC} = 15V, V_{IN} = 0V	-1.0	-0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V	V_{CC}-1.5			V
		74C, V_{CC} = 4.75V	V_{CC}-1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V			0.8	V
		74C, V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, V_{CC} = 4.5V, I_O = -360μA	2.4			V
		74C, V_{CC} = 4.75V, I_O = -360μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, V_{CC} = 4.5V, I_O = 360μA			0.4	V
		74C, V_{CC} = 4.75V, I_O = 360μA			0.4	V
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	-1.75	-3.3		mA
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	-8	-15		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

Figuur 5/6.2-18: Gelijkspanningskarakteristieken van de 74C922/923.

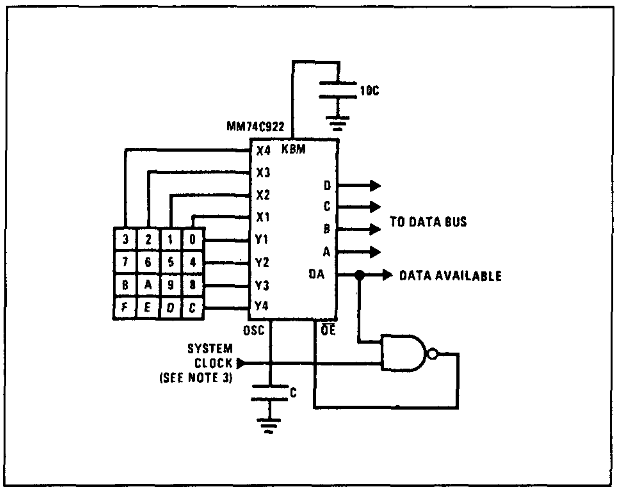
6.2 Schakelingen uit de 74C-serie CMOS



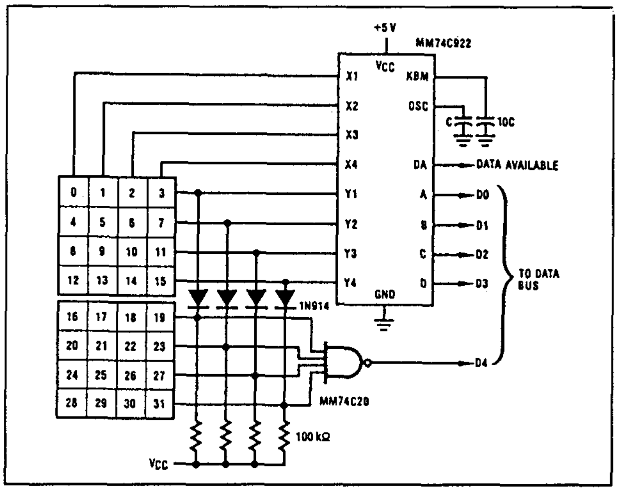
Figuur 5/6.2-19: Toepassing van de 74C922 (synchrone handshake).



Figuur 5/6.2-21: Asynchrone data-toevoer naar bus. De uitgangen zweven totdat een toets wordt ingedrukt, dan wordt data op de bus gezet.



Figuur 5/6.2-20: Toepassing van de 74C922 (synchrone data-toevoer naar bus). De uitgangen worden vrijgegeven bij een geldige toetsindruk; ze gaan in zwevende toestand (3-state) als de toets wordt losgelaten.



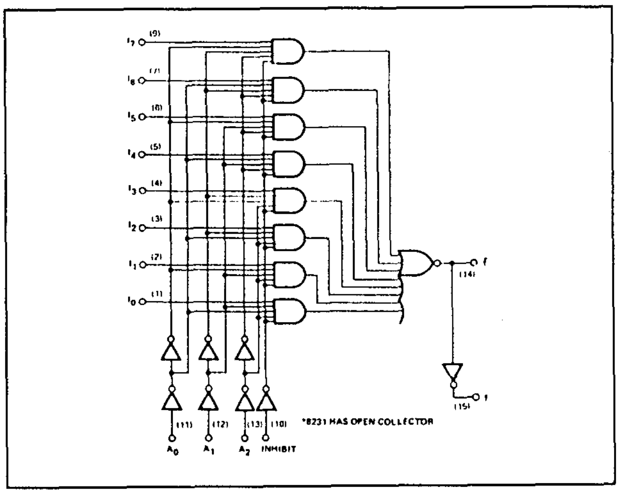
Figuur 5/6.2-22: Uitbreiding tot een 32-key encoder (met twee 74C922's).

5/6.3

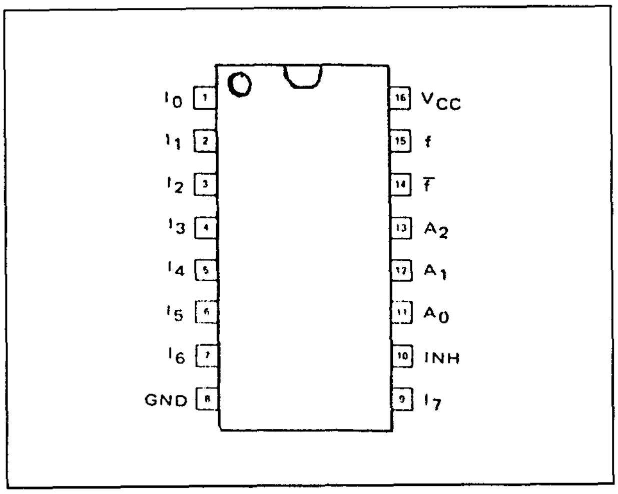
Schakelingen uit de 8xxx-serie DTL en TTL

8230, 8231, 8232
8 bit digitale multiplexers

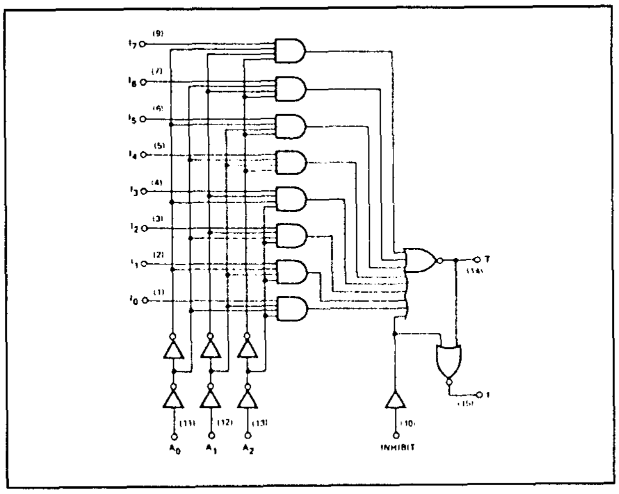
De 8230, 8231 en 8232 zijn digitale 8-naar-1 adresseerbare multiplexers. De 8230 heeft een INHIBIT-ingang die LAAG moet zijn om één van de acht ingangssignalen op de f- en $\bar{f}$-uitgangen te laten verschijnen. Wanneer inhibit HOOG is, is f altijd LAAG en $\bar{f}$ HOOG. De 8231 is identiek aan de 8230, maar heeft een $\bar{f}$-uitgang met open-collector om uitbreiding van het aantal ingangen mogelijk te maken. De 8232 komt overeen met de 8230, op de plaats van de INHIBIT na, die nu ingrijpt op de $\bar{f}$-uitgang. Als inhibit LAAG is, wordt het geselecteerde signaal doorgegeven aan de uitgangen; is inhibit HOOG, dan zijn beide uitgangen LAAG.



Figuur 5/6.3-2: Functioneel schema van de 8230 en 8231 (bij de 8231 heeft $\bar{f}$ een open collector).



Figuur 5/6.3-1: Aansluitingen van de 8230, 8231 en 8232.



Figuur 5/6.3-3: Functioneel schema van de 8232.

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

ADDRESS			DATA INPUTS									OUTPUT		
A_2	A_1	A_0	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	INH	f	8230/82S30 8231/82S31 $\bar{f}$	8232/82S32 $\bar{f}$
0	0	0	x	x	x	x	x	x	x	1	0	1	0	0
0	0	1	x	x	x	x	x	x	1	x	0	1	0	0
0	1	0	x	x	x	x	x	1	x	x	0	1	0	0
0	1	1	x	x	x	x	1	x	x	x	0	1	0	0
1	0	0	x	x	x	1	x	x	x	x	0	1	0	0
1	0	1	x	x	1	x	x	x	x	x	0	1	0	0
1	1	0	x	1	x	x	x	x	x	x	0	1	0	0
1	1	1	1	x	x	x	x	x	x	x	0	1	0	0
0	0	0	x	x	x	x	x	x	x	0	0	0	1	1
0	0	1	x	x	x	x	x	x	0	x	0	0	1	1
0	1	0	x	x	x	x	x	0	x	x	0	0	1	1
0	1	1	x	x	x	x	0	x	x	x	0	0	1	1
1	0	0	x	x	x	0	x	x	x	x	0	0	1	1
1	0	1	x	x	0	x	x	x	x	x	0	0	1	1
1	1	0	x	0	x	x	x	x	x	x	0	0	1	1
1	1	1	0	x	x	x	x	x	x	x	0	0	1	1
x	x	x	x	x	x	x	x	x	x	x	1	0	1	0

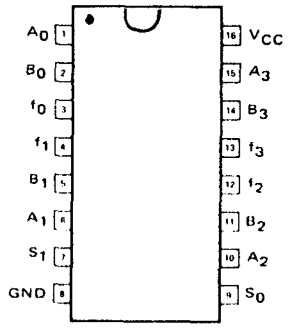
x = don't care

Figuur 5/6.3-4: Waarheidstabel voor de 8230, 8231 en 8232.

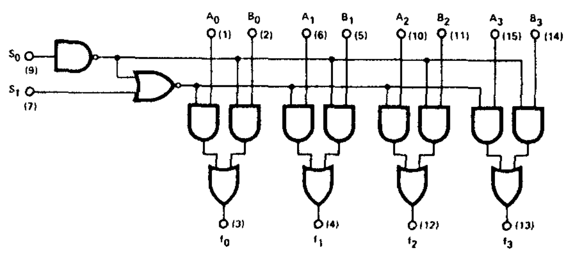
SWITCHING CHARACTERISTICS $T_A = 25°C$, $V_{CC} = 5V$

	LIMITS												
	8230		8231		8232		82S30		82S31		82S32		
PARAMETER	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	UNIT
Propagation Delay													
A_n to $\bar{f}$	19	30	19	30	19	30	14	17	16	19	14	17	ns
I_n to $\bar{f}$	11	20	13	24	11	20	7	10	9	12	7	10	ns
$\bar{f}$ to f	10	15	10	15	10	15	6	9	6	9	6	9	ns
INH to $\bar{f}$	18	30	18	30	-	-	12	16	14	18	12	16	ns
INN to f or $\bar{f}$	-	-	-	-	11	20	-	-	-	-	-	-	ns

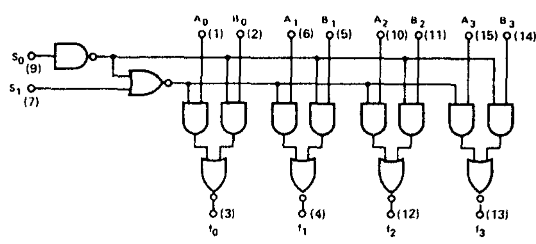
Figuur 5/6.3-5: Schakelsnelheden van de 8230, 8231 en 8232 plus de 82S30, 82S31 en 82S32.



Figuur 5/6.3-6: Aansluitingen van de 8233, 8234 en 8235.



Figuur 5/6.3-7: Functioneel schema van de 8233.



Figuur 5/6.3-8: Functioneel schema van de 8234.

8233, 8234, 8235

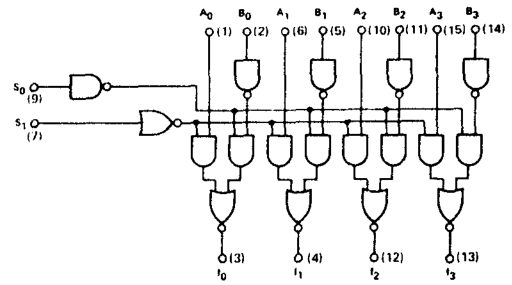
4-voudige 2-naar-1 multiplexers

De 8233, 8234 en 8235 4 bit digitale multiplexers met 2 ingangen zijn bedoeld voor algemene data-selecties. De geselecteerde data wordt in de 8233 niet en in de 8234 wel geïnverteerd.

De uitgangen van de 8233 zijn voorzien van "aktieve pull-up", terwijl de andere twee typen open-collector uitgangen hebben om "Wired-AND" verbindingen mogelijk te maken. De 8235 is geschikt voor gebruik bij adders (optellers), registers en paralleldatahandlers vanwege de conditionele com-

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

plement-functie. Wanneer beide ingangen van één positie (Ai, Bi) aan elkaar worden gelegd, verschijnt op de uitgang de ware of de complement-waarde van het ingangssignaal.



Figuur 5/6.3-9: Functioneel schema van de 8235.

	S_0	S_I	f_n
8233/82S33	0	0	B
	1	0	A
	0	1	B
	1	1	0
8234/82S34	0	0	$\overline{B}$
	1	0	$\overline{A}$
	0	1	$\overline{B}$
	1	1	1
8235	0	0	$\overline{A}_n B_n$
	0	1	B_n
	1	0	$\overline{A}n$
	1	1	1

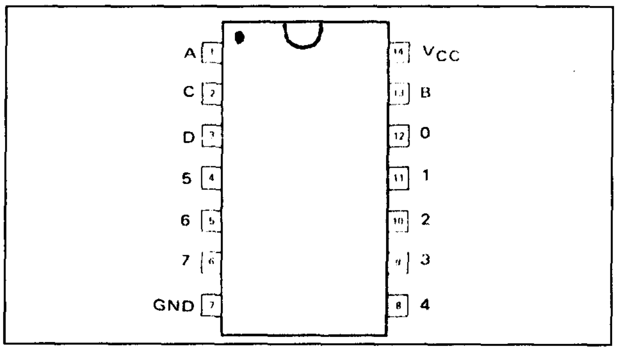
Figuur 5/6.3-10: Waarheidstabel van de 8233, 8234 en 8235.

SWITCHING CHARACTERISTICS $T_A = 25°C$, $V_{CC} = 5V$

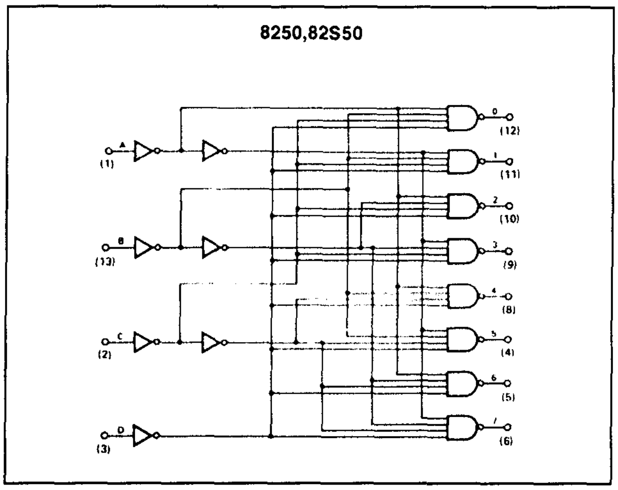
	LIMITS										
	8233		8234		8235		82S33		82S34		UNIT
PARAMETER	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	
t_{on} Turn-on Time											
A_n, B_n to f_n	16	25	16	25	-	-	7	12	7	12	ns
S_0 to f_n	27	38	27	38	27	38	13	18	13	18	ns
S_I to f_n	27	38	27	38	27	38	11	16	11	16	ns
A_n to f_n	-	-	-	-	16	25	-	-	-	-	ns
B_n to f_n	-	-	-	-	24	35	-	-	-	-	ns
t_{off} Turn-off Time											
A_n, B_n to f_n	16	25	16	25	-	-	7	12	7	12	ns
S_0 to f_n	27	38	27	38	27	38	13	18	13	18	ns
S_I to f_n	27	38	27	38	27	38	11	16	11	16	ns
A_n to f_n	-	-	-	-	16	25	-	-	-	-	ns
B_n to f_n	-	-	-	-	24	35	-	-	-	-	ns

Figuur 5/6.3-11: Schakeltijden van de 8233, 8234, 8235 en de 82S33 en 82S34.

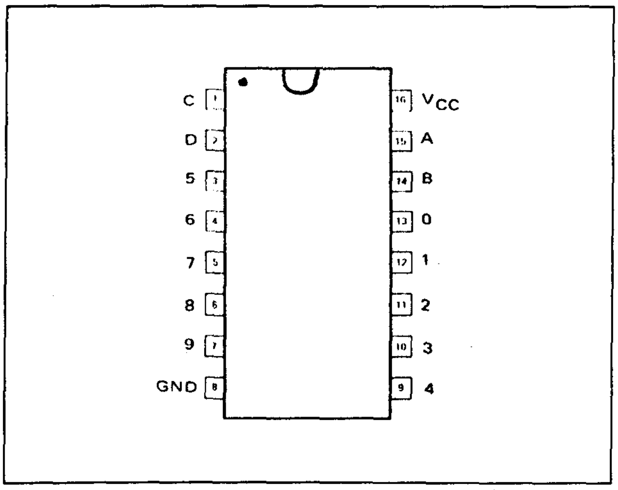
6.3 Schakelingen uit de 8xxx-serie DTL en TTL



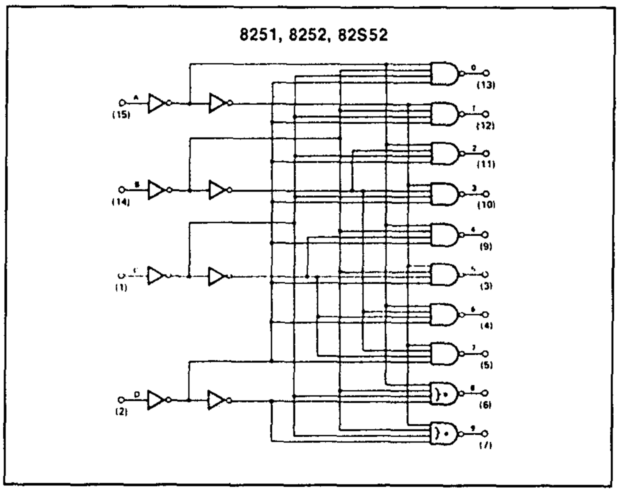
Figuur 5/6.3-12: Aansluitingen van de 8250.



Figuur 5/6.3-13: Functioneel schema van de 8250.



Figuur 5/6.3-14: Aansluitingen van de 8251 en 8252.



Figuur 5/6.3-15: Functioneel schema van de 8251 en 8252.

INPUT STATE				OUTPUT STATES											
				8250/82S50								8251		8252/ 82S52	
A	B	C	D	0	1	2	3	4	5	6	7	8	9	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	0	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	0
0	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1

Figuur 5/6.3-16: Waarheidstabel van de 8251 en 8252.

8250, 8251, 8252

binair-naar-octaal/BCD-naar-decimaal decoder

De 8250, 8251 en 8252 zijn gate-arrays voor decoderingen en logische conversies. De 8250 zet de informatie van 3 ingangslijnen om in een 1-uit-8 uitgangssignaal. De vierde ingangslijn (D) wordt gebruikt als inhibit voor toepassing in grotere decodeer-netwerken. De 8251 en 8252 zetten een 4 bit ingangssignaal (met 1-2-4-8 weging) om in een 1-uit-10 uitgangssignaal. Voor alle typen geldt dat de geselecteerde uitgang “0’ is.

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

SWITCHING CHARACTERISTICS T_A 25°C, V_{CC} 5V

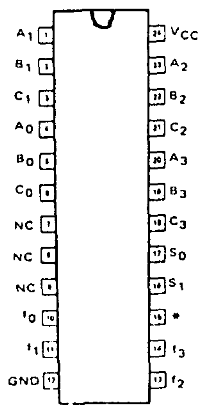
PARAMETER		LIMITS										
		8250		8251		8252		82S50		82S52		
		TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	UNIT
t_{on}	TURN-ON DELAY	20	35	20	35	20	35	12	16	12	16	ns
t_{off}	TURN-OFF DELAY	20	35	20	35	20	35	12	16	12	16	ns

Figuur 5/6.3-17: Schakeltijden van de 8250, 8251, 8252 en de 82S50 en 82S52.

8263, 8264

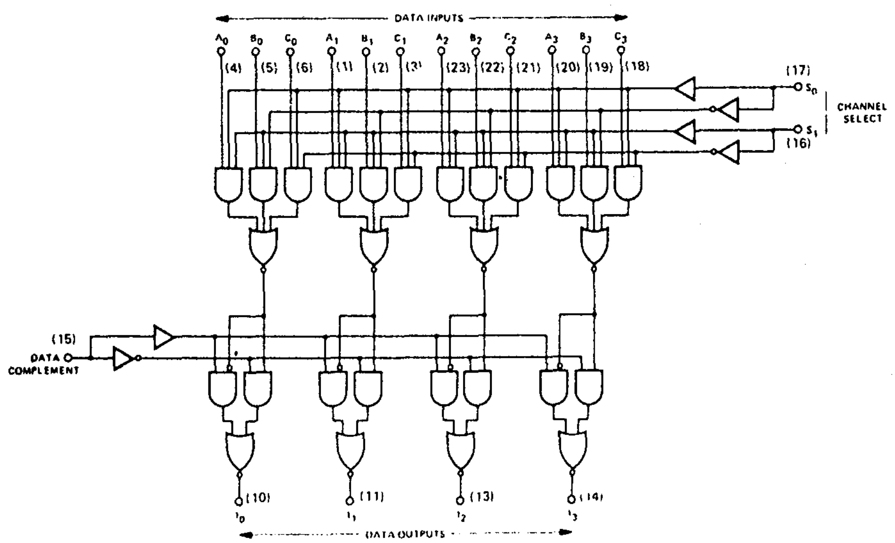
4-voudige 3-naar-1 multiplexers

De 8263 en 8264 zijn 4 bit digitale multiplexers met 3 ingangen. De normale werking komt overeen met een 4-voudige 3-standen schakelaar. De 8263 heeft een aktieve uitgangsstructuur voor minimale vertragingen, terwijl de 8264 open collector-uitgangen heeft voor eventuele expansie. Beide typen zijn bovendien voorzien van een data-complement ingang, waardoor kan worden gekozen of de uitgangssignalen wel of niet geïnverteerd worden.



Figuur 5/6.3-18: Aansluitingen van de 8263.

8263 (ACTIVE PULL-UP)



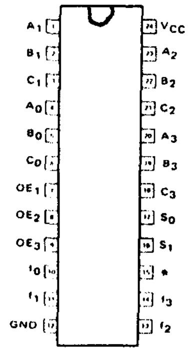
Figuur 5/6.3-19: Functioneel schema van de 8263.

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

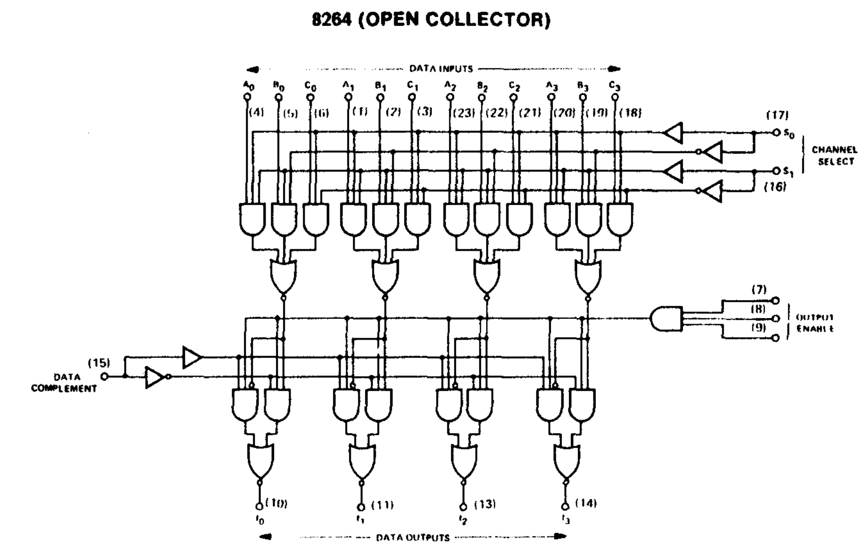
8266, 8267

4-voudige 2-naar-1 multiplexers

De 8266 en 8267 zijn 4-voudige digitale multiplexers met 2 ingangen, die ontworpen zijn voor gebruik bij adders (optellers), registers en parallel-datahandlers. Wanneer beide ingangen van één positie (Ai, Bi) met elkaar worden verbonden, verschijnt op de uitgang de ware of de complement-waarde van het ingangssignaal (conditionele complementfunctie). De 8267 heeft open-collector uitgangen voor eventuele uitbreiding.



Figuur 5/6.3-20: Aansluitingen van de 8264.



Figuur 5/6.3-21: Functioneel schema van de 8264.

DATA INPUT A_n	B_n	C_n	CHANNEL SELECT S_0	S_1	DATA COMPLEMENT	OUTPUT ENABLE (8264)	DATA OUTPUTS
A_n	x	x	1	1	0	1	A_n
x	B_n	x	0	1	0	1	B_n
x	x	C_n	1	0	0	1	C_n
x	x	x	0	0	0	1	0
A_n	x	x	1	1	1	1	$\overline{A_n}$
x	B_n	x	0	1	1	1	$\overline{B_n}$
x	x	C_n	1	0	1	1	$\overline{C_n}$
x	x	x	0	0	1	1	1
x	x	x	x	x	x	0	1

x either state

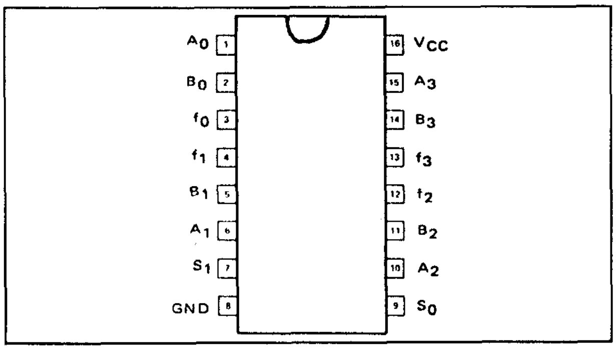
Figuur 5/6.3-22: Waarheidstabel van de 8263 en 8264.

SWITCHING CHARACTERISTICS $T_A = 25°C$, $V_{CC} = 5V$

PARAMETER	LIMITS 8263 TYP	8263 MAX	8264 TYP	8264 MAX	UNIT
Propagation Delay					
A_n to f_n	17	26	25	36	ns
S_0, S_1 to f_n	25	36	25	36	
DC to f_n	17	26	20	30	
OE to f_n			20	30	

Figuur 5/6.3-23: Schakeltijden van de 8263 en 8264.

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

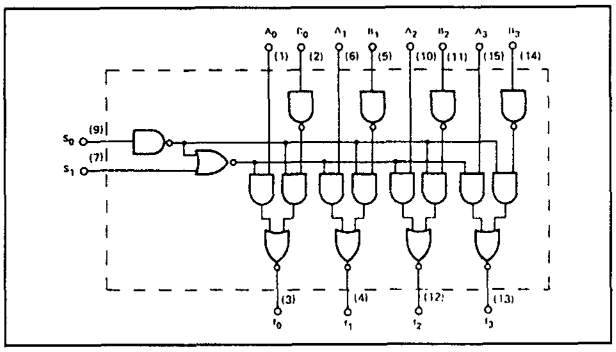


Figuur 5/6.3-24: Aansluitingen van de 8266 en 8267.

TRUTH TABLE

SELECT LINES		OUTPUTS
S_0	S_1	f_n (0, 1, 2, 3)
0	0	B_n
0	1	B_n
1	0	$\bar{A}_n$
1	1	1

Figuur 5/6.3-26: Waarheidstabel van de 8266 en 8267.



Figuur 5/6.3-25: Functioneel schema van de 8266 en 8267.

SWITCHING CHARACTERISTICS $T_A = 25°C, V_{CC} = 5V$

PARAMETER	LIMITS								UNIT
	8266		8267		82S66		82S67		
	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	
Propagation delay									
S_0 to f_n (short path)	18	28	18	28	12	18	15	20	ns
S_0 to f_n (long path)	20	30	27	36	—	—	—	—	
A_n to f_n	13	20	15	20	5	10	8	12	
B_n, S_1 to f_n	14	25	21	28	—	—	—	—	
S1 to fn					10	15	13	18	
Bn to fn					8	12	10	15	

Figuur 5/6.3-27: Schakeltijden van de 8266, 8267, 82S66 en 82S67.

6.3 Schakelingen uit de 8xxx-serie DTL en TTL

5/6.4

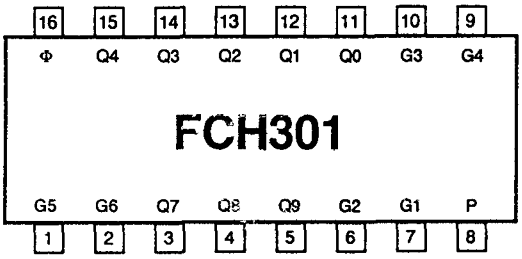
Schakelingen uit de FC-serie DTL

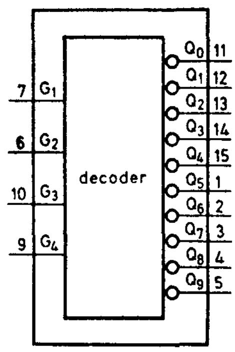
FCH 301

enkele 4 bit decoder

De FCH 301 is een snelle binair (8-4-2-1)-naar-decimaal decoder. De schakeling is opgebouwd uit 18 poortfuncties. Alle uitgangen behalve de gedecodeerde blijven HOOG. Ook als de ingangscode niet aan de 8-4-2-1 code voldoet blijven de uitgangen HOOG.
(fan-out = 9)

Figuur 5/6.4-301.





Logisch symbool.

G_4	G_3	G_2	G_1	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	H	L	H	H	H
L	H	H	H	H	H	H	H	H	H	H	L	H	H
H	L	L	L	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
H	H	L	L	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

Waarheidstabel.

6.4 Schakelingen uit de FC-serie DTL

$$Q_0 = \overline{\overline{G_1} \cdot \overline{G_2} \cdot \overline{G_3} \cdot \overline{G_4}} \qquad Q_5 = \overline{G_1 \cdot \overline{G_2} \cdot G_3 \cdot \overline{G_4}}$$

$$Q_1 = \overline{G_1 \cdot \overline{G_2} \cdot \overline{G_3} \cdot \overline{G_4}} \qquad Q_6 = \overline{\overline{G_1} \cdot G_2 \cdot G_3 \cdot \overline{G_4}}$$

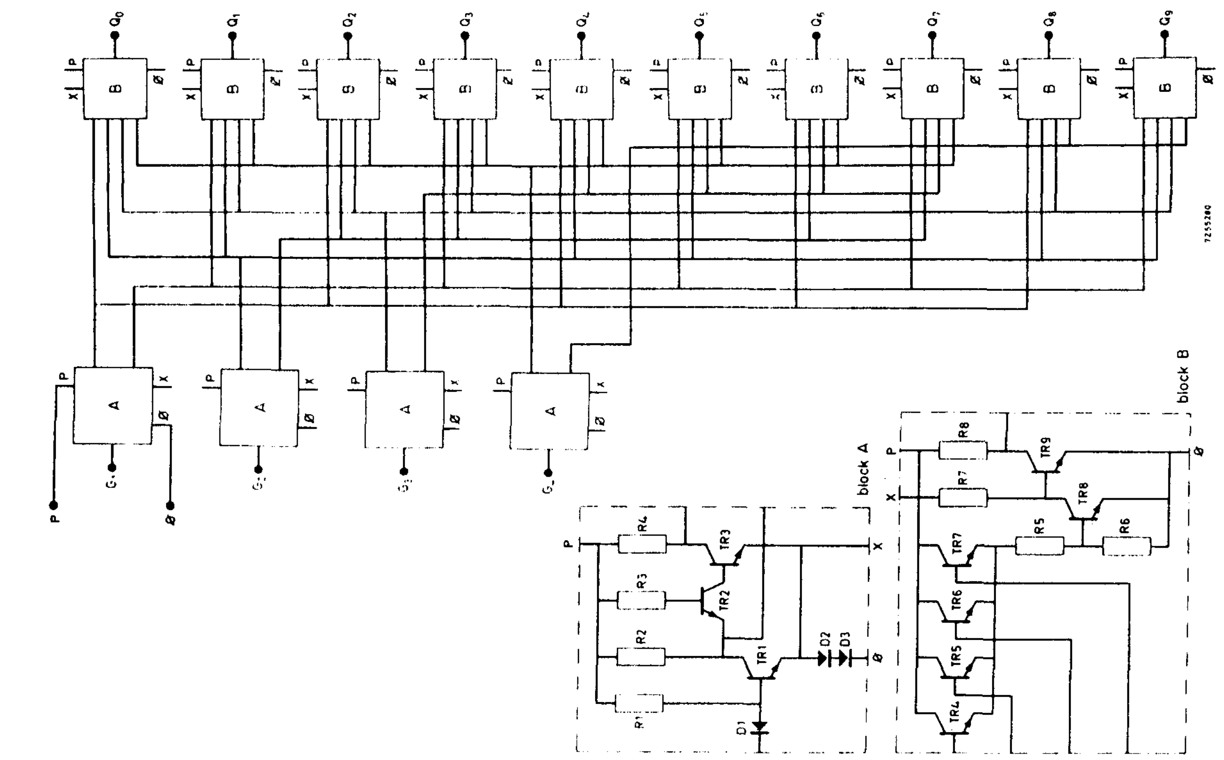
$$Q_2 = \overline{\overline{G_1} \cdot G_2 \cdot \overline{G_3} \cdot \overline{G_4}} \qquad Q_7 = \overline{G_1 \cdot G_2 \cdot G_3 \cdot \overline{G_4}}$$

$$Q_3 = \overline{G_1 \cdot G_2 \cdot \overline{G_3} \cdot \overline{G_4}} \qquad Q_8 = \overline{\overline{G_1} \cdot \overline{G_2} \cdot \overline{G_3} \cdot G_4}$$

$$Q_4 = \overline{\overline{G_1} \cdot \overline{G_2} \cdot G_3 \cdot \overline{G_4}} \qquad Q_9 = \overline{G_1 \cdot \overline{G_2} \cdot \overline{G_3} \cdot G_4}$$

H = HIGH state (the more positive voltage)
L = LOW state (the less positive voltage)

Logische functies.



Logisch schema.